



# วิทยานิพนธ์

การออกแบบวงจรบวกขนาด  $n$  บิต ที่ใช้กำลังงานต่ำ

**Design of  $n$  Bit Adder Cell for Low Power Application**

นายสุทธินันท์ ลิ้มทอง

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์

พ.ศ. 2550





# ใบรับรองวิทยานิพนธ์

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์

วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า)

ปริญญา

วิศวกรรมไฟฟ้า

วิศวกรรมไฟฟ้า

สาขา

ภาควิชา

เรื่อง การออกแบบวงจรบวกขนาด  $n$  บิต ที่ใช้กำลังงานต่ำ

Design of  $n$  Bit Adder Cell for Low Power Application

นามผู้วิจัย นายสุทธินันท์ ลิ้มทอง

ได้พิจารณาเห็นชอบโดย

ประธานกรรมการ

( ผู้ช่วยศาสตราจารย์ชูเกียรติ การะเกตุ, Ph.D. )

กรรมการ

( อาจารย์คู่สิต ธนเพทาย, Ph.D. )

กรรมการ

( รองศาสตราจารย์มงคล รักษาพัชรวงค์, Ph.D. )

หัวหน้าภาควิชา

( รองศาสตราจารย์มงคล รักษาพัชรวงค์, Ph.D. )

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์รับรองแล้ว

( รองศาสตราจารย์วินัย อัจจงหาญ, M.A. )

คณบดีบัณฑิตวิทยาลัย

วันที่ ..... เดือน ..... พ.ศ. ....

วิทยานิพนธ์

เรื่อง

การออกแบบวงจรบวกขนาด  $n$  บิต ที่ใช้กำลังงานต่ำ

Design of  $n$  Bit Adder Cell for Low Power Application

โดย

นายสุทธินันท์ ลิ้มทอง

เสนอ

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์

เพื่อความสมบูรณ์แห่งปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า)

พ.ศ. 2550

สุทรินันท์ ลิ่มทอง 2550: การออกแบบวงจรบวกขนาด  $n$  บิต ที่ใช้กำลังงานต่ำ ปรินูญา  
วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชา  
วิศวกรรมไฟฟ้า ปรธานกรรมการที่ปรึกษา: ผู้ช่วยศาสตราจารย์ชูเกียรติ การะเกตุ,  
Ph.D. 111 หน้า

งานวิจัยนี้นำเสนอการออกแบบวงจรบวกขนาด  $n$  บิต ที่ใช้กำลังงานต่ำ โดยวงจรบวกที่  
ทำการออกแบบจะมี 3 รูปแบบ คือ วงจรบวกแบบตัวทดเลื่อน (Ripple Carry Adder), วงจรบวก  
แบบคิดตัวท่วงหน้า (Carry Lookahead Adder) และวงจรบวกแบบเลือกตัวทด (Carry Select  
Adder) โดยการออกแบบวงจรจะใช้ Pass transistor โดยวงจรที่ทำการออกแบบจะนำมา  
เปรียบเทียบกับวงจรที่ทำการออกแบบโดยใช้ Static Complementary CMOS ซึ่งเป็นเกตที่ใช้ใน  
การออกแบบวงจรรวมแบบมอส โดยผลจากการทดสอบการทำงานของวงจรที่ระดับแรงดันไฟ  
เลี้ยง 5 V จะให้ผลการทำงานของวงจรมีความถูกต้องตรงกัน โดยที่วงจรที่ออกแบบโดยใช้ Pass  
transistor พบว่าบางวงจรลดการใช้กำลังงานลงมาสูงสุดได้ถึง 80 % และในบางวงจรลดลงมาได้  
ต่ำสุดเพียง 54 % เมื่อเปรียบเทียบกับวงจรที่ออกแบบโดยใช้ Static Complementary CMOS

นอกจากนี้ในงานวิจัยนี้ได้มีการนำเทคนิคการลดระดับแรงดันไฟเลี้ยงมาใช้ร่วมกันด้วย  
ซึ่งจากการทดสอบพบว่าระดับแรงดันไฟเลี้ยงต่ำสุดที่วงจรที่ทำการออกแบบสามารถทำงานได้  
ถูกต้องนั้นเท่ากับ 3.3 V และพบว่าวงจรที่ทำการออกแบบโดยใช้ Pass transistor นั้นสามารถลด  
กำลังงานลงได้สูงสุดถึง 72 % และลดกำลังงานลงได้ต่ำสุดเพียง 33 % ในบางวงจร เมื่อทำการ  
เปลี่ยนระดับแรงดันไฟเลี้ยงจาก 5 V เป็น 3.3 V นอกจากนี้เมื่อทำการทดสอบตัวแปรที่มีผลต่อการ  
ทำงานของวงจร ได้แก่ ค่าหน่วงเวลา (Delay time) และค่าป้องกันการรบกวนสัญญาณเอาท์พุท  
(Noise Margin) พบว่าค่าตัวแปรมีค่าเป็นที่ยอมรับได้สำหรับการใช้งานทั่วไป

ดังนั้นสามารถสรุปได้ว่าวงจรบวกขนาด  $n$  บิต สามารถออกแบบให้ใช้กำลังงานต่ำด้วย  
การออกแบบโดยใช้ Pass transistor และวิธีการลดระดับแรงดันไฟเลี้ยงร่วมกัน โดยสามารถลด  
การใช้กำลังงานได้สูงสุดถึง 80 % ขึ้นอยู่กับชนิดของวงจรและรูปแบบการต่อวงจร โดยการ  
ทนทานต่อสัญญาณรบกวนและค่าหน่วงเวลาของวงจร ยังอยู่ในเกณฑ์ที่ใช้งานได้จริง

Suthinan Limthong 2007: Design of n Bit Adder Cell for Low Power Application.  
Master of Engineering (Electrical Engineering), Major Field: Electrical Engineering,  
Department of Electrical Engineering. Thesis Advisor: Assistant Professor  
Chugiat Garagate, Ph.D. 111 pages.

This paper presents the design of low-power n-bit adder cell in 3 different adder topologies. The adder circuits include Ripple Carry Adder, Carry Lookahead Adder and Carry Select Adder. Experimental Pass-transistor is employed in the design. The designed circuits are compared to Static Complementary CMOS circuits, which are logic gates normally used in MOS integrated circuit. The result shows that there are no significant difference in functionality has performance of both systems under the 5-volt power supply. However, it was found that some circuit of Pass- transistor design circuit can reduced the maximum power usage by 80 % and some circuit of Pass- transistor design circuit can reduced the minimum power usage by 54 % lower than Static CMOS.

In addition, this paper also demonstrate the power supply reduction technique. The minimum power supply required for the circuit to operate correctly is 3.3 V. It was also found that the some circuit of Pass- transistor design circuit can reduced the maximum power usage by 72 % and some circuit of Pass- transistor-design circuit can reduced the minimum power usage by 33 % when the power supply is changed from 5 to 3.3 V. Further more, the delay time and noise margin which are the factors in the circuit performance investigated. It was found that both delay time and noise margin are in acceptable range for applications.

In conclusion, n-bit adder cell can be designed for low power application by the combination of Pass-transistor design and power supply reduction technique. The power consumption can be reduced up to 80 % depended on the types and topologies. Noise margin and delay time are still in an acceptable range.

---

Student's signature

---

Thesis Advisor's signature

/ /

## กิตติกรรมประกาศ

ข้าพเจ้าขอกราบขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.ชูเกียรติ การะเกตุ ประธานกรรมการ  
ที่ปรึกษา ที่ได้ช่วยเหลือในการวางแผนงานวิจัยในวิทยานิพนธ์ฉบับนี้ ตลอดจนการให้คำปรึกษา  
แนะนำและตรวจแก้ไขข้อบกพร่องในวิทยานิพนธ์ให้สำเร็จลุล่วงไปด้วยดี และขอขอบคุณ อาจารย์  
ดร.คูสิต ชนเพทาย กรรมการวิชาเอก ที่ให้ความอนุเคราะห์ห้องสำหรับการวิจัย ตลอดจนถึงการ  
ให้คำปรึกษาสำหรับการวิจัย

ข้าพเจ้าขอกราบขอบพระคุณ คุณแม่ปราณี ลืมทอง ,คุณป้าประคอง ชนะคุ้ม ,คุณธีระนันท์  
ลืมทอง ตลอดจนเพื่อนๆและพี่ๆทุกคน ที่ให้การสนับสนุนและให้กำลังใจในการทำวิทยานิพนธ์  
ฉบับนี้จนสำเร็จลุล่วงไปด้วยดี หากวิทยานิพนธ์ฉบับนี้มีข้อบกพร่องประการใด ข้าพเจ้ายินดีรับ  
ข้อเสนอแนะและขออภัยมา ณ ที่นี้ด้วย

สุทธินันท์ ลืมทอง

เมษายน 2550

## สารบัญ

	หน้า
สารบัญ .....	(1)
สารบัญตาราง .....	(2)
สารบัญภาพ .....	(4)
คำอธิบายสัญลักษณ์และคำย่อ .....	(9)
คำนำ .....	1
วัตถุประสงค์ .....	3
การตรวจเอกสาร .....	4
อุปกรณ์และวิธีการ .....	27
อุปกรณ์ .....	27
วิธีการ .....	27
ผลและวิจารณ์ .....	46
สรุป .....	106
สรุปผลการทดลอง .....	106
ข้อเสนอแนะ .....	108
เอกสารและสิ่งอ้างอิง .....	109
ประวัติการศึกษา และการทำงาน .....	111

## สารบัญตาราง

ตารางที่		หน้า
1	ตารางความจริง (Truth table) ของวงจรวกแบบเต็มขนาด 1 บิต.....	5
2	ตารางแสดงจำนวนทรานซิสเตอร์ของวงจรวกที่ทำการออกแบบ .....	73
3	ตารางแสดงผลการใช้กำลังงานของวงจรวกขนาด 1 บิต.....	75
4	ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 4 บิต ที่ $V_{DD} = 5\text{ V}$ .....	76
5	ตารางแสดงการเปรียบเทียบกำลังงานของวงจรวกขนาด 4 บิต ที่ใช้ Pass transistor .....	77
6	ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 8 บิต ที่ $V_{DD} = 5\text{ V}$ .....	79
7	ตารางแสดงการเปรียบเทียบกำลังงานของวงจรวกขนาด 8 บิต ที่ใช้ Pass transistor .....	80
8	ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 16 บิต ที่ $V_{DD} = 5\text{ V}$ .....	81
9	ตารางแสดงการเปรียบเทียบกำลังงานของวงจรวกขนาด 16 บิต ที่ใช้ Pass transistor .....	82
10	ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 32 บิต ที่ $V_{DD} = 5\text{ V}$ .....	84
11	ตารางแสดงการเปรียบเทียบกำลังงานของวงจรวกขนาด 32 บิต ที่ใช้ Pass transistor .....	85
12	ตารางแสดงค่าหน่วงเวลาของวงจรวกขนาด 1 บิต.....	87
13	ตารางแสดงผลค่าหน่วงเวลาของวงจรวกขนาด 4 บิต ที่ $V_{DD} = 5\text{ V}$ .....	89
14	ตารางแสดงผลค่าหน่วงเวลาของวงจรวกขนาด 4 บิตที่ออกแบบโดยใช้ Pass transistor.....	90
15	ตารางแสดงผลค่าหน่วงเวลาของวงจรวกขนาด 8 บิต ที่ $V_{DD} = 5\text{ V}$ .....	91

### สารบัญตาราง (ต่อ)

ตารางที่		หน้า
16	ตารางแสดงผลค่าหน่วยเวลาของวงจรบวกขนาด 8 บิตที่ออกแบบโดยใช้ Pass transistor.....	92
17	ตารางแสดงผลค่าหน่วยเวลาของวงจรบวกขนาด 16 บิต ที่ $V_{DD} = 5 V$ .....	93
18	ตารางแสดงผลค่าหน่วยเวลาของวงจรบวกขนาด 16 บิตที่ออกแบบโดยใช้ Pass transistor.....	94
19	ตารางแสดงผลค่าหน่วยเวลาของวงจรบวกขนาด 32 บิต ที่ $V_{DD} = 5 V$ .....	95
20	ตารางแสดงผลค่าหน่วยเวลาของวงจรบวกขนาด 32 บิตที่ออกแบบโดยใช้ Pass transistor.....	96
21	ตารางแสดงค่า Noise Margin High ของวงจรบวกขนาด 32 บิต ที่ $V_{DD} = 5 V$	100
22	ตารางแสดงค่า Noise Margin Low ของวงจรบวกขนาด 32 บิต ที่ $V_{DD} = 5 V$	101
23	ตารางแสดงค่า Noise Margin High ของวงจรบวกขนาด 32 บิตที่ $V_{DD} = 3.3 V$	102
24	ตารางแสดงค่า Noise Margin Low ของวงจรบวกขนาด 32 บิตที่ $V_{DD} = 3.3 V$	103

## สารบัญภาพ

ภาพที่		หน้า
1	ภาพแสดงการบวกเลขไบนารีขนาด 1 บิต.....	4
2	ภาพแสดงสัญลักษณ์แสดงการบวกขนาด 1 บิต.....	4
3	การออกแบบวงจรบวกแบบเต็มขนาด 1 บิต โดยใช้เกตพื้นฐาน.....	6
4	ภาพวงจรบวกแบบตัวทดเลื่อนขนาด 4 บิต.....	7
5	ภาพแสดงการบวกเลขฐานสองขนาด 4 บิต.....	7
6	ภาพแสดงวงจรบวกกำเนิดตัวทด (Ci) , ตัวทดผ่าน (Pi) และวงจรกำเนิดผลลัพธ์....	9
7	ภาพแสดงวงจรบวกกำเนิดตัวทดและกำเนิดผลลัพธ์ขนาด 4 บิต.....	9
8	ภาพแสดงวงจรบวกแบบเลือกตัวทดขนาด 8 บิต.....	10
9	ภาพแสดงโครงสร้างของทรานซิสเตอร์แบบมอส.....	11
10	ภาพแสดงวงจรลอจิกที่ใช้ Pass transistor ในการออกแบบ.....	13
11	ภาพแสดงวงจรลอจิกที่ใช้ Transmission gate ในการออกแบบ.....	13
12	ภาพแสดงส่วนประกอบของ Static Complementary CMOS.....	14
13	ภาพแสดงการหาค่าหน่วยเวลา.....	15
14	ภาพแสดงกราฟ VTC ของวงจรที่ออกแบบโดยใช้ CMOS.....	17
15	ภาพแสดงกำลังสูญเสียจากการสวิตช์.....	18
16	ภาพแสดงการเกิดกำลังงานสูญเสียจากการลัดวงจร.....	21
17	ภาพแสดงกระแสรั่วไหล.....	23
18	ภาพแสดงวงจรบวก 1 บิต แบบ Static Complementary CMOS.....	24
19	ภาพแสดงวงจรบวก 1 บิต โดยใช้ Static Complementary CMOS และ Transmission gate .....	25
20	ภาพแสดงวงจร XOR ขนาด 2 สัญญาณเข้า .....	28
21	ภาพแสดงวงจรบวกขนาด 1 บิต ที่ใช้ Pass transistor .....	29
22	ภาพแสดงวงจรบวกขนาด 1 บิต ที่สร้างโดยใช้ Static Complementary CMOS.....	30
23	ภาพแสดงวงจร Pass transistor Ripple Carry Adder ขนาด 4 บิต.....	32
24	ภาพแสดงวงจร Pass transistor Ripple Carry Adder ขนาด 8 บิต.....	33

### สารบัญภาพ (ต่อ)

ภาพที่		หน้า
25	ภาพแสดงวงจร Pass transistor Ripple Carry Adder ขนาด 16 บิต.....	33
26	ภาพแสดงวงจร Pass transistor Ripple Carry Adder ขนาด 32 บิต.....	34
27	ภาพแสดงวงจร Static Ripple Carry Adder ขนาด 4 บิต.....	35
28	ภาพแสดงวงจร Pass transistor Carry Look-ahead Adder ขนาด 4 บิต.....	37
29	ภาพแสดงวงจร Static Carry Look-ahead Adder ขนาด 4 บิต.....	39
30	ภาพแสดงวงจร MUX ที่ออกแบบโดยใช้ Pass transistor .....	41
31	ภาพแสดงวงจร MUX ที่ออกแบบโดยใช้ Static Complementary CMOS .....	42
32	ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 4 บิต.....	43
33	ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 8 บิต.....	44
34	ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 16 บิต.....	44
35	ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 32 บิต.....	45
36	ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Pass transistor ที่ $V_{DD} = 5 V$ ...	47
37	ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Static Complementary CMOS ที่ $V_{DD} = 5 V$ .....	47
38	ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Pass transistor ที่ $V_{DD} = 3.3 V$	48
39	ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Static Complementary CMOS ที่ $V_{DD} = 3.3 V$ .....	48
40	ภาพแสดงการทำงานของวงจร Pass transistor Ripple Carry Adder 4 บิต ที่ $V_{DD} = 5 V$ .....	50
41	ภาพแสดงการทำงานของวงจร Static Ripple Carry Adder 4 บิต ที่ $V_{DD} = 5 V$ .....	51
42	ภาพแสดงการทำงานของวงจร Pass transistor Ripple Carry Adder 4 บิต ที่ $V_{DD} = 3.3 V$ .....	52
43	ภาพแสดงการทำงานของวงจร Static Ripple Carry Adder 4 บิต ที่ $V_{DD} = 3.3 V$ .....	53

### สารบัญภาพ (ต่อ)

ภาพที่		หน้า
44	ภาพแสดงการทำงานของวงจร Pass transistor Ripple Carry Adder 32 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	55
45	ภาพแสดงการทำงานของวงจร Static Ripple Carry Adder 32 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	56
46	ภาพแสดงการทำงานของวงจร Pass transistor Carry Look-ahead Adder 4 บิต ที่ $V_{DD} = 5 \text{ V}$ .....	58
47	ภาพแสดงการทำงานของวงจร Static Carry Look-ahead Adder 4 บิต ที่ $V_{DD} = 5 \text{ V}$ .....	59
48	ภาพแสดงการทำงานของวงจร Pass transistor Carry Look-ahead Adder 4 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	60
49	ภาพแสดงการทำงานของวงจร Static Carry Look-ahead Adder 4 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	61
50	ภาพแสดงการทำงานของวงจร Pass transistor Carry Look-ahead Adder 32 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	63
51	ภาพแสดงการทำงานของวงจร Static Carry Look-ahead Adder 32 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	64
52	ภาพแสดงการทำงานของวงจร Pass transistor Carry Select Adder 4 บิต ที่ $V_{DD} = 5 \text{ V}$ .....	66
53	ภาพแสดงการทำงานของวงจร Static Carry Select Adder 4 บิตที่ $V_{DD} = 5 \text{ V}$ .....	67
54	ภาพแสดงการทำงานของวงจร Pass transistor Carry Select Adder 4 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	68
55	ภาพแสดงการทำงานของวงจร Static Carry Select Adder 4 บิต ที่ $V_{DD} = 3.3 \text{ V}$ ...	69
56	ภาพแสดงการทำงานของวงจร Pass transistor Carry Select Adder 32 บิต ที่ $V_{DD} = 3.3 \text{ V}$ .....	71
57	ภาพแสดงการทำงานของวงจร Static Carry Select Adder 32 บิต ที่ $V_{DD} = 3.3 \text{ V}$	72

## สารบัญภาพ (ต่อ)

ภาพที่		หน้า
58	ภาพแสดงกราฟเปรียบเทียบจำนวนทรานซิสเตอร์ในการออกแบบวงจรบวก.....	74
59	ภาพกราฟแสดงค่ากำลังงานเฉลี่ยของวงจรบวกขนาด 1 บิต.....	76
60	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 4 บิตที่ $V_{DD} = 5\text{ V}$ .....	77
61	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 4 บิต ที่ใช้ Pass transistor .....	78
62	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 8 บิตที่ $V_{DD} = 5\text{ V}$ .....	79
63	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 8 บิต ที่ใช้ Pass transistor .....	80
64	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 16 บิตที่ $V_{DD} = 5\text{ V}$ .....	82
65	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 16 บิต ที่ใช้ Pass transistor .....	83
66	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 32 บิตที่ $V_{DD} = 5\text{ V}$ .....	84
67	ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 32 บิต ที่ใช้ Pass transistor .....	85
68	ภาพแสดงการเปรียบเทียบการใช้กำลังงานของวงจรที่ออกแบบโดยใช้ Pass transistor .....	86
69	ภาพแสดงกราฟกำหนดเวลาของวงจรบวกขนาด 1 บิต.....	88
70	ภาพแสดงกราฟเปรียบเทียบกำหนดเวลาของวงจรบวกขนาด 4 บิต ที่ $V_{DD} = 5\text{ V}$	89
71	ภาพแสดงกราฟเปรียบเทียบกำหนดเวลาของวงจรบวกขนาด 4 บิต ที่ออกแบบโดย ใช้ Pass transistor .....	90

### สารบัญภาพ (ต่อ)

ภาพที่		หน้า
72	ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 8 บิต ที่ $V_{DD} = 5\text{ V}$	91
73	ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 8 บิต ที่ออกแบบโดยใช้ Pass transistor .....	92
74	ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 16 บิตที่ $V_{DD} = 5\text{ V}$	93
75	ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 16 บิต ที่ออกแบบโดยใช้ Pass transistor .....	94
76	ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 32 บิตที่ $V_{DD} = 5\text{ V}$	95
77	ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 32 บิต ที่ออกแบบโดยใช้ Pass transistor .....	96
78	ภาพแสดงการเปรียบเทียบค่าหน่วยเวลาของวงจรที่ออกแบบโดยใช้ Pass transistor .....	97
79	ภาพแสดงกราฟ VTC ระหว่าง A กับ $C_o$ ของวงจรวกชนิด Pass transistor.....	98
80	ภาพแสดงกราฟ VTC ระหว่าง $C_i$ กับ $C_o$ ของวงจรวกชนิด Pass transistor.....	98
81	ภาพแสดงกราฟ VTC ของวงจรวกชนิด Static Complementary CMOS.....	99
82	ภาพแสดงค่า Noise Margin High ของวงจรวกขนาด 32 บิต ที่ $V_{DD} = 5\text{ V}$ .....	101
83	ภาพแสดงค่า Noise Margin Low ของวงจรวกขนาด 32 บิต ที่ $V_{DD} = 5\text{ V}$ .....	102
84	ภาพแสดงค่า Noise Margin High ของวงจรวกขนาด 32 บิต ที่ $V_{DD} = 3.3\text{ V}$ .....	103
85	ภาพแสดงค่า Noise Margin Low ของวงจรวกขนาด 32 บิต ที่ $V_{DD} = 3.3\text{ V}$ .....	104

### คำอธิบายสัญลักษณ์และคำย่อ

PRCA	=	วงจรรวมแบบตัวทล่ื่อนที่ออกแบบโดยใช้ Pass transistor
SRCA	=	วงจรรวมแบบตัวทล่ื่อนที่ออกแบบโดยใช้ Static Complementary CMOS
PCLA	=	วงจรรวมแบบคิดตัวทล่ื่องหน้าีที่ออกแบบโดยใช้ Pass transistor
SCLA	=	วงจรรวมแบบคิดตัวทล่ื่องหน้าีที่ออกแบบโดยใช้ Static Complementary CMOS
PCSA	=	วงจรรวมแบบเลือกตัวทล่ื่อที่ออกแบบโดยใช้ Pass transistor
SCSA	=	วงจรรวมแบบเลือกตัวทล่ื่อที่ออกแบบโดยใช้ Static Complementary CMOS
Delay time	=	ค่าหน้่วงเวลา
Noise Margin	=	ค่าป้องกันการรบกวนสัญญาณเอาท์พุท
Power	=	กำลังงาน

## การออกแบบวงจรบวกขนาด $n$ บิต ที่ใช้กำลังงานต่ำ

### Design of $n$ Bit Adder Cell for Low Power Application

#### คำนำ

ในการสร้างวงจรรวมที่ผ่านมาในอดีต ขบวนการผลิตมีความซับซ้อนและยุ่งยาก พร้อมทั้งยังมีราคาแพงมากเกินไป ทำให้การออกแบบวงจรที่ประหยัดกำลังงานและการประยุกต์ใช้งานของเทคโนโลยี CMOS ถูกจำกัดใช้งานกับอุปกรณ์เฉพาะที่เป็นอุปกรณ์ใช้พลังงานต่ำมาก ๆ อาทิเช่น นาฬิกาข้อมือ เครื่องคิดเลข เครื่องกระตุ้นกล้ามเนื้อหัวใจ และเซนเซอร์บางอย่าง เป็นต้น อย่างไรก็ตาม ในปัจจุบันได้มีการศึกษาเรื่องการออกแบบวงจรที่สามารถประหยัดกำลังงานเพิ่มมากขึ้น เพื่อสนองต่อการเจริญเจริญเติบโตของผลิตภัณฑ์ ประเภทเครื่องคอมพิวเตอร์แบบพกพา (Notebook computer) และโทรศัพท์มือถือ ซึ่งต้องการให้ผลิตภัณฑ์มีขนาดเล็กและใช้กำลังงานต่ำ แต่ยังคงให้ประสิทธิภาพในการทำงานเท่าเดิมหรือดีขึ้นกว่าเดิม ยกตัวอย่างเช่น ในการพัฒนาการออกแบบอุปกรณ์ที่ใช้ในเครื่องคอมพิวเตอร์แบบพกพา ซึ่งจะบ่งบอกถึงการพัฒนาของอุตสาหกรรมด้านคอมพิวเตอร์ ซึ่งในการออกแบบต้องการให้อุปกรณ์มีขนาดเล็กและใช้กำลังงานในการทำงานต่ำ เพื่อที่จะสามารถใช้งานได้ยาวนานขึ้น แต่ในขณะเดียวกันก็ต้องออกแบบให้ประสิทธิภาพการทำงานใกล้เคียงกับคอมพิวเตอร์แบบตั้งโต๊ะ (Desktop computer) ด้วย ดังนั้นในการออกแบบวงจรในระบบดิจิทัลที่ใช้กำลังงานต่ำ โดยเฉพาะโปรเซสเซอร์ (Processor) จึงมีความสำคัญมาก ในการออกแบบให้วงจรมีขนาดเล็กและใช้กำลังงานต่ำ นอกจากการออกแบบให้วงจรมีประสิทธิภาพสูงเพียงอย่างเดียว

วงจรรวม (Adder) เป็นส่วนประกอบหนึ่งในโปรเซสเซอร์ ซึ่งวงจรรวมจะอยู่ใน ALU (Arithmetic and Logic Unit) , Floating point unit และ ใช้สร้างตำแหน่งในการเข้าถึงหน่วยความจำ ทั้งหน่วยความจำหลัก และหน่วยความจำ Cache ซึ่งในการออกแบบวงจรรวมในปัจจุบันได้มีการออกแบบเพื่อให้วงจรใช้กำลังงานต่ำ และมีขนาดเล็ก โดยในการออกแบบจะใช้อุปกรณ์ชนิด CMOS ในการสร้างวงจรในระดับเกิดขึ้นมา

ดังนั้นในงานวิจัยนี้ จึงได้ศึกษาถึงการลดกำลังงานสูญเสียในวงจร CMOS และการนำเกตชนิดต่างๆมาประยุกต์ใช้ในการออกแบบให้วงจรมีขนาดเล็ก และใช้กำลังงานต่ำ เพื่อออกแบบวงจรบวกแบบเต็มขนาด 1 บิต ที่จะนำไปสร้างวงจรบวกขนาด  $n$  บิต ชนิด วงจรบวกแบบตัวทดเลื่อน (Ripple Carry Adder), วงจรบวกแบบกิดตัวทล่งหน้า (Carry Look-ahead Adder) และ วงจรบวกแบบเลือกค่าตัวทล่ง (Carry Select Adder) ที่ทำงานโดยใช้กำลังงานต่ำ

## วัตถุประสงค์

1. เพื่อศึกษาการทำงานของวงจรวกชนิดต่างๆ ที่ออกแบบโดยใช้เทคโนโลยีซีมอส (CMOS)
2. เพื่อศึกษาวิธีการนำเกตชนิดต่างๆ มาออกแบบวงจรวกชนิดต่างๆ ที่ออกแบบโดยใช้เทคโนโลยีซีมอส (CMOS)
3. เพื่อศึกษาวิธีการลดกำลังงานในการออกแบบวงจรวกขนาด  $n$  บิต โดยใช้เทคโนโลยีซีมอส (CMOS)
4. สามารถออกแบบวงจรวกขนาด  $n$  บิต ชนิด Ripple Carry Adder , Carry Look-ahead Adder และ Carry Select Adder โดยใช้เทคโนโลยีซีมอส (CMOS) ซึ่งวงจรวกที่ออกแบบจะใช้กำลังงานต่ำและมีค่าตัวแปรในการออกแบบที่สามารถยอมรับได้

## การตรวจเอกสาร

### 1. วงจรบวก

#### 1.1 วงจรบวกแบบเต็มขนาด 1 บิต (Full Adder)

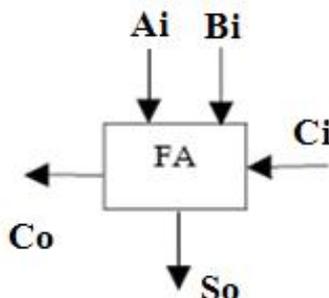
วงจรถูกแบบพื้นฐานที่มีการนำตัวทศมารวมบวกด้วยเรียกว่า วงจรถูกแบบเต็ม (Full Adder) โดยลักษณะการบวกแบบ 1 บิต แสดงดังภาพที่ 1

$$\begin{array}{r} A_i \\ B_i + \\ \underline{C_i} \\ \underline{\underline{C_o S_o}} \end{array}$$

ภาพที่ 1 การบวกเลขไบนารีขนาด 1 บิต

ที่มา : ชีระวัฒน์ (2540)

จากภาพที่ 1 จะแสดงได้ว่าการบวกเลขทั้งสองจำนวน ก็คือการบวกระหว่างบิตที่คอลัมน์ตรงกัน อนุญาตให้มีการทดไปยังบิตที่น้ำหนักสูงกว่า ผลลัพธ์ของบิตหน้าสุด (MSB) จึงเป็นผลจากการบวกของผลบวกกับตัวทศเข้า ซึ่งสัญลักษณ์แสดงการบวกขนาด 1 บิต ที่คำนึงตัวทศเข้าและตัวทศออกแสดงดังภาพที่ 2



ภาพที่ 2 สัญลักษณ์แสดงการบวกขนาด 1 บิต

ที่มา : ชีระวัฒน์ (2540)

จากสัญลักษณ์แสดงการบวกขนาด 1 บิต ดังกล่าว สามารถเขียนตารางความจริง (Truth Table) ของวงจรวกแบบเต็มได้ โดยตารางค่าความจริงจะแสดงดัง ตารางที่ 1

ตารางที่ 1 ตารางความจริง (Truth Table) ของวงจรวกแบบเต็มขนาด 1 บิต

บิตตัวตั้ง	บิตตัวบวก	บิตตัวทดเข้า	ผลลัพธ์	บิตตัวทดออก
$A_i$	$B_i$	$C_i$	S	$C_o$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

ที่มา : ชีระวัฒน์ (2540)

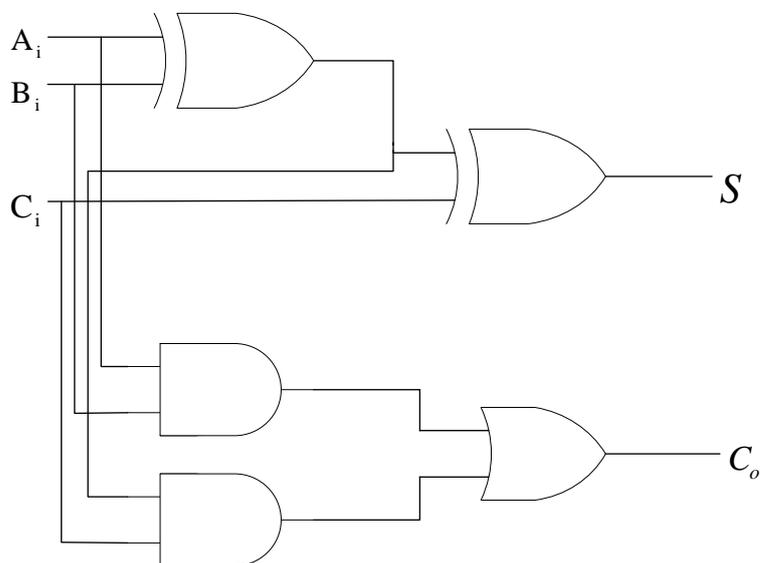
จากตารางค่าความจริง หากสังเกตค่าผลบวกจะพบว่า หากผลบวกทั้ง 3 บิต ( $A_i$ ,  $B_i$ ,  $C_i$ ) มีค่าลอจิกเป็น “1” เป็นจำนวนกี่บิต จะให้เอาต์พุตเป็นลอจิก “1” นอกจากนั้นเป็นลอจิก “0” การกระทำแบบนี้เราสามารถใส่เกตแบบ XOR กับอินพุต  $A_i$  และ  $B_i$  ได้ จากนั้นนำเอาต์พุตมา XOR กับ  $C_i$  โดยสามารถเขียนเป็นสมการบูลีนได้ดังสมการที่ 1

$$S = A_i \oplus B_i \oplus C_i \quad (1)$$

ส่วนสมการบูลีนของตัวทดออก ( $C_o$ ) จะเป็นไปตามสมการที่ 2

$$C_o = A_i B_i + (A_i \oplus B_i) C_i \quad (2)$$

จากทั้ง 2 สมการ สามารถนำมาสร้างเป็นวงจร โดยใช้เกตพื้นฐานได้ดังภาพที่ 3



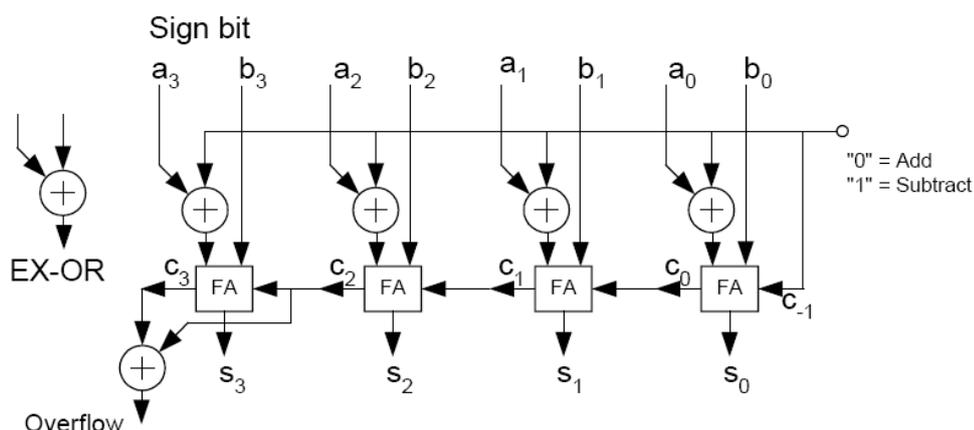
ภาพที่ 3 การออกแบบวงจรบวกแบบเต็มขนาด 1 บิต โดยใช้เกตพื้นฐาน  
ที่มา : ชีระวัฒน์ (2540)

## 1.2 วงจรบวกขนาด n บิต

การสร้างวงจรบวกขนาด n บิต มาจากการนำวงจรบวกแบบเต็มขนาด 1 บิต มาใช้ในการออกแบบ โดยส่วนประกอบที่สำคัญมี 3 ส่วน คือ ตัวตั้ง ตัวบวก และตัวทด ซึ่งลักษณะของวงจรบวกขนาด n บิต ที่จะทำการออกแบบจะมีอยู่ 3 รูปแบบ คือ

### 1.2.1 วงจรบวกแบบตัวทอดเลื่อน (Ripple Carry Adder)

การบวกแบบตัวทอดเลื่อนเป็นการบวกขึ้นมาทีละคู่เริ่มจากหลักหลังสุดหรือบิตที่มีนัยสำคัญต่ำสุดก่อน ผลทศที่เกิดขึ้นแต่ละครั้งก็จะนำมาบวกกับการบวกในครั้งถัดมา ซึ่งภาพที่ 4 จะแสดงลักษณะของวงจรบวกขนาด 4 บิต



ภาพที่ 4 ภาพวงจรบวกแบบตัวทดเลื่อนขนาด 4 บิต

ที่มา : Hodge (2004)

<u>1111</u>	-1	<u>1011</u>	-5
<u>0001</u>	+1	<u>0011</u>	+3
<u>10000</u>	<u>0</u>	<u>1110</u>	<u>-2</u>

ภาพที่ 5 ภาพแสดงการบวกเลขฐานสองขนาด 4 บิต

ที่มา : Hodge (2004)

จากภาพที่ 5 จะเห็นว่า เกิดการทดทีบิตข้างหลังก่อนแต่ผลลัพธ์จะสรุปได้ก็ต่อเมื่อมีการบวกบิตหน้าสุดแล้ว ผลการทดจากบิตข้างหลังจะค่อย ๆ เลื่อนขึ้นมาด้านหน้า การบวกแบบนี้บางทีก็เรียกว่า Carry Propagate Adder (CPA) หากเลขมีจำนวนหลาย ๆ บิต ก็จะทำให้เสียเวลานานกว่าจะได้ผลลัพธ์

จะพบว่าวงจรถบวกรูปแบบตัวทดเลื่อนนั้นจะสามารถออกแบบได้ง่าย และมีราคาถูก แต่จะมีค่าหน่วยเวลาในการทำงานมากขึ้นเนื่องจากตัวทดในบิตถัดไปนั้นจะต้องรอตัวทดที่มาจากบิตก่อนหน้านั้นเอง

### 1.2.2 วงจรบวกแบบคิดตัวทดล่วงหน้า (Carry Look-ahead Adder)

วงจรบวกแบบคิดตัวทดล่วงหน้าจะมี 2 ส่วนประกอบหลัก คือ วงจรกำเนิดตัวทด และ วงจรส่งผ่านตัวทด เนื่องจากเมื่อดูตารางที่ 1 จะพบว่า จะเห็นว่า  $s_i = a_i \oplus b_i \oplus c_{i-1}$  และ  $c_i = (a_i \oplus b_i) + (a_i \oplus b_i) \oplus c_{i-1}$  ตัวทุดที่ออกจากสเตจนั้นมีได้ 2 กรณี คือ กำเนิดจากสเตจนั้น หรือไม่ก็เป็นการส่งผ่านผลของสเตจที่ผ่านมา โดยวงจรจะกำเนิดตัวทด  $g_i$  เมื่อ  $g_i = a_i \cdot b_i$  และ วงจรจะส่งผ่านตัวทด  $p_i$  เมื่อ  $p_i = a_i \oplus b_i$  ดังนั้นผลลัพธ์ก็คือ  $s_i = p_i \oplus c_{i-1}$  และ  $c_i = g_i + c_{i-1} \cdot p_i$  ผลลัพธ์ของแต่ละบิตจึงสามารถที่จะคำนวณล่วงหน้าได้ เมื่อลองพิจารณาวงจรบวกขนาด 4 บิต จะได้ว่า

$$c_0 = g_0 + c_{(-1)} \cdot p_0$$

$$c_1 = g_1 + c_0 p_1$$

$$c_1 = g_1 + (g_0 + c_{(-1)} p_0) \cdot p_1$$

$$c_1 = g_1 + g_0 p_1 + c_{(-1)} p_0 p_1$$

$$c_2 = g_2 + c_1 p_2$$

$$c_2 = g_2 + (g_1 + g_0 p_1 + c_{(-1)} p_0 p_1) \cdot p_2$$

$$c_2 = g_2 + g_1 p_2 + g_0 p_1 p_2 + c_{(-1)} p_0 p_1 p_2$$

$$c_3 = g_3 + c_2 p_3$$

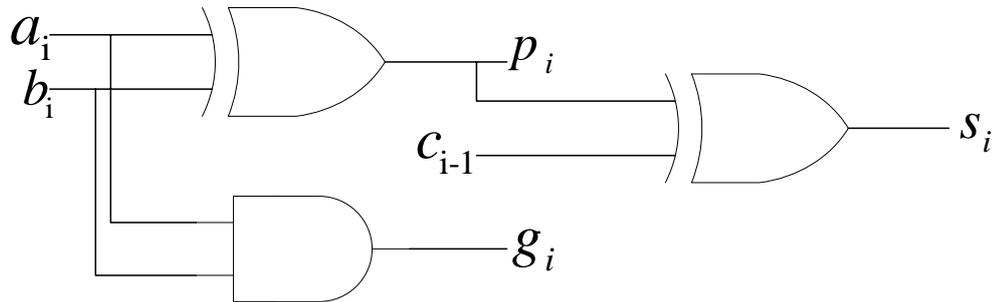
$$c_3 = g_3 + (g_2 + g_1 p_2 + g_0 p_1 p_2 + c_{(-1)} p_0 p_1 p_2) \cdot p_3$$

$$c_3 = g_3 + g_2 p_3 + g_1 p_2 p_3 + g_0 p_1 p_2 p_3 + c_{(-1)} p_0 p_1 p_2 p_3$$

ค่าที่ตำแหน่งบิตที่ k ก็จะเขียนได้เป็นสมการ (3)

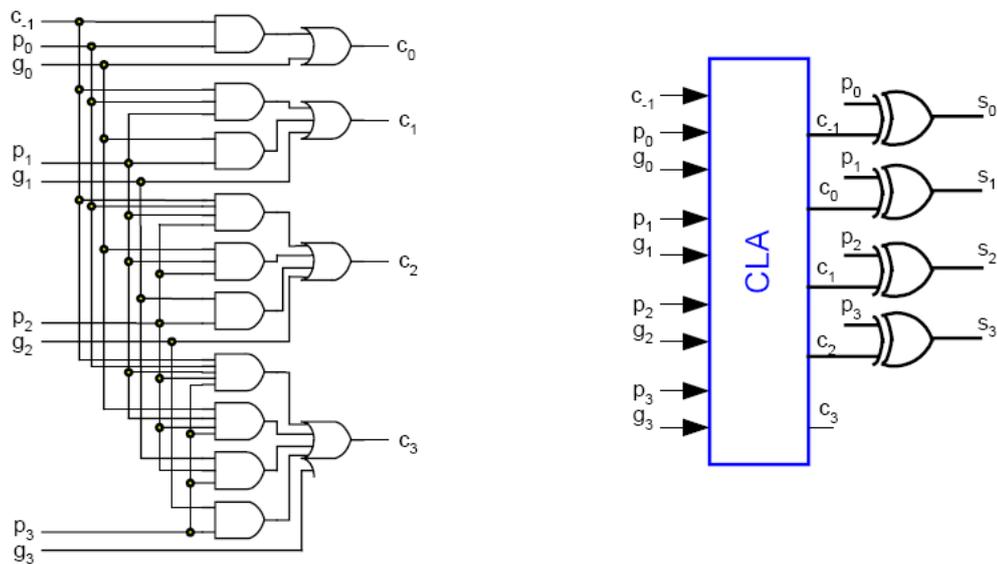
$$C_{ok} = g_k + g_{k-1} p_k + g_{k-2} p_{k-1} p_k + \dots + g_0 p_1 p_2 \dots p_k + c_{0(-1)} p_0 p_1 p_2 \dots p_k \quad (3)$$

ซึ่งลักษณะของวงจรบวกกำเนิดตัวทด วงจรส่งผ่านตัวทด และวงจรกำเนิดผลลัพธ์ ขนาด 1 บิต แสดงดังภาพที่ 6



ภาพที่ 6 ภาพแสดงวงจรกำเนิดตัวทด ( $c_i$ ) วงจรส่งผ่านตัวทด ( $p_i$ ) และ วงจรกำเนิดผลลัพธ์  
ที่มา : Lee (2000)

ส่วนภาพที่ 7 จะแสดงลักษณะของวงจรบวกกำเนิดตัวทด วงจรส่งผ่านตัวทด และวงจรกำเนิดผลลัพธ์ ขนาด 4 บิต

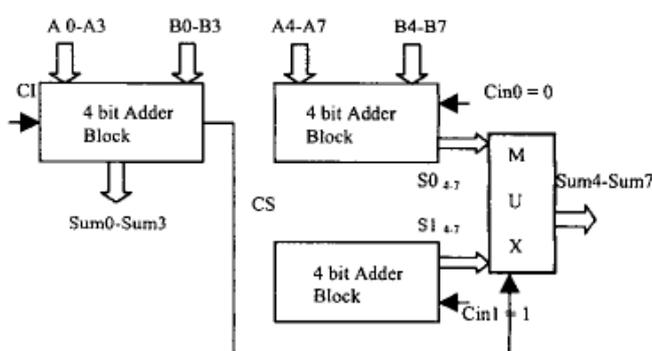


ภาพที่ 7 ภาพแสดงวงจรบวกกำเนิดตัวทดและกำเนิดผลลัพธ์ขนาด 4 บิต  
ที่มา : Lee (2000)

โดยวงจรบวกแบบเลือกตัวทदनั้นจะพบว่าวงจรจะมีความซับซ้อนทำให้การออกแบบค่อนข้างยาก และมีราคาแพงในการออกแบบ แต่วงจรบวกแบบเลือกตัวทदनั้นสามารถทำงานได้เร็วและมีค่าหน่วงเวลาน้อยกว่าวงจรบวกแบบเลือกตัวทด

### 1.2.3 วงจรบวกแบบเลือกตัวทด (Carry Select Adder)

วงจรบวกแบบเลือกตัวทดจะแบ่งจำนวนบิตเป็นบล็อก โดยในการเลือกการทำงานแต่ละบล็อกจะใช้ตัวทด (Carry in , Ci) ในการเลือกแสดงผลผ่านบล็อก โดยภาพแสดงลักษณะของวงจรบวกแบบเลือกตัวทดแสดงดังภาพที่ 8



ภาพที่ 8 ภาพแสดงวงจรบวกแบบเลือกตัวทดขนาด 8 บิต

ที่มา : Rawat (2002)

จากภาพที่ 8 จะเห็นว่า ถ้าตัวทรมีค่าเป็น 0 ผลลัพธ์ในการบวกของ 4 บิตหลังจะเลือกค่าจากบล็อกด้านบนมาแสดงผล แต่ถ้าค่าตัวทรมีค่าเป็น 1 ผลลัพธ์ในการบวกของ 4 บิตหลังจะเลือกค่าจากบล็อกด้านล่างมาแสดงผล ซึ่งจะเห็นได้ว่า MUX จะเป็นส่วนประกอบสำคัญส่วนหนึ่งในวงจรบวกแบบเลือกตัวทด โดย MUX จะทำหน้าที่ในการเลือกบล็อกในการแสดงผล เมื่อมีค่าตัวทดเข้ามาเป็นสัญญาณ Select

โดยวงจรบวกแบบเลือกตัวทมนั้นจะมีขนาดใหญ่ขึ้นมากถึง 50 % เมื่อเทียบกับวงจรบวกแบบตัวทดเลื่อน แต่ความเร็วในการทำงานยังคงสูงเทียบเท่ากัน แต่จะมีค่าหน่วยเวลาที่สูงเนื่องจากวงจรมีขนาดใหญ่ขึ้นเอง ในการเพิ่มประสิทธิภาพในการทำงานนั้นสามารถเพิ่มชั้นในการต่อวงจรขึ้น จะทำให้ความเร็วในการทำงานสูงขึ้น

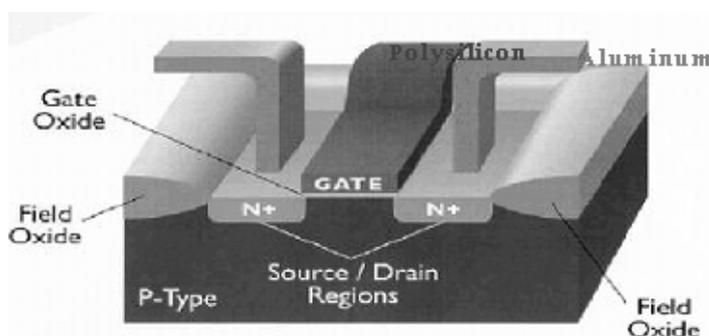
## 2. ความรู้เบื้องต้นเกี่ยวกับเทคโนโลยี CMOS

เทคโนโลยีสารกึ่งตัวนำได้มีการพัฒนาไปในหลายรูปแบบ ทั้งนี้เพื่อให้ได้เทคโนโลยีที่ดีที่สุดโดยมีเป้าหมายคือ ความเร็วในการทำงาน การใช้กำลังงานและความหนาแน่นของจำนวนอุปกรณ์ที่จะมีได้ แต่ในปัจจุบันได้มีมุ่งเป้าไปที่เทคโนโลยีแบบมอส (MOS : Metal Oxide Semiconductor) โดยเทคโนโลยีแบบมอสมีข้อดีในเรื่องที่สามารถสร้างวงจรที่มีความหนาแน่นสูง มีความเร็วในการทำงานสูง ใช้กำลังงานต่ำ มีค่า Input Impedance สูง กำหนดค่า Threshold Voltage ได้ มีกระแสเอาต์พุตต่ำ และมีค่า Noise Margin สูง (ธีรยศ, 2548)

เทคโนโลยีมอสสามารถแบ่งเป็น 3 เทคโนโลยี คือ พีมอส (pMOS) เอ็นมอส(nMOS) และ ซีมอส(CMOS) โดยแต่ละส่วนมีข้อดีเป็นของตัวเอง คือ พีมอสเป็นเทคโนโลยีที่ผลิตได้ง่าย เอ็นมอสสามารถใช้สร้างวงจรที่ต้องการความเร็ว และซีมอสนั้นมีข้อดีที่การประหยัดกำลังในการทำงาน (บวร และคณะ, 2533)

### 2.1 ทรานซิสเตอร์แบบมอส

ไมโครอิเล็กทรอนิกส์ (Microelectronic) สามารถสร้างขึ้นโดยใช้ชั้นสาร 3 แบบ คือ ชั้นการแพร่ ชั้นโพลีซิลิคอน และชั้นโลหะ ซึ่งถ้านำชั้นสารเหล่านี้มาประกอบกันบนซับสเตรทซิลิคอน ก็จะสามารถสร้างทรานซิสเตอร์ได้ ซึ่งสำหรับการสร้างวงจรดิจิทัลแล้ว ทรานซิสเตอร์นับเป็นอุปกรณ์ที่สำคัญมาก โดยโครงสร้างของทรานซิสเตอร์แบบมอสจะเป็นไปตามภาพที่ 9



ภาพที่ 9 ภาพแสดงโครงสร้างของทรานซิสเตอร์แบบมอส

ที่มา : Rabaey (2003)

ทรานซิสเตอร์แบบมอสถูกแบ่งเป็น 2 ชนิด ตามชนิดของสารที่ใช้สร้างชั้นการแพร่และชั้นสเตรท คือ ทรานซิสเตอร์แบบพีมอส จะใช้ชั้นสเตรทเป็นสารชนิดเอ็น และใช้สารเจือเป็นสารชนิดพีในการสร้างชั้นการแพร่ สำหรับทรานซิสเตอร์แบบเอ็นมอสจะใช้สารที่ตรงข้ามกันกับพีมอส ส่วนทรานซิสเตอร์แบบซีมอส คือ การสร้างทรานซิสเตอร์ที่ใช้ทั้งพีมอสและเอ็นมอสมารวมกันบนชั้นสเตรทซิลิคอน (บวร และคณะ, 2533)

การทำงานของทรานซิสเตอร์แบบมอสในวงจรดิจิทัลนั้นจะมีลักษณะการทำงานเหมือนกับสวิตช์ โดยทรานซิสเตอร์แบบเอ็นมอสจะทำงานเมื่อเกตมีสัญญาณลอจิก 1 ส่วนทรานซิสเตอร์แบบพีมอสจะทำงานเมื่อเกตมีสัญญาณลอจิก 0

## 2.2 วงจรคอมบินเนชันลอจิกของมอส

ในการออกแบบวงจรคอมบินเนชันลอจิก โดยใช้เทคโนโลยีมอสนั้นมีวิธีการในการออกแบบอยู่หลายวิธีด้วยกัน แต่วิธีที่จะนำมาใช้ในการออกแบบมีอยู่ 2 วิธี คือ Pass Network และ Static Complementary CMOS

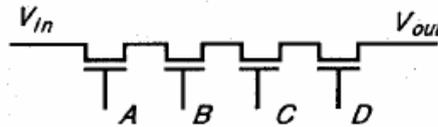
### 2.2.1 Pass Network

ในการออกแบบวงจรคอมบินเนชันเราสามารถออกแบบวงจรดิจิทัล โดยสร้างลอจิกเกตให้อยู่ในลักษณะโครงข่ายสวิตช์ (Pass Network) โดยการใช้ทรานซิสเตอร์ที่ทำหน้าที่เป็นลักษณะสวิตช์ หรือที่เรียกกันว่า Pass transistor

การออกแบบโดยใช้ Pass Network นั้นมีข้อดีคือ สร้างได้ง่าย และรวดเร็ว เกตที่ซับซ้อนสามารถสร้างโดยใช้ทรานซิสเตอร์จำนวนน้อย ๆ ได้ ทำให้ลดค่าของค่าคาปาซิแตนซ์แฝง เป็นผลให้วงจรสามารถทำงานได้เร็ว โดยประสิทธิภาพขึ้นอยู่กับ การสร้างให้ pass-transistor มีความต้านทาน และคาปาซิแตนซ์แฝงให้น้อยที่สุด นอกจากนี้การใช้ passing gate (complementary transmission gate) จะทำให้ได้สัญญาณเอาต์พุตที่มีค่าเป็นลอจิก 0 และ 1 ใกล้เคียงกับอินพุตจริง ๆ (ธีรยศ ,2548)

Pass transistor ที่ใช้ในเทคโนโลยีแบบมอสมีอยู่ 2 ลักษณะ คือ

1. การใช้ทรานซิสเตอร์ nMOS หรือ pMOS ตัวใดตัวหนึ่งในการทำหน้าที่เป็นสวิตช์ในวงจรดิจิทัล โดยลักษณะของ Pass transistor แสดงดังภาพที่ 10

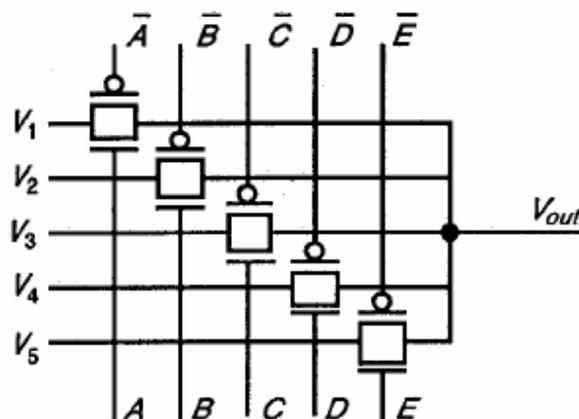


ภาพที่ 10 ภาพแสดงวงจรลอจิกที่ใช้ Pass transistor ในการออกแบบ

ที่มา : ชีรยศ (2548)

จากภาพที่ 10 ซึ่งนำ Pass transistor มาสร้างเป็นโครงข่ายสวิตช์ จะได้ว่า  $V_{in} = V_{out}$  เมื่อสัญญาณจาก A, B, C และ D มีค่าเป็น 1 แต่ถ้าค่าใดค่าหนึ่งไม่เท่ากับ 1 จะทำให้  $V_{in}$  ไม่เท่ากับ  $V_{out}$  นอกจากนี้แล้วการใช้ Pass transistor จะทำให้ระดับสัญญาณเอาต์พุตมีค่าต่ำลงเนื่องจากค่า Threshold Voltage ของ Pass transistor จะทำให้แรงดันตก (ชีรยศ ,2548)

2. การใช้ Transmission gate ในการทำหน้าที่เป็นสวิตช์ในวงจรดิจิทัล โดย Transmission gate เป็น Pass transistor ชนิด CMOS นั่นคือประกอบด้วย nMOS และ pMOS โดยลักษณะการออกแบบวงจรดิจิทัลโดยใช้ Transmission gate แสดงดังภาพที่ 11



ภาพที่ 11 ภาพแสดงวงจรลอจิกที่ใช้ Transmission gate ในการออกแบบ

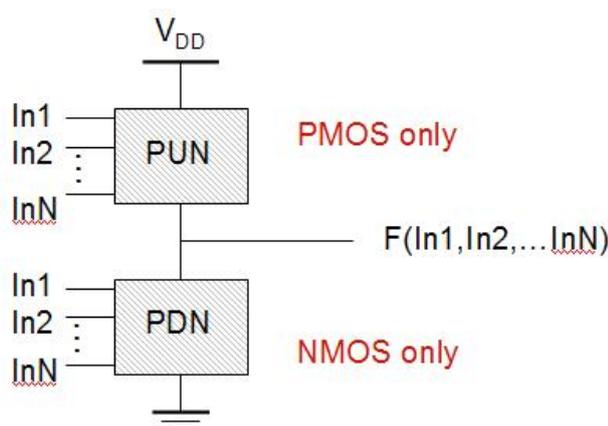
ที่มา : ชีรยศ (2548)

จากภาพที่ 11 ซึ่งนำ Transmission gate มาสร้างเป็นโครงข่ายสวิตช์ จะได้ว่า

$V_{out} = V_1 \cdot A + V_2 \cdot B + V_3 \cdot C + V_4 \cdot D + V_5 \cdot E$  โดยกำหนดให้สัญญาณจาก A, B, C, D และ E มีค่าที่ไม่ซ้ำซ้อนกัน นอกจากนี้แล้วการใช้ Transmission gate จะไม่ส่งผลให้สัญญาณเอาต์พุตมีค่าต่ำกว่าสัญญาณอินพุตอันเนื่องมาจากค่า Threshold Voltage (ธีรยศ ,2548)

### 2.2.2 Static Complementary CMOS

ในการออกแบบวงจรคอมบิเนชัน โดยใช้ Static Complementary CMOS จะมีส่วนประกอบสำคัญ 2 ส่วนด้วยกัน คือ Pull-up Network และ Pull-down Network โดยจะมีลักษณะดังภาพที่ 12



ภาพที่ 12 ภาพแสดงส่วนประกอบของ Static Complementary CMOS

ที่มา : ธีรยศ (2548)

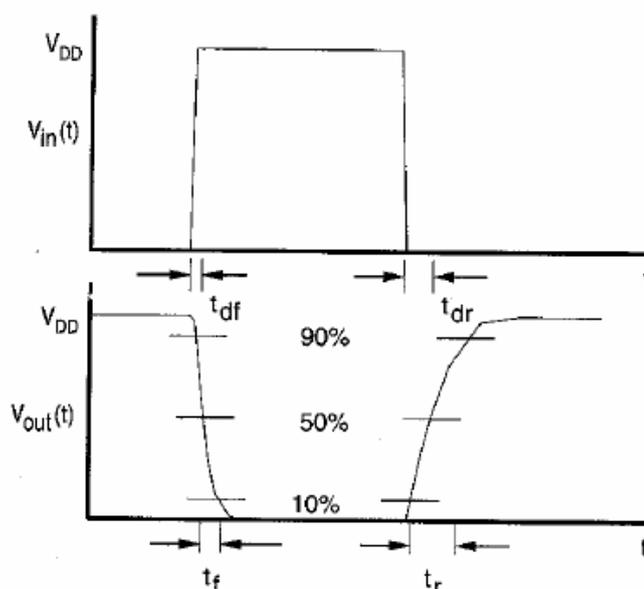
ในส่วนของ Pull-up Network จะใช้ทรานซิสเตอร์ชนิด pMOS ในการออกแบบ ส่วน Pull-down Network จะใช้ทรานซิสเตอร์ชนิด nMOS ในการออกแบบ โดยการเชื่อมต่อของแต่ละเกทที่ใช้ nMOS นั้น จะมีลักษณะดังนี้ คือ ถ้าเป็น AND Operation จะเป็นการต่อกันของ nMOS ในลักษณะที่อนุกรมกัน แต่ถ้าเป็น OR Operation จะเป็นการต่อกันของ nMOS ในลักษณะที่ขนานกัน ซึ่งในการออกแบบนั้นจะต้องออกแบบให้ Pull-up และ Pull-down ทำงานสัมพันธ์กัน นั่นคือทำให้เอาต์พุตมีสถานะเดียว (ธีรยศ ,2548)

## 2.3 ตัวแปรในการออกแบบวงจรแบบมอส

ในการออกแบบวงจรแบบมอสนั้นจะต้องคำนึงถึงตัวแปรที่จะส่งผลกระทบต่อการทำงานของวงจรว่าวงจรที่ทำการออกแบบนั้นมีประสิทธิภาพในการทำงานที่ดีหรือไม่ ซึ่งตัวแปรที่มีผลต่อการออกแบบนั้นมีอยู่หลายค่าด้วยกัน เช่น ค่าหน่วงเวลา (Delay times,  $t_D$ ) ค่าป้องกันการรบกวนสัญญาณเอาต์พุต (Noise Margin) ค่ากำลังงานที่ใช้ในวงจร เป็นต้น โดยในหัวข้อนี้จะกล่าวถึงค่าหน่วงเวลา และ ค่าป้องกันการรบกวนสัญญาณเอาต์พุต เท่านั้น ส่วนค่าที่เกี่ยวข้องกับการใช้กำลังงานจะอธิบายในหัวข้อถัดไป

### 2.3.1 ค่าหน่วงเวลา (Delay times)

ค่าหน่วงเวลา คือ ความต่างของเวลาระหว่างระดับ 50% ของสัญญาณอินพุต กับ สัญญาณเอาต์พุตในช่วงของการเปลี่ยนระดับ (Transition) ซึ่งในการคำนวณหาค่าหน่วงเวลา (Delay time) นั้นสามารถหาได้จากการวัดความห่างระหว่างสัญญาณอินพุตกับสัญญาณเอาต์พุต โดยจุดที่ทำการวัดนั้นคือ จุดกึ่งกลางของการเปลี่ยนระดับสัญญาณนั่นเอง (ธีรยศ ,2548) โดยการหาค่าหน่วงเวลานั้นจะแสดงดังภาพที่ 13



ภาพที่ 13 ภาพแสดงการหาค่าหน่วงเวลา

ที่มา : ธีรยศ (2548)

จากภาพที่ 13 จะพบว่าในการหาค่าหนึ่งเวลานั้นจะต้องทำการสร้างกราฟขึ้นมาสองภาพด้วยกันคือภาพของสัญญาณอินพุตและภาพของสัญญาณเอาต์พุต จากนั้นจึงจะสามารถคำนวณหาค่าหนึ่งเวลาจากระยะห่างระหว่างสองภาพที่ตำแหน่งที่มีการเปลี่ยนระดับสัญญาณเท่ากับ 50 % ดังภาพ ซึ่งในการคำนวณนั้นจะสามารถเลือกการที่การเปลี่ยนระดับสัญญาณขึ้นหรือลงก็ได้ (ธีรยศ ,2548)

### 2.3.2 ค่าป้องกันการรบกวนสัญญาณเอาต์พุต (Noise Margin)

ค่าป้องกันการรบกวนสัญญาณเอาต์พุต (Noise Margin) คือ พารามิเตอร์ที่มีความสัมพันธ์ใกล้เคียงกับคุณลักษณะของแรงดันของอินพุตและเอาต์พุต โดยทำหน้าที่กำหนดขนาดของสัญญาณรบกวนที่สามารถยอมรับได้ที่อินพุต โดยที่ไม่ส่งผลกระทบต่อทางด้านเอาต์พุต (นั่นคือวงจรยังสามารถทำงานได้ถูกต้อง) (Weste, 2005)

ในการกำหนด Noise margin มีสองแบบคือ

1. Noise Margin Low คือ ขนาดของสัญญาณรบกวนที่สามารถยอมรับอินพุตที่ไม่ส่งผลให้อเอาต์พุตด้านลอจิกต่ำเกิดความเปลี่ยนแปลง โดยค่า Noise Margin Low หาได้จากสมการที่ (4)

$$\text{Noise margin low } NML = |VIL - VOL| \quad (4)$$

2. Noise Margin High คือ ขนาดของสัญญาณรบกวนที่สามารถยอมรับอินพุตที่ไม่ส่งผลให้อเอาต์พุตด้านลอจิกสูงเกิดความเปลี่ยนแปลง โดยค่า Noise Margin High หาได้จากสมการที่ (5)

$$\text{Noise margin high } NMH = |VOH - VIH| \quad (5)$$

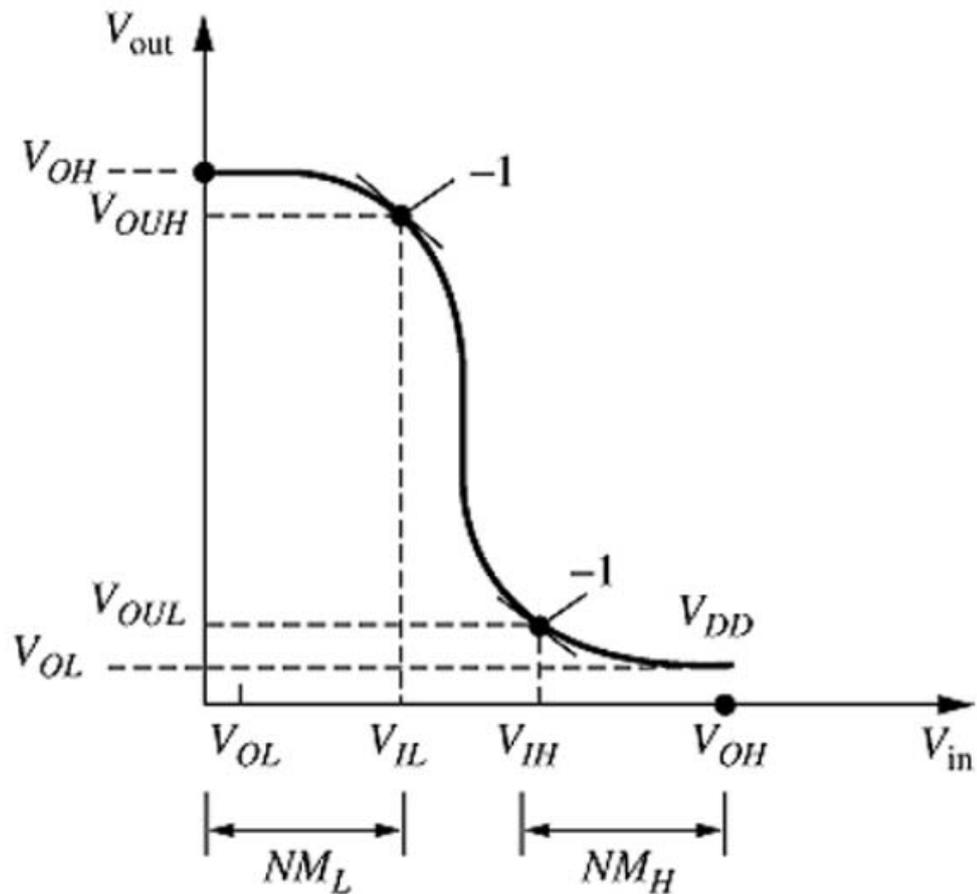
โดยที่  $VIH$  = Minimum HIGH input voltage

$VIL$  = Minimum LOW input voltage

$VOH$  = Minimum HIGH input voltage

$VOL$  = Minimum LOW input voltage

ซึ่งในการทดสอบหาค่า Noise Margin จะสามารถหาค่าตัวแปรทั้งสี่โดยใช้กราฟ VTC โดยลักษณะของกราฟ VTC และตำแหน่งของตัวแปรทั้งสี่แสดงดังภาพที่ 14



ภาพที่ 14 ภาพแสดงกราฟ VTC ของวงจรที่ออกแบบโดยใช้ CMOS

ที่มา : Weste (2005)

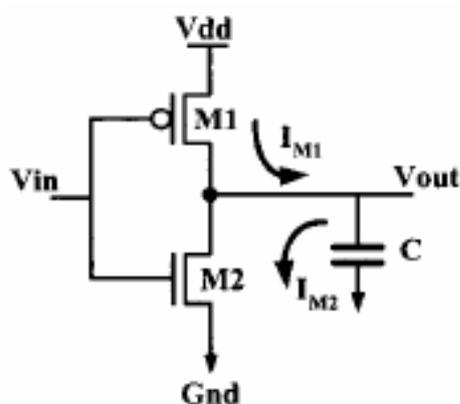
จากภาพที่ 14 จะพบว่าจุดที่ทำการหาค่า  $V_{IH}$  และ  $V_{IL}$  นั้น เป็นจุดที่ค่าความชันของกราฟ Voltage Transfer Characteristic มีค่าเป็น -1 โดยที่  $V_{IL}$  คือค่าอินพุตด้านลอจิกต่ำที่ส่งผลให้เกิดสัญญาณเอาต์พุตด้านลอจิกสูง  $V_{OH}$  ส่วน  $V_{IH}$  คือค่าอินพุตด้านลอจิกสูงที่ส่งผลให้เกิดสัญญาณเอาต์พุตด้านลอจิกต่ำ  $V_{OL}$  ซึ่งค่าจากกราฟ VTC จะสามารถนำไปคำนวณหาค่า Noise Margin ได้ตามสมการที่ (4) และ (5) (Weste, 2005)

### 3. กำลังงานสูญเสียในวงจรดิจิทัล CMOS

กำลังงานสูญเสียเฉลี่ยในวงจรดิจิทัล CMOS โดยทั่วไปสามารถถูกระบุออกเป็น 3 องค์ประกอบหลัก คือ

#### 3.1 Dynamic (switching) Power Dissipation

กำลังงานสูญเสียประเภทนี้ เป็นกำลังงานสูญเสียที่เกิดขึ้นระหว่างการสวิตช์ (การเปลี่ยนสถานะ) เมื่อแรงดันที่จุดเอาต์พุตของลอจิกเกตมีการเปลี่ยนแปลง ในวงจรดิจิทัล CMOS ที่เป็น NAND gate ประกอบด้วยทรานซิสเตอร์ nMOS และ pMOS ประกอบเข้าด้วยกันเป็นวงจรรีเลย์อินเวอร์เตอร์ เมื่อ  $V_{in} = 0$  pMOS จะนำกระแส ทำให้กระแสไหลจาก  $V_{DD}$  ไปประจุให้กับตัวเก็บประจุที่จุดเอาต์พุตของวงจร ( $C_L$ ) ในระหว่างการประจุไฟฟ้า แรงดันที่จุดเอาต์พุตมีระดับเปลี่ยนแปลงจากระดับ low ไปสู่ high และเมื่อ  $V_{in}$  มีค่าเพิ่มมากขึ้นมากกว่า  $V_{TN}$  ทำให้ nMOS เริ่มทำงานและเข้าสู่สถานะอิ่มตัว ทำให้ตัวเก็บประจุเอาต์พุตคายประจุผ่านทรานซิสเตอร์ nMOS ลงกราวด์ ทำให้แรงดันเอาต์พุตเปลี่ยนแปลงระดับจาก high ไปสู่ low การทำงานดังกล่าวข้างต้นทำให้กระแสเปลี่ยนระดับจากแหล่งจ่าย  $V_{DD}$  ไปสู่กราวด์ผ่านทรานซิสเตอร์ทั้งสองตัวสลับกันทำงานโดยใช้ตัวเก็บประจุในการเก็บและคายประจุ ซึ่งการทำงานในลักษณะนี้ทำให้เกิดกำลังงานสูญเสียจากการทำงานของทรานซิสเตอร์ในลักษณะสวิตช์ จึงเรียกกำลังงานสูญเสียนี้ว่า Dynamic Power Dissipation หรือ เรียกว่า Switching Power Dissipation (Kang ,2003)



ภาพที่ 15 ภาพแสดงกำลังสูญเสียจากการสวิตช์

ที่มา: Kang (2003)

ดังนั้นสำหรับวงจรรินเวอร์เตอร์กำลังสูญเสียเฉลี่ยแบบ Dynamic สามารถแทนด้วยผลบวกของ กำลังสูญเสียเฉลี่ยแบบ Dynamic ใน ทรานซิสเตอร์ nMOS และ pMOS เมื่อกำหนดให้  $V_{in}$  เป็นสัญญาณรูปสี่เหลี่ยม ดังนั้นสามารถเขียนสมการ (6)

$$P_D = \frac{1}{T} \int_0^T i_N(t) V_{out} dt + \frac{1}{T} \int_0^T i_P(t) (V_{DD} - V_{out}) dt \quad (6)$$

เมื่อ

$$i_N(t) = C_L \frac{dV_{out}}{dt} \quad (7)$$

$$i_P(t) = C_L \frac{dV_{out}}{dt} \quad (8)$$

$$P_D = \frac{C_L}{T} \int_0^{V_{DD}} V_{out} dV_{out} + \frac{C_L}{T} \int_{V_{DD}}^0 (V_{DD} - V_{out}) d(V_{DD} - V_{out}) \quad (9)$$

$$P_D = \frac{C_L V_{DD}^2}{2} \quad (10)$$

หรือ

$$P_D = C_L V_{DD}^2 f_{clk} \quad (11)$$

เมื่อ

$$P(t) = \frac{dE}{dt} = V_{DD} \times i_{DD}(t) \quad (12)$$

สมมติให้แรงดันอินพุตเป็น step ที่  $t = 0$

$$i_{DD}(t) = C_L \frac{dV_o}{dt} \quad (13)$$

ดังนั้นพลังงานที่จ่ายออกมาจากแหล่งจ่าย ( $V_{DD}$ ) ในช่วงเวลาการเปลี่ยนแปลงจาก low ไปสู่ high ที่เกิดเอาต์พุตสามารถเขียนสมการ (14)

$$E_{0 \rightarrow 1} = \int_0^{t_d} P(t) dt = V_{DD} C_L \int_0^V dV_o = C_L V_{DD} V \quad (14)$$

เมื่อ  $V$  เป็นแรงดันสูงสุดที่ตัวเก็บประจุสามารถเก็บประจุได้ จากสมการ (11) ถ้ากำหนดให้  $C_L$  เป็นอิสระจาก  $V_o$  และไม่เปลี่ยนแปลงตามเวลา ถ้ากำหนดให้  $V = V_{DD}$  เขียนสมการ (15) ได้

$$E_{0 \rightarrow 1} = C_L V_{DD}^2 \quad (15)$$

พลังงานที่ถูกเก็บอยู่ในตัวเก็บประจุ  $C_L$  จากการเปลี่ยนสถานะจากระดับ low ไปสู่ high มีค่าแรงดันตกคร่อมเป็น  $(15)/2$  เป็นแรงดันที่เก็บใน  $C_L$  ส่วนแรงดันที่เหลืออีก  $(15)/2$  จะถูกเปลี่ยนให้เป็นความร้อนจากความต้านทาน Source – Drain ของทรานซิสเตอร์ pMOS ส่วนพลังงานที่ถูกเก็บใน  $C_L$  จะถูกเปลี่ยนให้เป็นความร้อนเมื่อเกิดเอาต์พุตเปลี่ยนแปลงระดับจาก High ไปสู่ Low ตัวเก็บประจุคายประจุผ่านความต้านทานของ nMOS ในระหว่างการเปลี่ยนแปลงนี้ไม่มีการดึงกระแสจาก  $V_{DD}$  เพิ่มเติมเนื่องจาก pMOS หยุดนำกระแส ดังนั้นพลังงานจากการเปลี่ยนแปลง (15) ใน (12) เป็นกำลังงานสูญเสียจากทรานซิสเตอร์ทั้งคู่จากการเปลี่ยนสถานะจาก Low ไปสู่ High และ High ไปสู่ Low (Kang ,2003)

### 3.2 Short Circuit Power Dissipation

ถ้าอินเวอร์เตอร์ CMOS หรือ โลจิกเกตถูกขับด้วยแรงดันอินพุตด้วยสัญญาณ Finite Rise และ Fall Time ทั้ง nMOS และ pMOS ในวงจรอาจนำกระแสพร้อมกันในระยะเวลาดังกล่าวระหว่างการสวิตช์ ทำให้มีกระแสไหลผ่านระหว่างแหล่งจ่าย ( $V_{DD}$ ) ไปสู่กราวด์ กระแสที่ไหลผ่าน nMOS และ pMOS ขณะนี้จะไม่ถูกเก็บไว้ในตัวเก็บประจุ  $C_L$  ซึ่งเรียกกระแสนี้ว่า Short Circuit Current การไหลของกระแสขึ้นอยู่กับขนาดของ  $C_L$  และสัญญาณอินพุตที่มีช่วงเวลาของ Rise และ Fall Time ขนาดใหญ่ (Kang ,2003) ดังนั้นการหาค่ากระแสลัดวงจรสามารถคำนวณหาได้จากสมการที่ (16)

$$I_{avg(sc)} = \frac{1}{12} \cdot \frac{k\tau f_{clk}}{V_{DD}} \cdot (V_{DD} - 2V_T)^3 \quad (16)$$

ดังนั้นสามารถหาค่ากำลังงานสูญเสียจากการลัดวงจรได้เป็นสมการ (17)

$$P_{avg(sc)} = \frac{1}{12} \cdot k\tau f_{clk} \cdot (V_{DD} - 2V_T)^3 \quad (17)$$

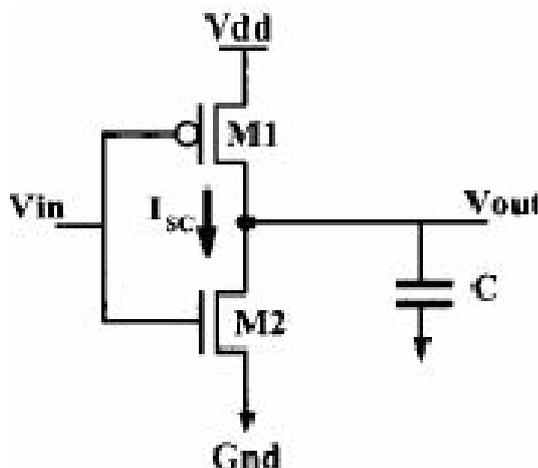
โดยที่

k คือ ค่าคงที่ของ Boltzmann

$\tau$  คือ ค่า rise หรือ fall time ของสัญญาณ

$V_T$  คือ ค่า Threshold Voltage ของทรานซิสเตอร์

สำหรับลักษณะของกำลังงานสูญเสียที่เกิดจากการลัดวงจร จะแสดงดังภาพที่ 16



ภาพที่ 16 ภาพแสดงการเกิดกำลังงานสูญเสียจากการลัดวงจร

ที่มา: Kang (2003) และ Mui (2005)

### 3.3 Leakage Power Dissipation

ทรานซิสเตอร์ nMOS และ pMOS ถูกใช้งานในวงจรลอจิกเกิดโดยทั่วไปจะมีกระแสรั่วไหลย้อนกลับ (Reverse leakage) และกระแส Subthreshold ถ้าใน CMOS VLSI chip มีทรานซิสเตอร์เป็นจำนวนมากทำให้กระแสที่เกิดขึ้นนี้สามารถทำให้เกิดกำลังงานสูญเสียเป็นจำนวนมากซึ่งไม่อาจที่จะละเลยหรือมองข้ามได้ ถึงแม้ว่าทรานซิสเตอร์จะยังไม่มีการสวิตช์ก็ตาม ส่วนประกอบของกระแสรั่วไหลมี 2 ส่วนหลักๆ คือ 1) กระแสรั่วไหลย้อนกลับ (Reverse Leakage Current) 2) Subthreshold Current

กระแสรั่วไหลย้อนกลับ (Reverse Leakage Current) เกิดขึ้นเมื่อรอยต่อ pn ระหว่าง Drain และ Bulk ของทรานซิสเตอร์ได้รับการไบอัสกลับ เมื่อรอยต่อ Drain นำกระแสย้อนกลับถึงจุดอิมิตัวจะทำให้มีกระแสไหลจากแหล่งจ่ายไฟ ถ้าพิจารณาจากวงจรรีเลย์ CMOS ในขณะที่มีสัญญาณอินพุตสูง ขณะที่ทรานซิสเตอร์ nMOS ทำงานตัวเก็บประจุ  $C_L$  ภายประจุจนแรงดันตกคร่อมเป็นศูนย์ ตลอดเวลานี้ทรานซิสเตอร์ pMOS ยังคงอยู่ในสภาวะหยุดนำกระแสจะมีศักย์ไฟฟ้าตรงข้ามกับ  $V_{DD}$  ซึ่งเป็น P-type substrate ดังนั้นกระแสรั่วไหลนี้เกิดจาก N-well junction (Kang, 2003)

จากเหตุการณ์ที่คล้ายคลึงกันสามารถสังเกตได้อีกว่า เมื่อสัญญาณอินพุตเป็นศูนย์ และ  $C_L$  เก็บประจุจนถึงระดับ  $V_{DD}$  ตลอดการทำงานของ pMOS จะเกิดความต่างศักย์ไฟฟ้าย้อนกลับระหว่างบริเวณ nMOS และ pMOS substrate เนื่องจากกระแสรั่วไหลย้อนกลับจากแหล่งจ่ายไฟ (ผ่านทางทรานซิสเตอร์ pMOS) กระแสที่เกิดขึ้นนี้สามารถคำนวณได้จากสมการ (18)

$$I_{reverse} = AJ_S \left( e^{\frac{qV_{bias}}{kt}} - 1 \right) \quad (18)$$

โดยที่

k คือ ค่าคงที่ของ Boltzmann

t คือ ค่าอุณหภูมิมีหน่วยเป็นเคลวิน

$J_S$  คือ ค่ากระแสที่รั่วบริเวณ Junction ของทรานซิสเตอร์

A คือ ค่าพื้นที่ของอุปกรณ์

Subthreshold Current เกิดขึ้นเนื่องจาก Carrier diffusion ระหว่างบริเวณ Source และ Drain ของทรานซิสเตอร์ใน Weak inversion พฤติกรรมของทรานซิสเตอร์ MOS ในบริเวณการทำงาน Subthreshold มีลักษณะคล้ายกับอุปกรณ์จำพวกไบโพลาร์ และกระแส Subthreshold จะมีค่าเป็น Exponential ขึ้นกับแรงดันเกต ปริมาณของกระแส Subthreshold เริ่มมีความสำคัญมากขึ้นเมื่อแรงดัน Gate-to-Source มีขนาดเล็กใกล้เคียงกับแรงดัน Threshold ของอุปกรณ์ ด้วยเหตุนี้จึงก่อให้เกิดกำลังงานสูญเสียจากกระแสดังกล่าว ซึ่งมีความสำคัญมากพอๆกับกำลังสูญเสียที่เกิดจากการสวิตช์ของวงจร นั้นหมายความว่ากระแส Subthreshold สามารถเกิดได้ตลอดเวลาทั้งขณะที่มีการสวิตช์หรือไม่มีการสวิตช์ในวงจร และกำลังงานสูญเสียนี้จำเป็นต้องให้ความสำคัญที่ไม่อาจมองข้ามได้ (Kang, 2003) การหาค่ากระแส Subthreshold สามารถคำนวณได้จากสมการ (19)

$$I_{sub} \cong \frac{qD_n W_{xc} n_o}{L_B} \cdot e^{\frac{q\phi_r}{kt}} \cdot e^{\frac{q}{kt}} (A \cdot V_{gs} + \beta V_{DS}) \quad (19)$$

โดยที่

k คือ ค่าคงที่ของ Boltzmann

t คือ ค่าอุณหภูมิมีหน่วยเป็นเคลวิน

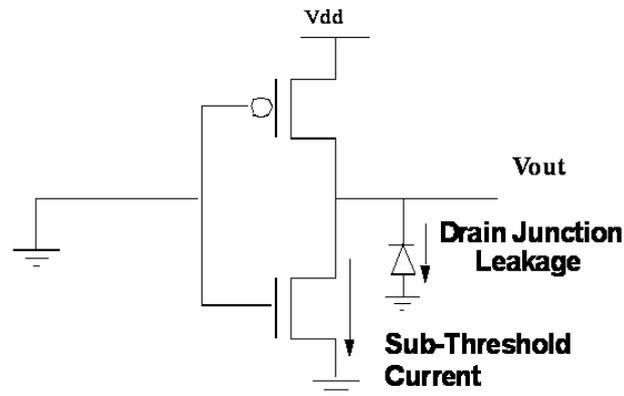
$\beta$  คือ ค่า gain factor ของทรานซิสเตอร์

A คือ ค่าพื้นที่ของอุปกรณ์

q คือ ค่าประจุของอิเล็กตรอน

W คือ ค่าความกว้างของอุปกรณ์

สำหรับลักษณะของกำลังงานสูญเสียที่เกิดจากกระแสรั่ว จะแสดงดังภาพที่ 17



ภาพที่ 17 ภาพแสดงกระแสรั่วไหล

ที่มา: Rabaey (2003)

จากสมการที่ (18) และสมการที่ (19) จะแสดงถึงค่าของกระแสรั่ว ดังนั้นจึงสามารถคำนวณหาค่ากำลังงานสูญเสียที่เกิดจากกระแสรั่วได้ดังสมการที่ (20)

$$P_{\text{leak}} = V_{\text{DD}} \cdot I_{\text{leak}} \quad (20)$$

ซึ่งค่าของ  $I_{\text{leak}}$  คือค่าของ  $I_{\text{reverse}}$  หรือ  $I_{\text{sub}}$  นั่นเอง

กำลังงานสูญเสียทั้งหมดที่เกิดขึ้นในวงจรถิจริตอล CMOS เป็นการรวมทั้ง 3 องค์ประกอบของกำลังงานสูญเสียดังกล่าวเบื้องต้นเข้าด้วยกันดังสมการที่ (21)

$$P_{\text{tot}} = P_D + P_{\text{leak}} + P_{\text{SC}} \quad (21)$$

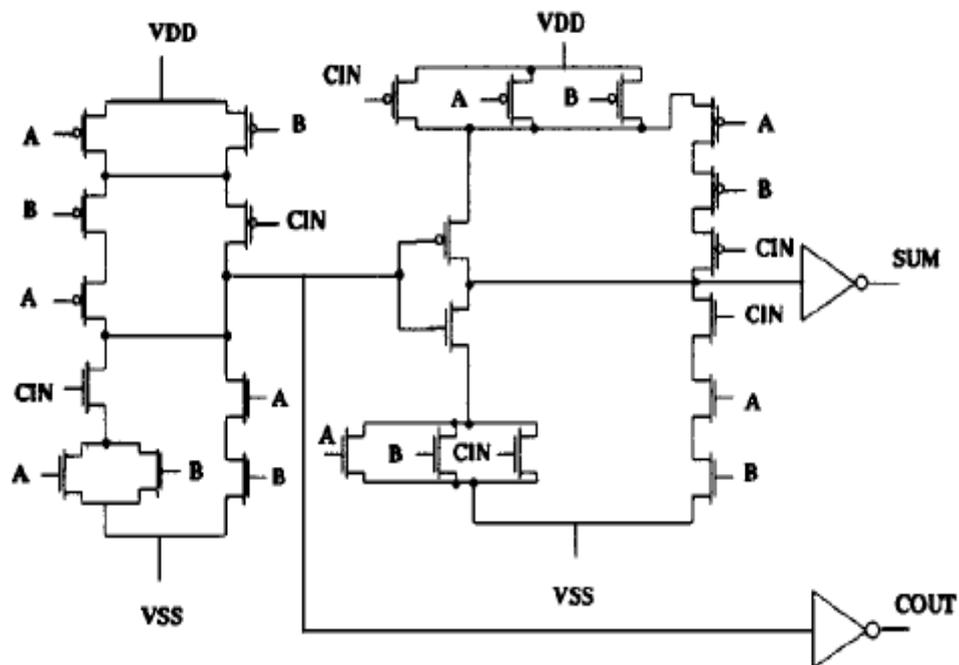
โดยกำลังงานสูญเสียทั้ง 3 ส่วนนั้น ส่วนที่มีผลต่อวงจรถิจริตอล CMOS มากที่สุดคือนั่นคือกำลังงานสูญเสียที่เกิดจากการสวิตช์ (Dynamic power dissipation)

#### 4. การลดกำลังงานในการออกแบบวงจรบวก

ในการออกแบบวงจรบวกโดยใช้เทคโนโลยี CMOS ได้มีการศึกษาถึงวิธีการในการออกแบบให้วงจรลดกำลังงานสูญเสียที่เกิดในวงจรได้อยู่หลายวิธี แต่ในงานวิจัยนี้จะนำวิธีการในการลดกำลังงานมาประยุกต์ใช้ในการออกแบบ 2 วิธี คือ การออกแบบโดยลดจำนวนทรานซิสเตอร์ในการออกแบบ และวิธีการลดระดับแรงดันไฟเลี้ยง โดยวิธีการทั้ง 2 มีลักษณะดังนี้

##### 4.1 การออกแบบโดยการลดจำนวนทรานซิสเตอร์

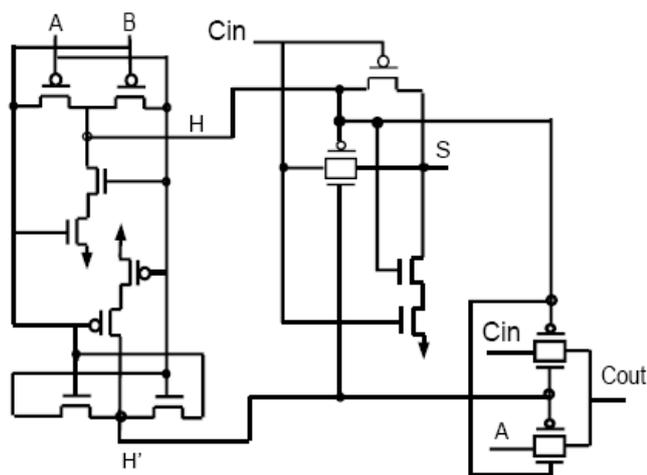
ในการออกแบบวงจรบวกขนาด 1 บิต โดยใช้เทคโนโลยี CMOS นั้น โดยหลักทั่วไป จะใช้การออกแบบโดย Static Complementary CMOS ซึ่งลักษณะวงจรที่ออกแบบจะแสดงดังภาพที่ 18



ภาพที่ 18 ภาพแสดงวงจรบวก 1 บิต แบบ Static Complementary CMOS

ที่มา : Hung (2002)

จากภาพที่ 18 พบว่าการออกแบบโดยวิธี Static Complementary CMOS เพียงอย่างเดียว จะใช้ทรานซิสเตอร์ทั้งหมด 28 ตัว แต่ถ้าออกแบบโดยใช้ทั้ง Static Complementary CMOS และ Transmission gate เข้ามาประยุกต์ร่วมกันจะทำให้สามารถลดจำนวนทรานซิสเตอร์ในวงจรขนาด 1 บิต ลงได้ โดยลักษณะของวงจรที่ทำการออกแบบจะแสดงดังภาพที่ 19



ภาพที่ 19 ภาพแสดงวงจร 1 บิต โดยใช้ Static Complementary CMOS และ Transmission gate ที่มา : Sharm (1998)

จากภาพที่ 19 จะเห็นว่าการออกแบบโดยใช้ Static Complementary CMOS และ Transmission gate จะมีทรานซิสเตอร์เพียง 17 ตัว ซึ่งนอกจากจำนวนทรานซิสเตอร์จะลดลง ทำให้วงจรมีขนาดเล็กลงแล้วยังสามารถช่วยลดกำลังงานที่สูญเสียได้อีก โดยเมื่อดูจากภาพจะเห็นได้ว่าการออกแบบนี้ไม่มีส่วนอินพุตตัวใดที่เชื่อมต่อโดยตรงจาก Power supply ไปยัง Ground ซึ่งสามารถบอกเป็นนัยได้ว่า ในวงจรนี้ไม่มีการสูญเสียของกระแสลัดวงจร (Short circuit current) (Sharm , 1998)

นอกจากนี้เมื่อนำไปทดสอบวงจรด้วยโปรแกรม Spice ซึ่งจะสร้าง  $C_L$  ขึ้นมา จะพบว่าค่า  $C_L$  ที่สร้างขึ้นมาจะมีค่าลดลงเมื่อเทียบกับวงจรที่สร้างโดยใช้ Static Complementary CMOS แสดงว่า กำลังสูญเสียในวงจรจะถูกลดลง เนื่องจากถ้า  $C_L$  มีค่าน้อย จะทำให้ค่า Dynamic power dissipation ดังสมการที่ (9) มีค่าลดลง ทำให้วงจร 1 บิตแบบนี้ ประหยัดกำลังงานลง ซึ่งจากการทดสอบพบว่าสามารถประหยัดกำลังงานลงได้ 10 – 15 % (Sharm , 1998)

#### 4.2 วิธีการลดระดับแรงดันไฟเลี้ยง

จากสมการที่ (9) จะพบว่า  $P_D = C_L V_{DD}^2 f_{clk}$  ซึ่งค่ากำลังงานสูญเสียที่เกิดขึ้นในวงจรจะขึ้นกับค่าตัวแปรสามตัวคือ  $V_{DD}$  ,  $C_L$  และ  $f_{clk}$  ซึ่งการปรับลดค่าตัวแปรตัวใดตัวหนึ่งจะทำให้ค่ากำลังงานสูญเสียที่เกิดขึ้นในวงจรมีค่าลดลง

สำหรับวิธีการลดระดับแรงดันไฟเลี้ยง คือการปรับลดค่า  $V_{DD}$  ลงมา ซึ่งจะทำให้กำลังงานสูญเสียที่เกิดจากการสวิตซ์ซิ่ง จะมีค่าลดลง ทำให้สามารถลดอัตราการสูญเสียกำลังงานที่เกิดใน CMOS ลงได้ ส่งผลให้วงจรที่ทำการออกแบบนั้นจะใช้กำลังงานต่ำลง

แต่วิธีการลดระดับแรงดันไฟเลี้ยงก็มีข้อจำกัดในการออกแบบเช่นกัน นั่นคือถ้าใช้ระดับแรงดันไฟเลี้ยงต่ำก็จะส่งผลให้กำหนดช่วงเวลา (Delay time) ของวงจรมีค่าสูงขึ้น โดยจะทำให้การส่งผ่านของสัญญาณในเกตต่อมาจากเกตแรกช้าลง เนื่องจากจะต้องรอให้มีค่าระดับแรงดันที่มากเพียงพอที่จะขับให้เกตที่ทำการออกแบบทำงานได้ และยังส่งผลให้เกิดความผิดพลาดของสัญญาณสำหรับการออกแบบโดยใช้ Pass transistor เนื่องจากค่าแรงดันออกของวงจรที่ผ่าน Pass transistor เท่ากับ  $V_{DD} - V_T$  นั่นคือถ้าใช้ระดับแรงดันไฟเลี้ยงต่ำก็จะทำให้แรงดันออกมีค่าลดลง ซึ่งอาจทำให้มีค่าต่ำกว่าค่าลอจิก 1 ได้ (ธีรยศ ,2548)

## อุปกรณ์และวิธีการ

### อุปกรณ์

1. คอมพิวเตอร์
2. โปรแกรม S - Edit
3. โปรแกรม T – Spice version 6.02

### วิธีการ

#### 1. ขั้นตอนการดำเนินงาน

- 1.1 ศึกษาการทำงานของวงจรวกทั้งแบบ 1 บิต และแบบ n บิต
- 1.2 ออกแบบวงจรวกขนาด 1 บิต
- 1.3 ออกแบบวงจรวกขนาด n บิต ชนิดวงจรวกแบบตัวทดเลื่อน (Ripple Carry Adder)
- 1.4 ออกแบบวงจรวกขนาด n บิต ชนิดวงจรวกแบบคิดตัวทล่งหน้า

(Carry Look-ahead Adder)

- 1.5 ออกแบบวงจรวกขนาด n บิต ชนิดวงจรวกแบบเลือกตัวทด (Carry Select Adder)
- 1.6 ทดสอบการทำงานของวงจรวกทั้งหมดโดยใช้โปรแกรม T – Spice
- 1.7 นำวิธีการลดระดับแรงดันไฟเลี้ยงมาทดสอบการทำงานของวงจรวก
- 1.8 บันทึกผลการทดลองและวิเคราะห์ผลการทดลอง



จากสมการที่ (1)

$$S = A \oplus B \oplus C_i$$

$$S = (A \oplus B) \cdot \overline{C_i} + \overline{(A \oplus B)} \cdot C_i \quad (23)$$

ซึ่งสมการสำหรับแสดงค่าผลลัพธ์ของวงจรวก (S) ที่จะใช้ในการออกแบบวงจรวกขนาด 1 บิต จะเป็นไปตามสมการที่ (23)

จากสมการที่ (2)

$$C_o = A \cdot B + (A \oplus B) \cdot C_i$$

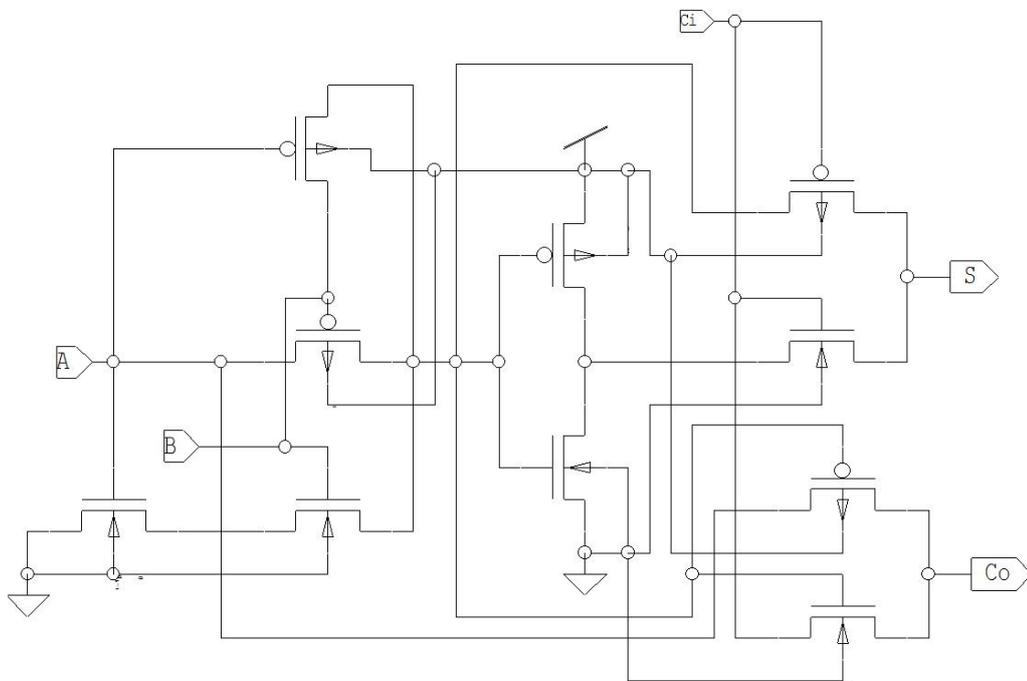
โดย

$$A \cdot B = A \cdot \overline{(A \oplus B)}$$

เพราะฉะนั้น จะได้สมการสำหรับแสดงค่าตัวทด (Co) เพื่อจะนำไปออกแบบวงจรวกขนาด 1 บิต มีค่าดังสมการที่ (24)

$$C_o = (A \oplus B) \cdot C_i + A \cdot \overline{(A \oplus B)} \quad (24)$$

จากสมการที่ (23) และ (24) สามารถนำมาออกแบบเป็นวงจรวกขนาด 1 บิต โดยใช้ Pass transistor ได้ดังภาพที่ 21



ภาพที่ 21 ภาพแสดงวงจรวกขนาด 1 บิต ที่ใช้ Pass transistor

จากภาพที่ 21 จะพบว่าวงจรในส่วนแรกจะเป็นวงจรของ  $A \oplus B$  จากนั้นจึงออกแบบในส่วนของผลลัพธ์ (S) โดยใช้สมการที่ (23) โดยส่วนแรกใช้ pMOS เพื่อสร้างวงจรในส่วนแรกของสมการที่ (23) สำหรับวงจรในส่วนหลังของสมการที่ (23) นั้น จะใช้ nMOS โดยการออกแบบวงจร  $\overline{A \oplus B}$  นั้น จะออกแบบโดยการนำวงจร  $A \oplus B$  ไปผ่านส่วนของ Inverter จากนั้นจึงส่งเข้าไปยัง nMOS เพื่อนำสัญญาณจาก pMOS และ nMOS มารวมกันได้เป็นส่วนของผลลัพธ์จากการบวก ต่อมาจะทำการออกแบบวงจรของตัวทศออก โดยจะออกแบบโดยใช้สมการที่ (24) ซึ่งในส่วนหน้าของสมการนั้นจะใช้ nMOS โดยป้อนสัญญาณ  $A \oplus B$  และ  $C_i$  เข้าไป ส่วนวงจรในส่วนหลังนั้นจะใช้ pMOS โดยป้อนสัญญาณ A และ  $A \oplus B$  เข้าไป และเมื่อนำทั้งสองส่วนมารวมกันจะได้เป็นวงจรของตัวทศออก ซึ่งเมื่อนำวงจรทั้งสองส่วนมารวมกัน ก็จะได้เป็นวงจรบวกขนาด 1 บิต

จากนั้นเมื่อได้วงจรบวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor แล้ว จะต้องทำการออกแบบวงจรบวกขนาด 1 บิต โดยการใช้ Static Complementary CMOS ขึ้นมาอีกวงจรหนึ่ง เพื่อจะได้นำวงจรทั้งสองมาทดสอบเพื่อดูความแตกต่างของการใช้กำลังงาน

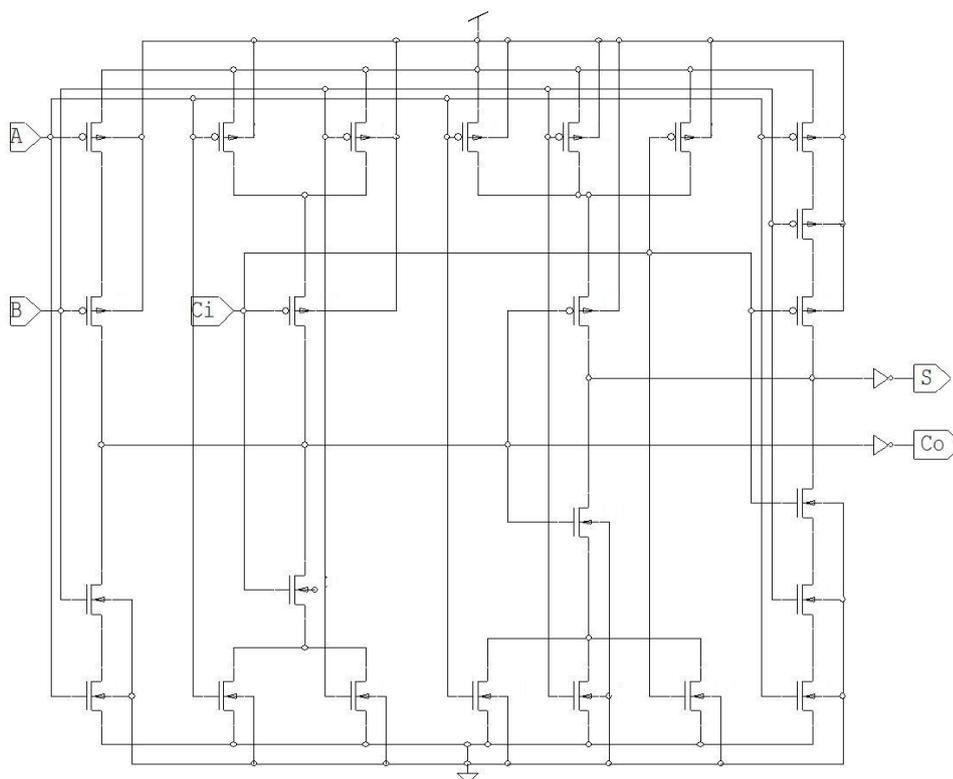
ซึ่งในการออกแบบวงจรแบบ Static Complementary CMOS นั้นจะต้องทำการแปลงสมการที่ (1) และ (2) ใหม่ เพื่อเป็นการง่ายต่อการออกแบบ โดยสมการที่ทำการเปลี่ยนแปลงจะเป็นไปตามสมการที่ (25) และ สมการที่ (26)

$$C_o = AB + (A + B) \cdot C_i \quad (25)$$

$$S = \overline{ABC_i + (A + B + C_i) \cdot C_o} \quad (26)$$

จากสมการที่ (25) และ (26) สามารถนำมาออกแบบเป็นวงจรบวกขนาด 1 บิต โดยใช้ Static Complementary CMOS ได้ดังภาพที่ 22

โดยจากภาพที่ 22 นั้น วงจรในส่วนหน้าที่ทำการออกแบบนั้นจะเป็นวงจรในส่วนของ  $C_o$  โดยฟังก์ชันที่ใช้ในการออกแบบนั้นคือ  $F_1 = \overline{AB + (A + B) \cdot C_i}$  ซึ่งเมื่อต้องการให้ได้ผลลัพธ์ที่แท้จริงของตัวทศออกนั้นจะต้องนำไปกลับผลลัพธ์โดยใช้ Inverter สำหรับส่วนหลังของวงจรที่ทำการออกแบบนั้นจะเป็นวงจรในส่วนของผลลัพธ์ของการบวก โดยฟังก์ชันที่ใช้ในการออกแบบนั้นคือ  $F_2 = \overline{ABC_i + (A + B + C_i) \cdot C_o}$  โดยเมื่อต้องการให้ได้ผลลัพธ์จริงของผลลัพธ์จากการบวกนั้นจะต้องนำผลลัพธ์ไปผ่านวงจร Inverter เช่นกัน



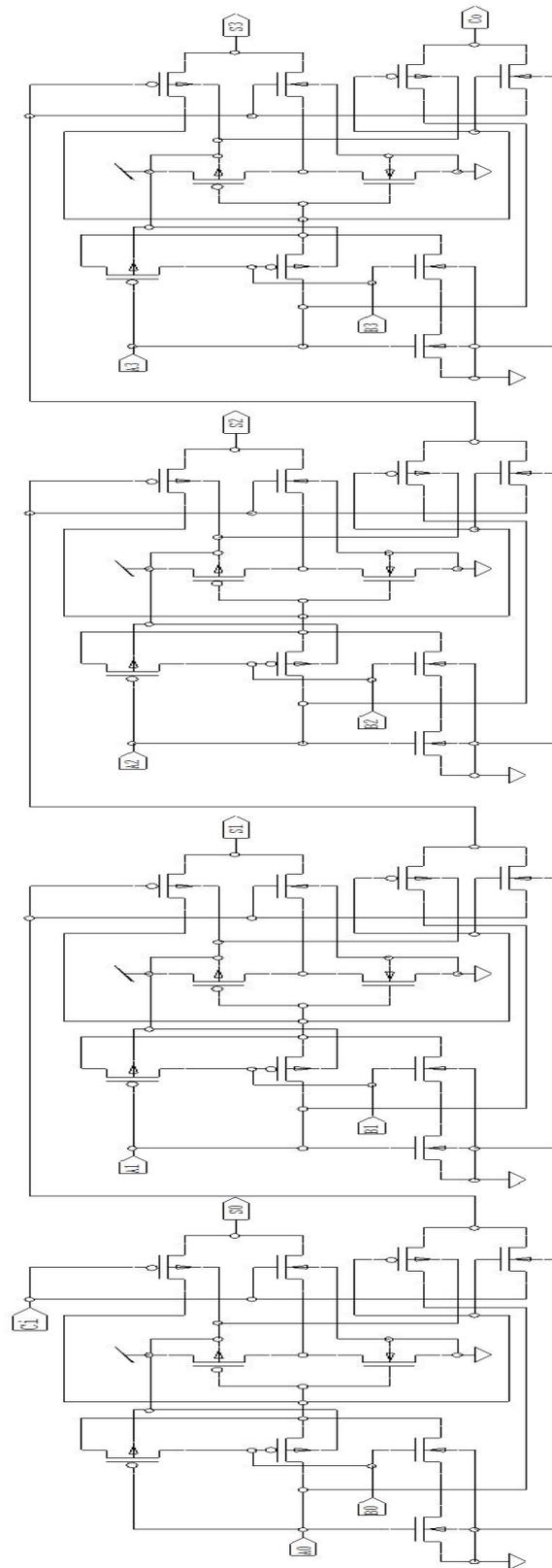
ภาพที่ 22 ภาพแสดงวงจรบวกขนาด 1 บิต ที่สร้างโดยใช้ Static Complementary CMOS

### 3. การออกแบบวงจรบวกขนาด $n$ บิต ชนิดวงจรบวกแบบตัวทอดเลื่อน

วงจรบวกแบบตัวทอดเลื่อน (Ripple Carry Adder) ซึ่งจะทำการออกแบบในงานวิจัยนี้ จะออกแบบให้มีขนาด 4 บิต , 8 บิต , 16 บิต และ 32 บิต โดยจะทำการออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS

โดยวงจรบวกแบบตัวทอดเลื่อนเป็นวงจรบวกที่นำวงจรบวกขนาด 1 บิต มาต่อกันตามจำนวนบิตที่ต้องการออกแบบ โดยค่าตัวทอดออก ( $C_o$ ) จากการบวกในบิตแรกจะเลื่อนไปเป็นค่า Carry ให้กับการบวกในบิตถัดไป

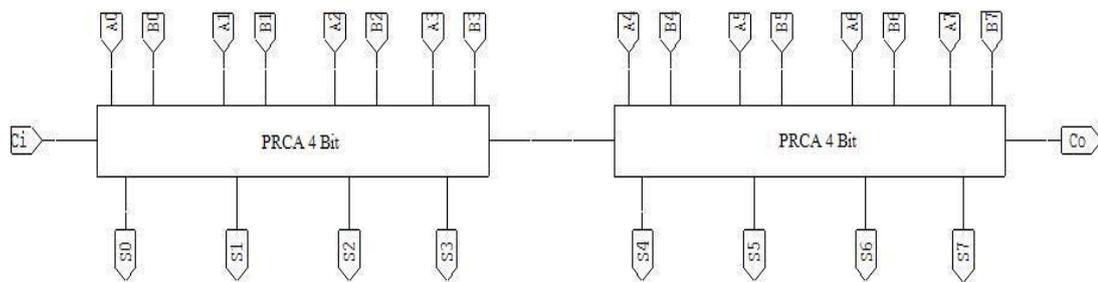
สำหรับวงจรบวกขนาด 4 บิต ที่สร้างโดยใช้ Pass transistor จะนำวงจรบวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor จำนวน 4 วงจรมาต่อกัน โดยวงจรบวกชนิดตัวทอดเลื่อนขนาด 4 บิต ที่ทำการออกแบบในงานวิจัยนี้จะเรียกว่า วงจร Pass transistor Ripple Carry Adder (PRCA) โดยภาพวงจร PRCA 4 บิต แสดงดังภาพที่ 23



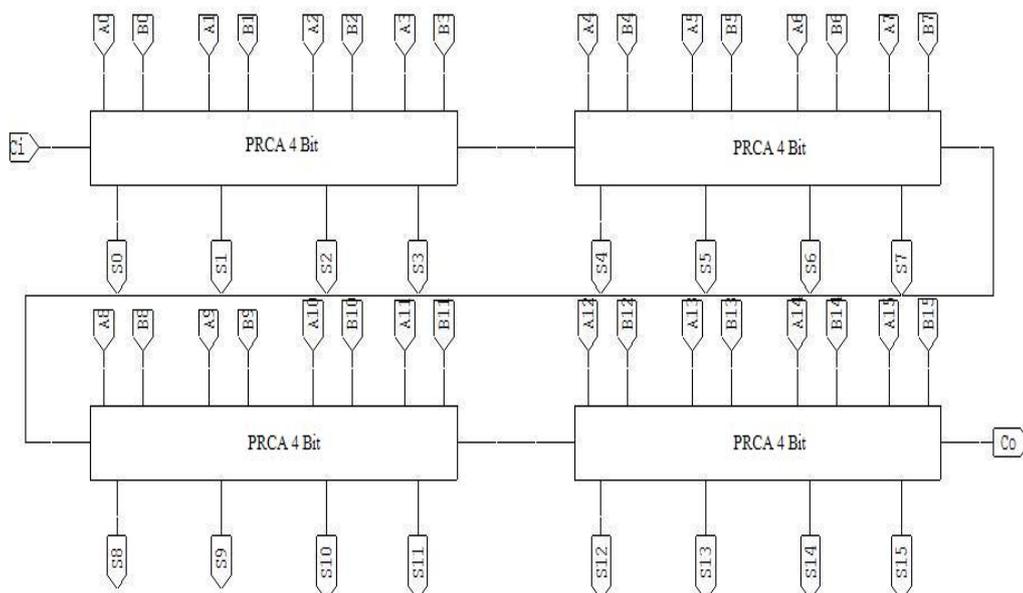
ภาพที่ 23 ภาพแสดงวงจร Pass Ripple Carry Adder ขนาด 4 บิต

สำหรับวงจรบวกแบบตัวทดเลื่อนขนาด 8 บิต, 16 บิต และ 32 บิต ที่ออกแบบโดยใช้ Pass transistor จะนำวงจรบวก PRCA ขนาด 4 บิต มาสร้างเป็นบล็อกของวงจรบวกขนาด 4 บิต เพื่อที่จะนำมาทำการต่อกันเป็นวงจรบวก PRCA ตามจำนวนบิตที่ต้องการ โดยใช้ค่า Carry ในการเชื่อมต่อระหว่างบล็อก

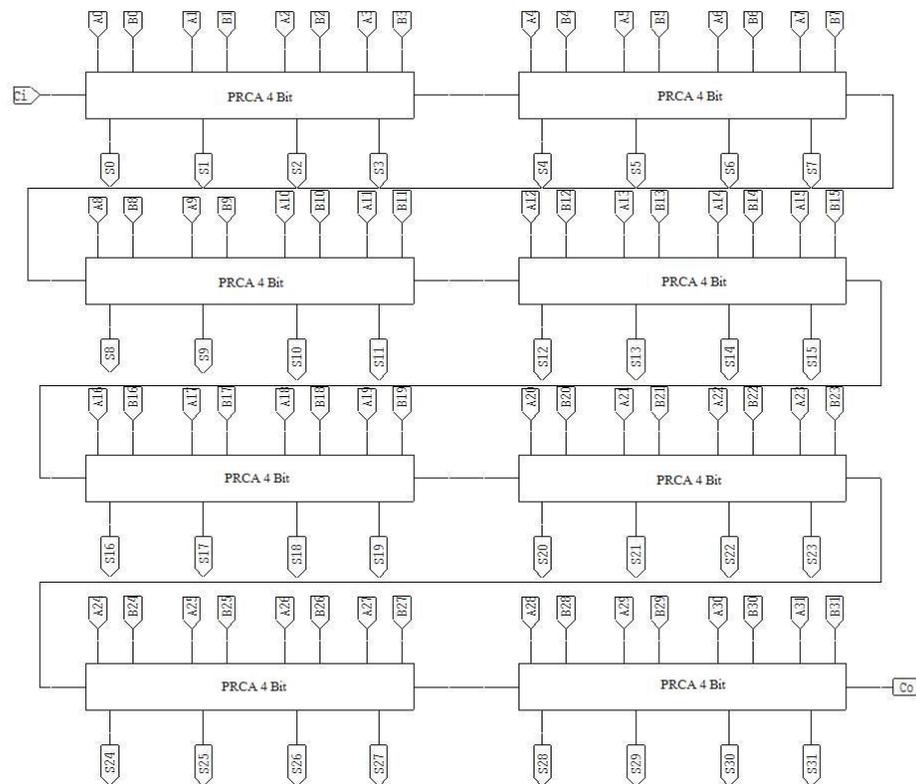
โดยวงจรบวก PRCA ขนาด 8 บิต, 16 บิต และ 32 บิต ที่ทำการออกแบบจะแสดงดังภาพที่ 24 , ภาพที่ 25 และ ภาพที่ 26



ภาพที่ 24 ภาพแสดงวงจร Pass transistor Ripple Carry Adder ขนาด 8 บิต

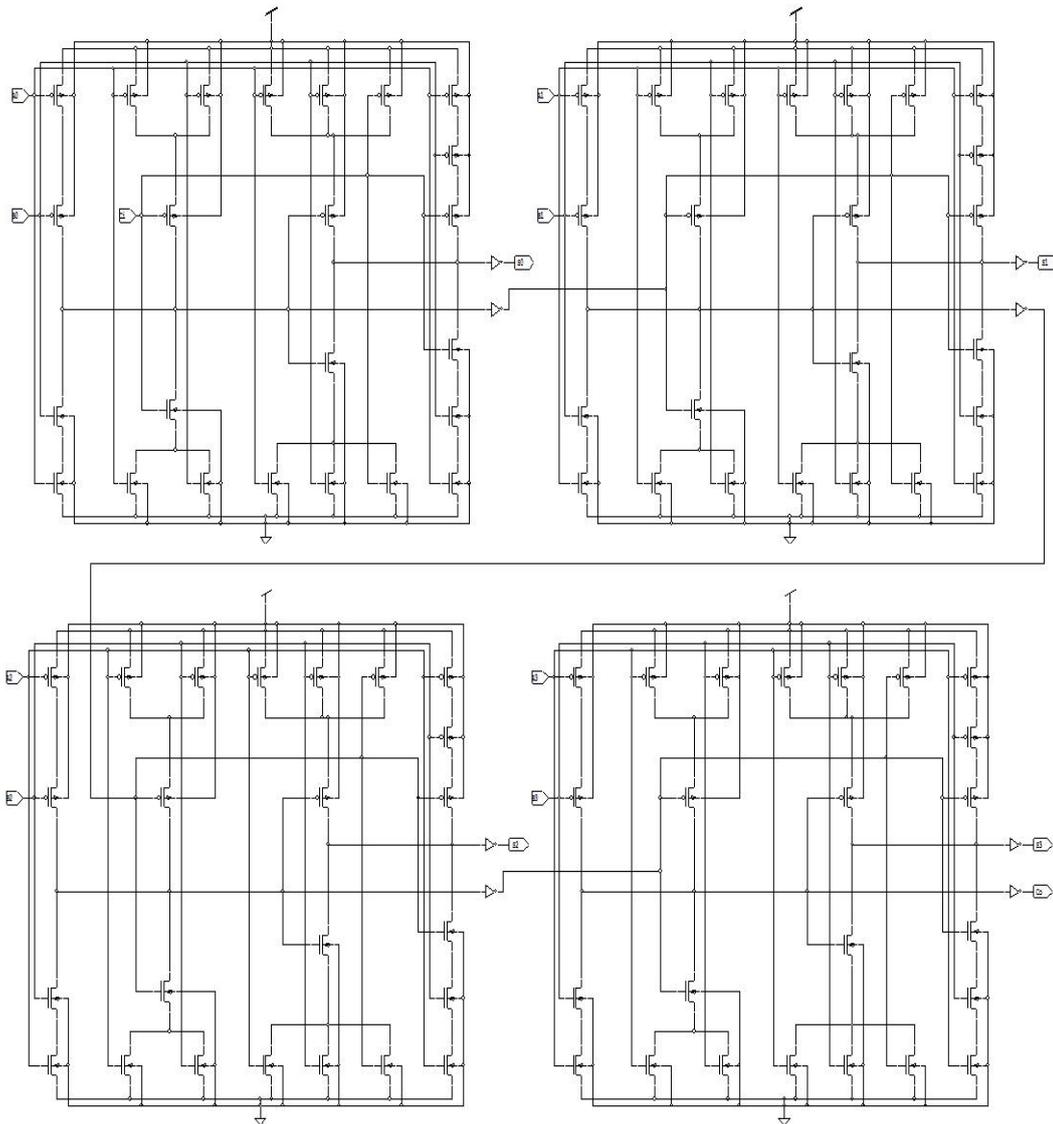


ภาพที่ 25 ภาพแสดงวงจร Pass transistor Ripple Carry Adder ขนาด 16 บิต



ภาพที่ 26 ภาพแสดงวงจร Pass transistor Ripple Carry Adder ขนาด 32 บิต

สำหรับวงจรบวกแบบตัวทดเลื่อนขนาด 4 บิต ที่สร้างโดยใช้ Static Complementary CMOS จะนำวงจรบวกขนาด 1 บิต ที่ออกแบบโดยใช้ Static Complementary CMOS จำนวน 4 วงจรมาต่อกัน โดยวงจรบวกชนิดตัวทดเลื่อนขนาด 4 บิต ที่ทำการออกแบบในงานวิจัยนี้จะเรียกว่า วงจร Static Ripple Carry Adder (SRCA) โดยภาพวงจร SRCA 4 บิต จะแสดงดังภาพที่ 27



ภาพที่ 27 ภาพแสดงวงจร Static Ripple Carry Adder ขนาด 4 บิต

สำหรับวงจรบวกแบบตัวทดเลื่อนขนาด 8 บิต, 16 บิต และ 32 บิต ที่ออกแบบโดยใช้ Static Complementary CMOS จะนำวงจรบวก SRCA ขนาด 4 บิต มาสร้างเป็นบล็อกของวงจรบวกขนาด 4 บิต เพื่อที่จะนำมาทำการต่อกันเป็นวงจรบวก SRCA ตามจำนวนบิตที่ต้องการ โดยใช้ค่า Carry ในการเชื่อมต่อระหว่างบล็อก

โดยวงจรบวก SRCA ขนาด 8 บิต, 16 บิต และ 32 บิต ที่ทำการออกแบบจะมีลักษณะเดียวกับการออกแบบวงจรบวกชนิด PRCA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิตนั่นเอง แต่จะแตกต่างกันเฉพาะการนำบล็อกของ SRCA 4 บิต มาใช้แทนบล็อกของ PRCA 4 บิต นั่นเอง

#### 4. การออกแบบวงจรบวกขนาด n บิต ชนิดวงจรถูกแบบคิดตัวทดล่วงหน้า

วงจรถูกแบบคิดตัวทดล่วงหน้า (Carry Look-ahead Adder) ซึ่งจะทำกรออกแบบในงานวิจัยนี้ จะออกแบบให้มีขนาด 4 บิต, 8 บิต, 16 บิต และ 32 บิต โดยจะทำกรออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS

โดยวงจรถูกแบบคิดตัวทดล่วงหน้าขนาด 4 บิต ที่จะทำกรออกแบบในงานวิจัยนี้ จะทำกรออกแบบตามสมการต่อไปนี้

$$\text{กำหนดให้ วงจรส่งผ่านตัวทด} \quad p_i = a_i \oplus b_i \quad (27)$$

$$\text{และ วงจรกำเนิดตัวทด} \quad g_i = a_i \cdot b_i \quad (28)$$

$$\text{จะได้ว่า} \quad s_0 = p_0 \oplus c_i \quad (29)$$

$$s_1 = p_1 \oplus c_0 \quad (30)$$

$$s_2 = p_2 \oplus c_1 \quad (31)$$

$$s_3 = p_3 \oplus c_2 \quad (32)$$

สำหรับสมการของค่าตัวทด (Carry) จะแสดงดังสมการต่อไปนี้

$$c_0 = g_0 + c_{(-1)} \cdot p_0 \quad (33)$$

$$c_1 = g_1 + g_0 p_1 + c_{(-1)} p_0 p_1 \quad (34)$$

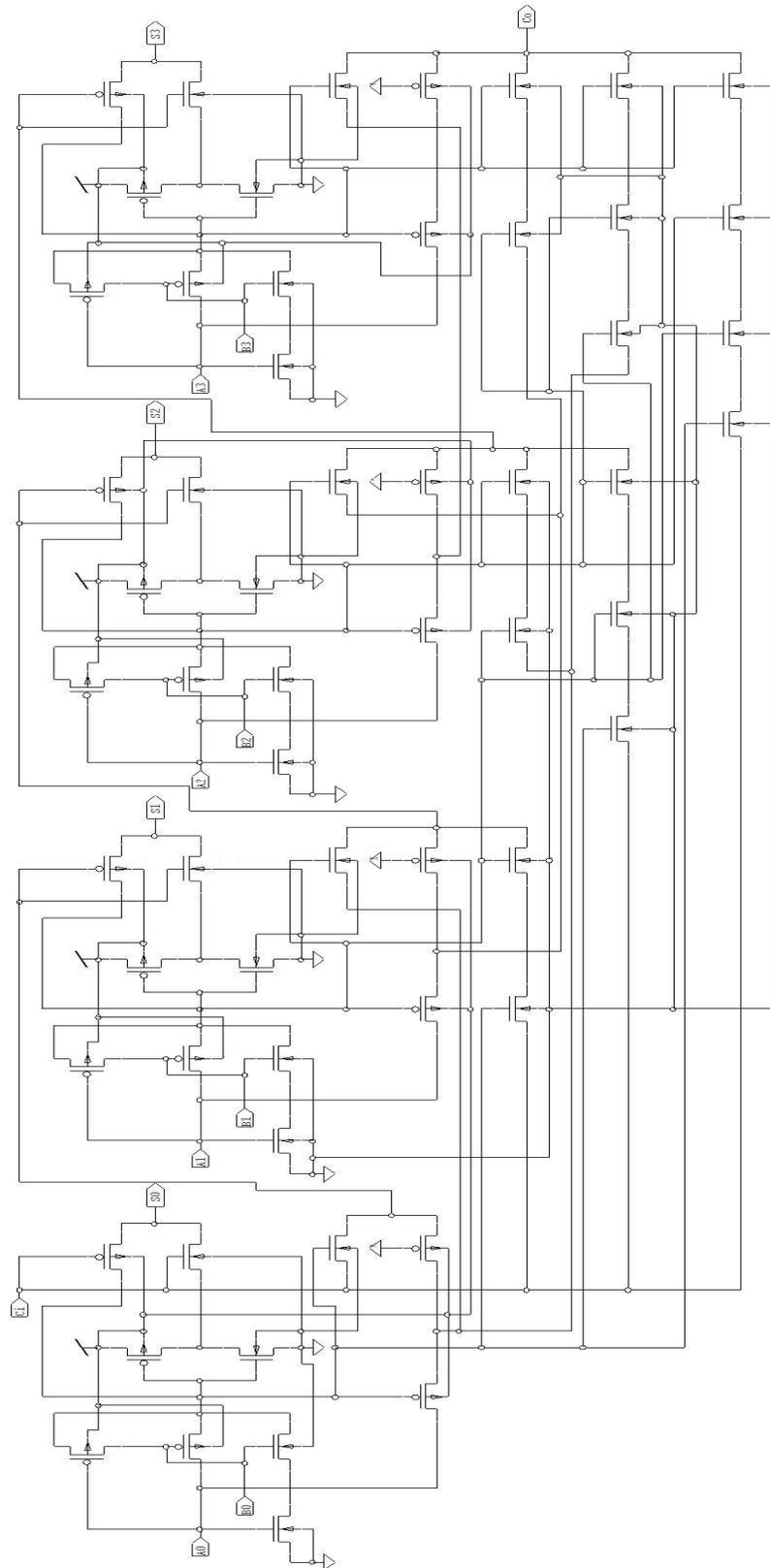
$$c_2 = g_2 + g_1 p_2 + g_0 p_1 p_2 + c_{(-1)} p_0 p_1 p_2 \quad (35)$$

$$c_3 = g_3 + g_2 p_3 + g_1 p_2 p_3 + g_0 p_1 p_2 p_3 + c_{(-1)} p_0 p_1 p_2 p_3 \quad (36)$$

ในการออกแบบวงจรถูกแบบคิดตัวทดล่วงหน้า นั้น ในขั้นตอนแรกต้องทำกรออกแบบวงจรส่งผ่านตัวทด และวงจรถูกกำเนิดตัวทปก่อน โดยจากสมการที่ (27) จะเห็นได้ว่าวงจรส่งผ่านตัวทปก่อนจะประกอบด้วยวงจรถูก XOR ขนาด 2 สัญญาณเข้า ซึ่งในการออกแบบโดยใช้ Pass transistor นั้นสามารถนำวงจรถูก XOR ดังภาพที่ 20 มาใช้ได้เลย

สำหรับวงจรถูกกำเนิดตัวทปก่อน เป็นวงจรถูกที่ใช้วงจรถูก And ขนาด 2 สัญญาณเข้า ซึ่งในการออกแบบโดยใช้ Pass transistor นั้นจะเสมือนว่าเป็นการ And กันของ 2 สัญญาณเข้าอยู่แล้ว โดยในการออกแบบนั้นจะไม่ใช้ค่า ตามสมการที่ (28) โดยตรงแต่จะนำมาออกแบบโดยการจัดรูปใหม่เป็น  $a_i \cdot b_i = a_i \cdot (\overline{a_i \oplus b_i})$  เนื่องจากจะได้เสถียรภาพในวงจรถูกที่ดีกว่าการนำมา And กันโดยตรง

จากสมการที่ (27) – (36) สามารถนำมาออกแบบวงจรถูกแบบคิดตัวทดล่วงหน้า โดยใช้ Pass transistor ซึ่งเรียกแทนว่า Pass transistor Carry Look-ahead Adder (PCLA) ขนาด 4 บิต ได้ดังภาพที่ 28



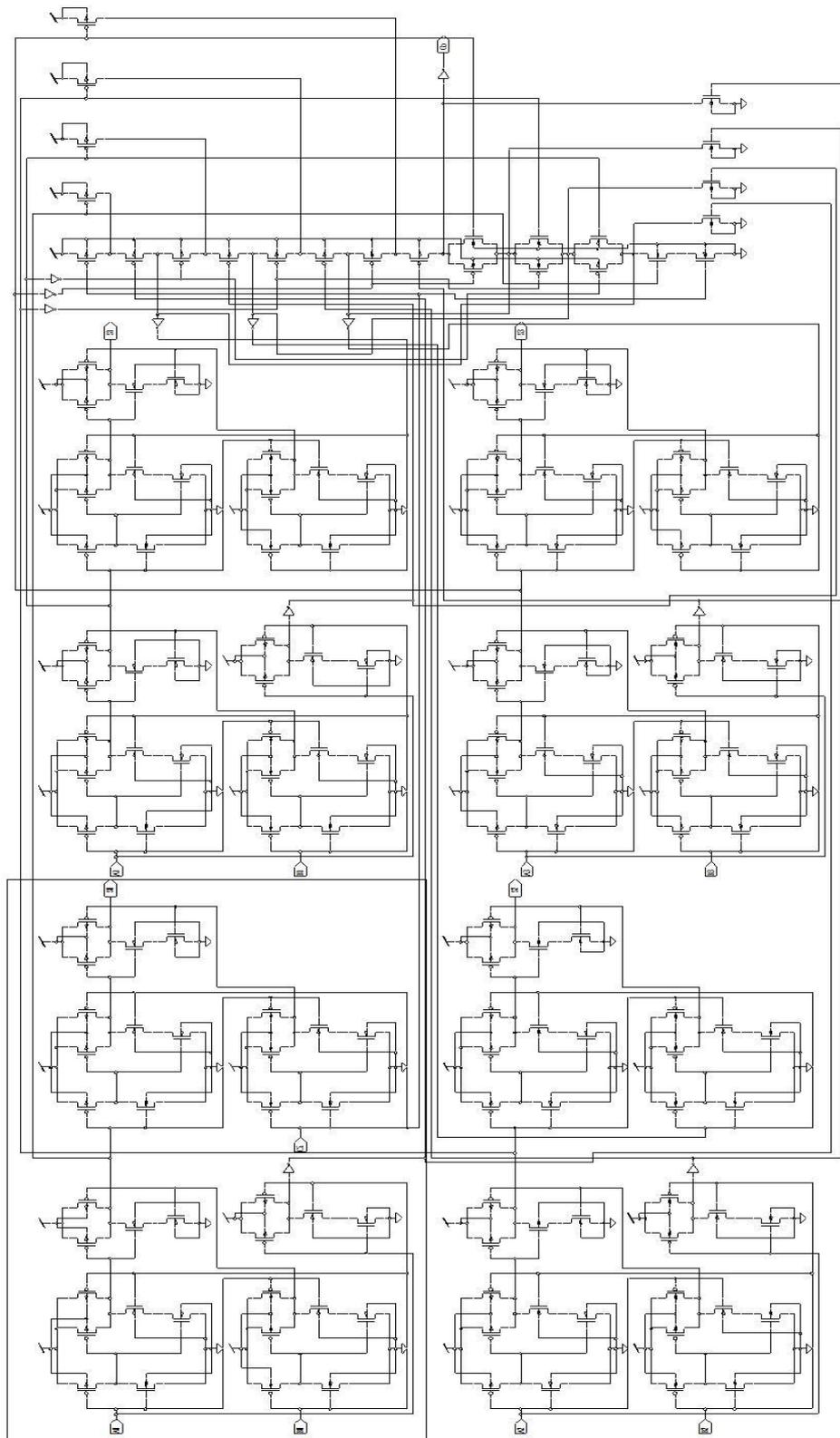
ภาพที่ 28 ภาพแสดงวงจร Pass transistor Carry Look-ahead Adder ขนาด 4 บิต

จากภาพที่ 28 จะพบว่าการออกแบบวงจร PCLA ขนาด 4 บิต นั้น จะมีวงจรหลักคือ วงจรส่งผ่านตัวทวด ( $p_i$ ) โดยวงจรในส่วนนี้จะใช้วงจร XOR ที่ทำการออกแบบไว้ดังภาพที่ 20 ส่วนวงจรที่แสดงผลลัพธ์ของการบวกนั้นจะออกแบบโดยใช้สมการที่ (29) – (32) โดยจะทำการจัดเรียงสมการใหม่เป็น  $s_0 = p_0 \bar{c}_i + \bar{p}_0 c_i$  สำหรับบิตแรก ส่วนบิตถัดมาก็จะมีลักษณะที่คล้ายคลึงกัน จากนั้นจะออกแบบวงจรในส่วนหน้าของสมการที่เปลี่ยนแปลง โดยใช้ pMOS ซึ่งจะป้อนสัญญาณ  $p_0$  และ  $c_i$  เข้ามา สำหรับวงจรในส่วนหลังของสมการนั้นจะใช้ nMOS ในการออกแบบ ซึ่งสัญญาณที่เข้ามานั้นเป็นสัญญาณ  $p_0$  และ  $c_i$  เช่นกัน แต่สัญญาณ  $p_0$  จะต้องผ่านวงจร Inverter ก่อน ซึ่งเมื่อนำทั้งสองส่วนมารวมกันก็จะได้เป็นวงจรแสดงผลลัพธ์ของการบวก สำหรับวงจรแสดงผลลัพธ์การบวกของบิตอื่นๆ ก็จะมีลักษณะวงจรเหมือนกับบิตแรก ส่วนการออกแบบวงจรกำเนิดตัวทวด ( $g_i$ ) นั้นจะออกแบบโดยใช้ทั้ง nMOS และ pMOS แต่จะใช้ nMOS ในการออกแบบมากกว่า โดยจะออกแบบวงจรโดยอาศัยสมการที่ (33) – (36) โดย nMOS ที่ออกแบบนั้นจะทำหน้าที่เป็นเสมือนลักษณะของ And gate นั้นเอง ซึ่งจะสังเกตได้ว่าตัวทวดที่บิตสูงขึ้นไปจะมีลำดับชั้นในการต่อเพิ่มมากขึ้นด้วย สำหรับตัวทวดที่สร้างขึ้นนั้นจะถูกส่งไปให้บิตถัดไปเพื่อสร้างวงจรแสดงผลลัพธ์การบวกขึ้นมานั้นเอง

สำหรับวงจรบวกแบบคิดตัวทวดล่วงหน้าขนาด 8 บิต, 16 บิต และ 32 บิต ที่ออกแบบโดยใช้ Pass transistor นั้น จะนำวงจรบวก PCLA ขนาด 4 บิต มาสร้างเป็นบล็อกของวงจรบวกขนาด 4 บิต เพื่อที่จะนำมาทำการต่อกันเป็นวงจรบวก PCLA ตามจำนวนบิตที่ต้องการ โดยใช้ค่า Carry ในการเชื่อมต่อระหว่างบล็อก

โดยวงจรบวก PCLA ขนาด 8 บิต, 16 บิต และ 32 บิต ที่ทำการออกแบบจะมีลักษณะเดียวกับการออกแบบวงจร PRCA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิต โดยแตกต่างกันตรงที่ในการออกแบบวงจร PCLA ขนาดต่างๆ นั้น จะนำบล็อกของวงจร PCLA ขนาด 4 บิต มาใช้แทนบล็อกของวงจร PRCA ขนาด 4 บิต นั้นเอง ดังนั้นวงจรบวก PCLA ขนาด 8 บิต, 16 บิต และ 32 บิตจะมีลักษณะเหมือนกับภาพที่ 24 ภาพที่ 25 และ ภาพที่ 26

ส่วนการออกแบบวงจรบวกแบบคิดตัวทวดล่วงหน้า ขนาด 4 บิต โดยใช้ Static Complementary CMOS นั้นจะต้องออกแบบโดยใช้สมการที่ (21) – (30) เช่นเดียวกัน โดยวงจรบวกแบบคิดตัวทวดล่วงหน้า ที่ออกแบบโดยใช้ Static Complementary CMOS นั้น จะเรียกว่า Static Carry Look-ahead Adder (SCLA) โดยวงจรที่ทำการออกแบบจะแสดงดังภาพที่ 29



ภาพที่ 29 ภาพแสดงวงจร Static Carry Look-ahead Adder ขนาด 4 บิต

ซึ่งในการออกแบบนั้นจะแบ่งเป็นสองส่วนคือ ส่วนวงจรแสดงผลลัพธ์ของการบวก (S) จะมีลักษณะตามรูปที่ 29 ในส่วนที่อยู่ในกรอบสี่เหลี่ยม โดยวงจรในรูปแบบนี้จะมีลักษณะเหมือนกันทั้ง 4 บิต โดยในการออกแบบนั้นจะออกแบบโดยใช้สมการที่ (29) – (32) ซึ่งในสมการนี้จะใช้ XOR ดังนั้นจึงทำการออกแบบวงจร XOR ที่มีขนาด 2 อินพุตขึ้นมาโดยอาศัยสมการ  $A \oplus B = \overline{A}B + A\overline{B}$  โดยในการออกแบบจะต้องออกแบบให้สมดุลกันตามหลักการออกแบบวงจรที่เป็น Complementary CMOS ดังนั้นจะพบว่าวงจรในส่วนแรกจะมี 2 ส่วน โดยส่วนแรกจะเป็นวงจร XOR เพื่อสร้างวงจรส่งผ่านตัวทอด ( $p_i$ ) และส่วนหลังจะเป็นวงจร XOR ระหว่าง  $p_i$  กับ  $c_i$  จะทำให้ได้วงจรแสดงผลลัพธ์ของการบวก สำหรับส่วนที่สองคือส่วนของวงจรแสดงค่าตัวทอดนั้นในการออกแบบจะใช้สมการที่ (33) – (36) ซึ่งในการออกแบบนั้นจะค่อนข้างยาก ดังนั้นจึงได้มีการนำการออกแบบวงจรในส่วนนี้มาจากการออกแบบวงจรบวกแบบคิดตัวทอดล่วงหน้าของ (Sharm, 1998) ซึ่งจะนำการออกแบบในส่วนนี้มาใช้ร่วมกับวงจรส่วนหน้าที่ทำการออกแบบ จะทำให้ได้วงจรบวกแบบคิดตัวทอดล่วงหน้า ที่ออกแบบโดยใช้ Static Complementary CMOS

จากภาพที่ 29 จะพบว่าวงจร SCLA ขนาด 4 บิต มีขนาดใหญ่และมีความซับซ้อนมากกว่าวงจร SRCA ขนาด 4 บิต เนื่องจากในการออกแบบวงจร SRCA ที่ทำการออกแบบนั้นจะทำการออกแบบโดยเปลี่ยนแปลงสมการที่ (1) และ (2) ซึ่งทำให้สามารถลดจำนวนทรานซิสเตอร์ในการออกแบบลงได้ ส่วนในวงจร SCLA นั้นจะทำการออกแบบตามสมการที่ (1) และ (2) โดยจะต้องทำการออกแบบวงจร XOR ที่ใช้การออกแบบโดย Static Complementary CMOS ขึ้นมาด้วย นอกจากนี้ยังต้องใช้สมการที่ (33) – (36) ซึ่งเป็นวงจรถูกกำเนิดตัวทอดขึ้นมาด้วยทำให้วงจรมีขนาดใหญ่และมีความซับซ้อนกว่าวงจรแบบ SRCA

สำหรับวงจรบวกแบบคิดตัวทอดล่วงหน้าขนาด 8 บิต , 16 บิต และ 32 บิต ที่ออกแบบโดยใช้ Static Complementary CMOS นั้น จะนำวงจรบวก SCLA ขนาด 4 บิต มาสร้างเป็นบล็อกของวงจรบวกขนาด 4 บิต เพื่อที่จะนำมาทำการต่อกันเป็นวงจรบวก SCLA ตามจำนวนบิตที่ต้องการ โดยใช้ค่า Carry ในการเชื่อมต่อระหว่างบล็อก

โดยวงจรบวก SCLA ขนาด 8 บิต , 16 บิต และ 32 บิต ที่ทำการออกแบบจะมีลักษณะเดียวกับการออกแบบวงจร PRCA ที่มีขนาด 8 บิต , 16 บิต และ 32 บิต โดยแตกต่างกันตรงที่ในการออกแบบวงจร SCLA ขนาดต่างๆ นั้น จะนำบล็อกของวงจร SCLA ขนาด 4 บิต มาใช้แทนบล็อกของวงจร PRCA ขนาด 4 บิต นั้นเอง ดังนั้นวงจรบวก SCLA ขนาด 8 บิต , 16 บิต และ 32 บิตจะมีลักษณะเหมือนกับภาพที่ 24 ภาพที่ 25 และ ภาพที่ 26

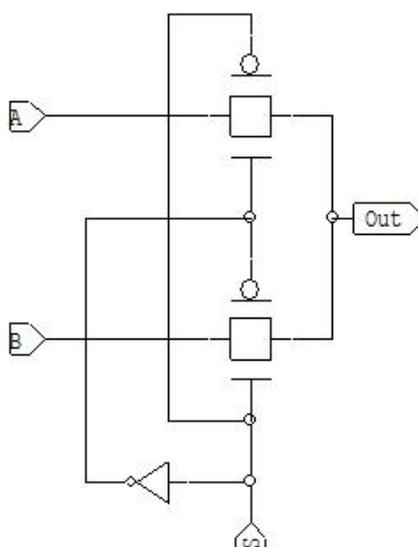
## 5. การออกแบบวงจรบวกขนาด $n$ บิต ชนิดวงจรบวกแบบเลือกตัวทด

วงจรบวกแบบเลือกตัวทด (Carry Select Adder) ซึ่งจะทำให้การออกแบบในงานวิจัยนี้ จะทำการออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS โดยจะทำการออกแบบให้มีขนาด 4 บิต, 8 บิต, 16 บิต และ 32 บิต

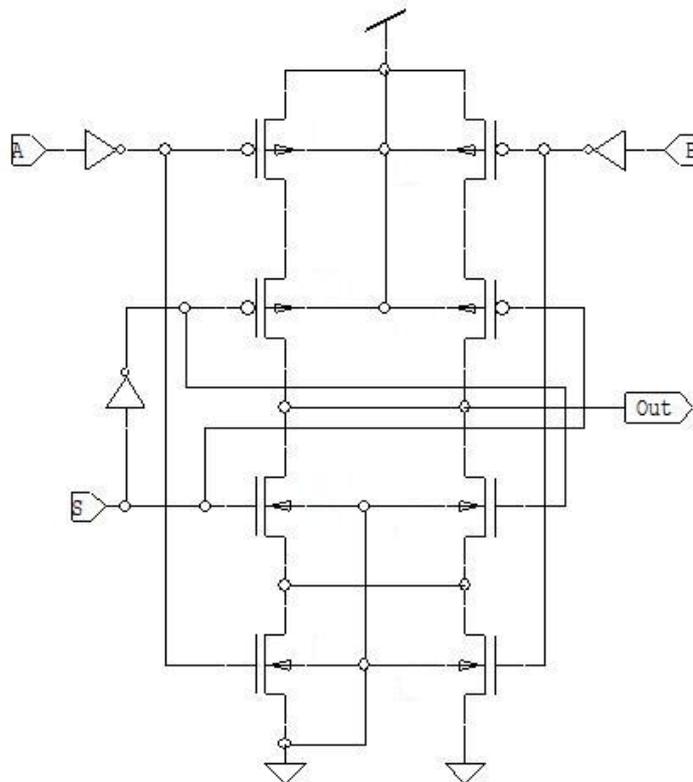
โดยวงจรบวกแบบเลือกตัวทมนั้นจะเป็นการนำวงจรบวกแบบตัวทดเลื่อน หรือวงจรบวกแบบคิดตัวทดล่วงหน้ามาใช้ในการออกแบบได้ ซึ่งในงานวิจัยนี้จะนำวงจรบวกแบบตัวทดเลื่อนมาใช้ในการออกแบบ เนื่องจากวงจรมีขนาดเล็กและมีความซับซ้อนน้อยกว่าวงจรบวกแบบคิดตัวทดล่วงหน้า

สำหรับวงจรบวกแบบเลือกตัวทมนั้น ในการออกแบบจะมีส่วนประกอบที่สำคัญมาก คือ วงจรสำหรับเลือกค่าแสดงผลลัพธ์ ที่จะให้แสดงผลลัพธ์จากบล็อกใดของวงจร ซึ่งวงจรที่นำมาใช้ในการออกแบบก็คือ วงจรมัลติเพล็กซ์เซอร์ (Multiplexer, MUX)

ดังนั้นในการเริ่มต้นออกแบบวงจรบวกแบบเลือกตัวทมนั้น จะต้องออกแบบวงจร MUX ก่อน ซึ่งในงานวิจัยนี้จะทำการออกแบบวงจร MUX เป็น 2 รูปแบบ นั่นคือออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS ซึ่งภาพวงจร MUX ที่ทำการออกแบบทั้ง 2 รูปแบบ จะแสดงดังภาพที่ 30 และภาพที่ 31



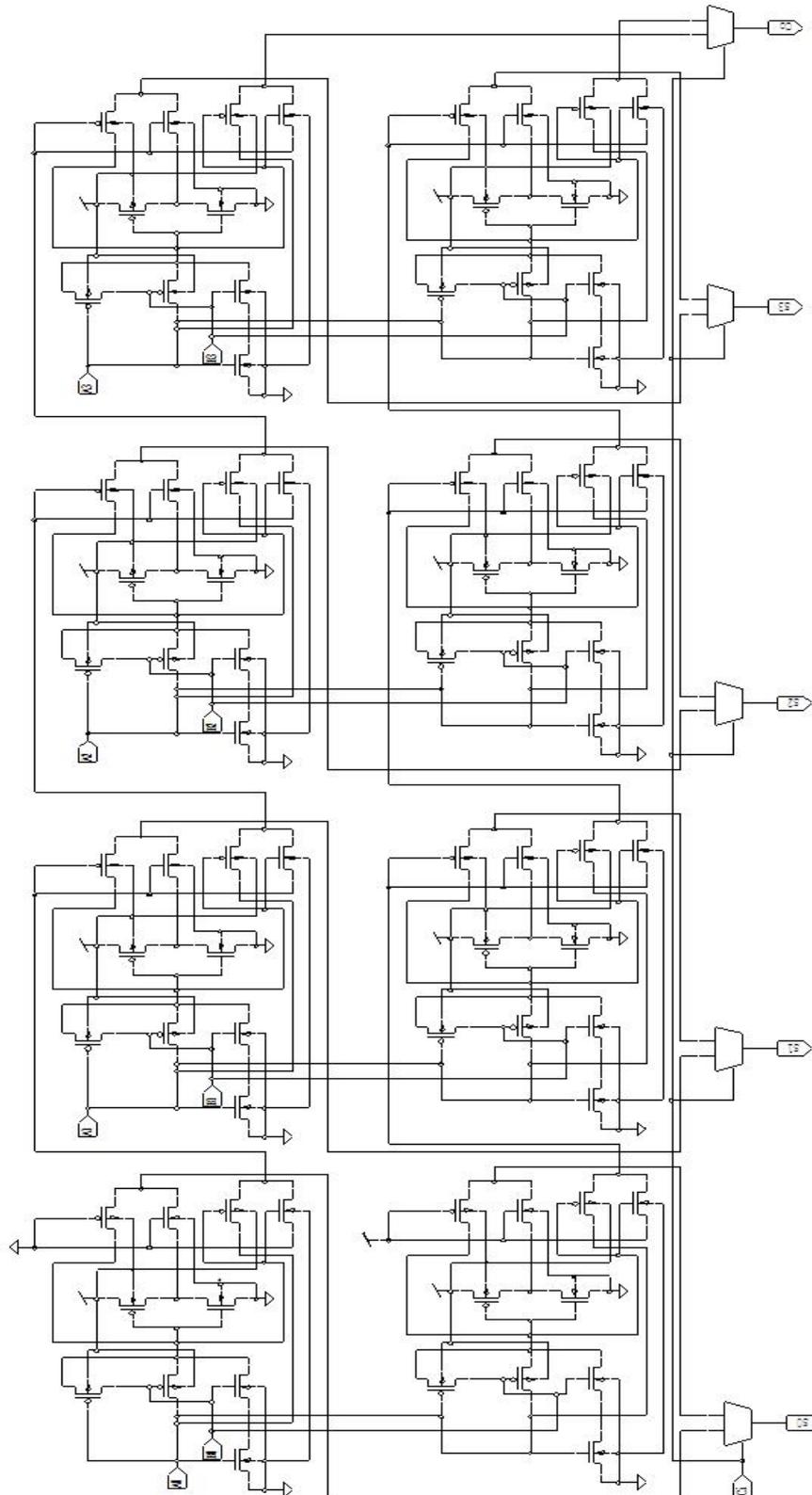
ภาพที่ 30 ภาพแสดงวงจร MUX ที่ออกแบบโดยใช้ Pass transistor



ภาพที่ 31 ภาพแสดงวงจร MUX ที่ออกแบบโดยใช้ Static Complementary CMOS

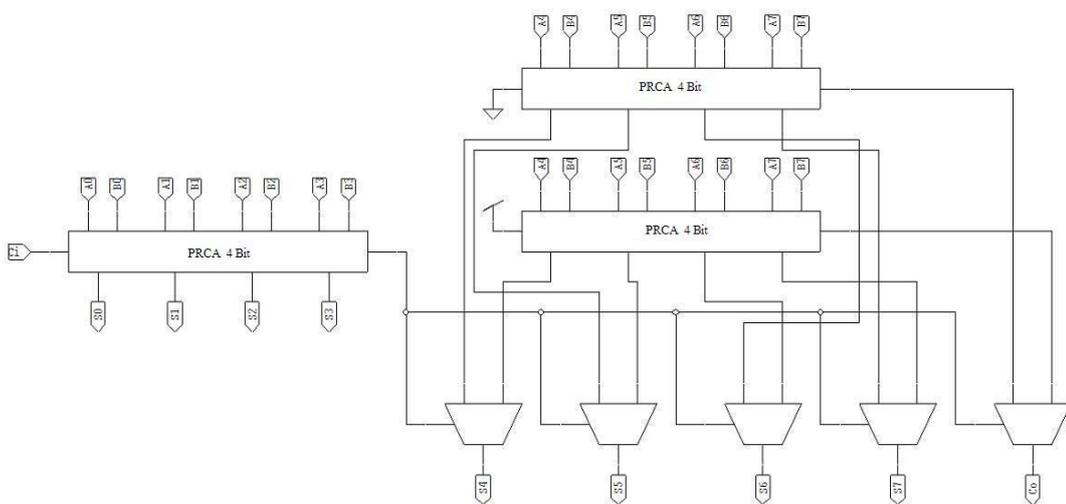
เมื่อทำการออกแบบวงจร MUX แล้ว ขั้นตอนต่อมาคือทำการออกแบบวงจรบวกแบบเลือกตัวทศขนาด 4 บิต ที่ออกแบบโดยใช้ Pass transistor ซึ่งจะนำวงจรบวกแบบตัวทศเลื่อนที่ออกแบบโดยใช้ Pass transistor และ วงจร MUX ที่ออกแบบโดยใช้ Pass transistor มาใช้ในการออกแบบร่วมกัน โดยวงจรที่ออกแบบโดยใช้ Pass transistor จะเรียกว่า วงจร Pass transistor Carry Select Adder (PCSA) โดยวงจร PCSA ขนาด 4 บิตที่ทำการออกแบบจะแสดงดังภาพที่ 32

จากภาพที่ 32 จะพบว่าวงจร PCSA นั้นจะใช้วงจร PRCA มาใช้สำหรับสร้างสัญญาณแสดงผลลัพธ์ของการบวกและตัวทศออกของแต่ละบิต โดยวงจร PRCA ขนาด 4 บิต จะต้องนำมาใช้ในการออกแบบ 2 ชุด โดยชุดแรกจะป้อนสัญญาณ  $c_i$  เท่ากับ 0 ส่วนอีกชุดหนึ่งจะป้อนสัญญาณ  $c_i$  เท่ากับ 1 ซึ่งผลลัพธ์ของการบวกและค่าตัวทศที่ได้ของวงจร PCSA นั้นจะต้องผ่านวงจร MUX โดยสัญญาณ  $c_i$  ของการบวกจะทำหน้าที่เป็นสัญญาณ Select ในการเลือกผลลัพธ์มาทำการแสดงผล

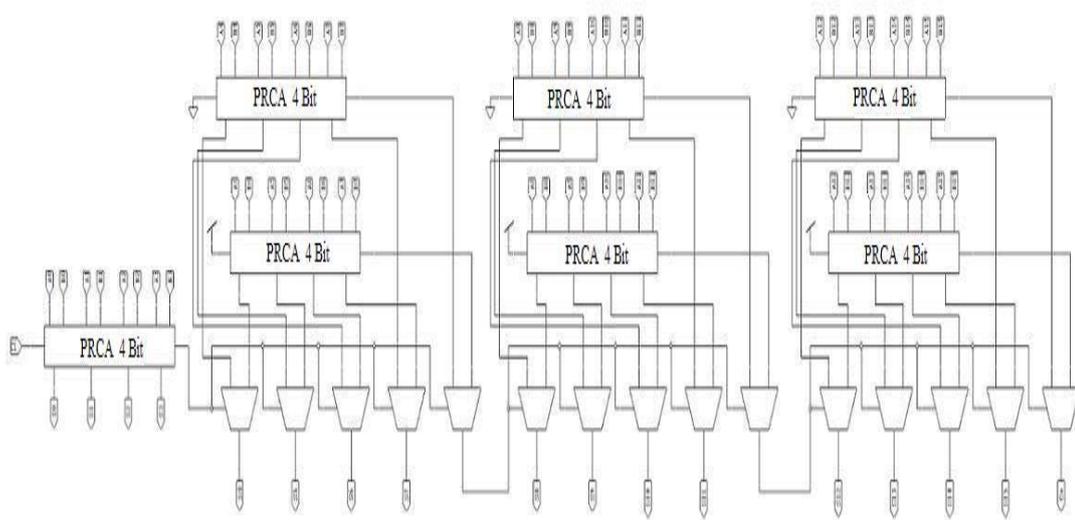


ภาพที่ 32 ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 4 บิต

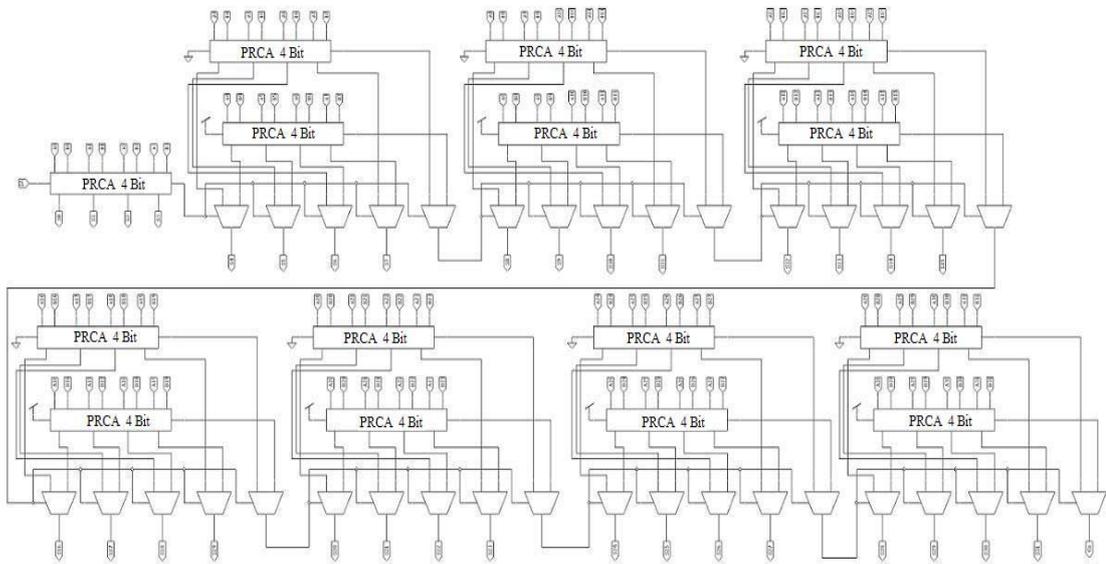
ส่วนการออกแบบวงจร PCSA ขนาด 8 บิต , 16 บิต และ 32 บิต นั้นจะต้องนำวงจร PRCA ขนาด 4 บิต มาใช้ในการออกแบบโดยกำหนดให้เป็นบล็อกขนาด 4 บิต โดยวงจรที่ทำการออกแบบนั้นในส่วน 4 บิตแรกจะเป็นวงจร PRCA เพียงบล็อกเดียว ส่วนในช่วง 4 บิตถัดมาจะประกอบด้วยวงจร PRCA 4 บิต 2 บล็อก และวงจร MUX ซึ่งจะนำมาใช้ในการเลือกค่าผลลัพธ์ของผลบวกในแต่ละบิต โดยสัญญาณ Select คือค่าตัวทด (Carry out) ของวงจรใน 4 บิตแรก ซึ่งวงจร PCSA ขนาด 8 บิต , 16 บิต และ 32 บิต ที่ทำการออกแบบจะแสดงดังภาพที่ 33 ภาพที่ 34 และภาพที่ 35



ภาพที่ 33 ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 8 บิต



ภาพที่ 34 ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 16 บิต



ภาพที่ 35 ภาพแสดงวงจร Pass transistor Carry Select Adder ขนาด 32 บิต

ส่วนการออกแบบวงจรบวกแบบเลือกตัวทศขนาด 4 บิต ที่ออกแบบโดยใช้ Static Complementary CMOS ซึ่งจะนำวงจรบวกแบบตัวทศเลื่อนที่ออกแบบ โดยใช้ Static Complementary CMOS และ วงจร MUX ที่ออกแบบโดยใช้ Static Complementary CMOS มาใช้ในการออกแบบร่วมกัน โดยวงจร SRCA ที่นำมาใช้ในการออกแบบจะมีลักษณะเป็นแบบบล็อก โดยวงจรที่ออกแบบโดยใช้ Static Complementary CMOS จะเรียกว่า วงจร Static Carry Select Adder (SCSA) โดยวงจร SCSA ขนาด 4 บิตที่ทำการออกแบบจะมีลักษณะเดียวกับวงจร PCSA ขนาด 4 บิต โดยจะแตกต่างตรงที่ใช้บล็อกของ SRCA และใช้ MUX แบบ Static มาใช้ร่วมกันในการออกแบบ

ส่วนการออกแบบวงจร SCSA ขนาด 8 บิต , 16 บิต และ 32 บิต นั้นจะต้องนำวงจร SRCA ขนาด 4 บิต มาใช้ในการออกแบบโดยกำหนดให้เป็นบล็อกขนาด 4 บิต โดยวงจรที่ทำการออกแบบนั้นในส่วน 4 บิตแรกจะเป็นวงจร SRCA เพียงบล็อกเดียว ส่วนในช่วง 4 บิตถัดมาจะประกอบด้วยวงจร SRCA 4 บิต 2 บล็อก และวงจร MUX ซึ่งจะนำมาใช้ในการเลือกค่าผลลัพธ์ของผลบวกในแต่ละบิต โดยสัญญาณ Select คือค่าตัวทศ (Carry out) ของวงจรใน 4 บิตแรก ซึ่งวงจร SCSA ขนาด 8 บิต, 16 บิต และ 32 บิต ที่ทำการออกแบบจะมีรูปแบบเดียวกับวงจร PCSA ขนาด 8 บิต, 16 บิต และ 32 บิต ดังนั้นวงจร SCSA ขนาด 8 บิต, 16 บิต และ 32 บิต จะมีลักษณะเหมือนกับภาพที่ 33, ภาพที่ 34 และภาพที่ 35

## ผลและวิจารณ์

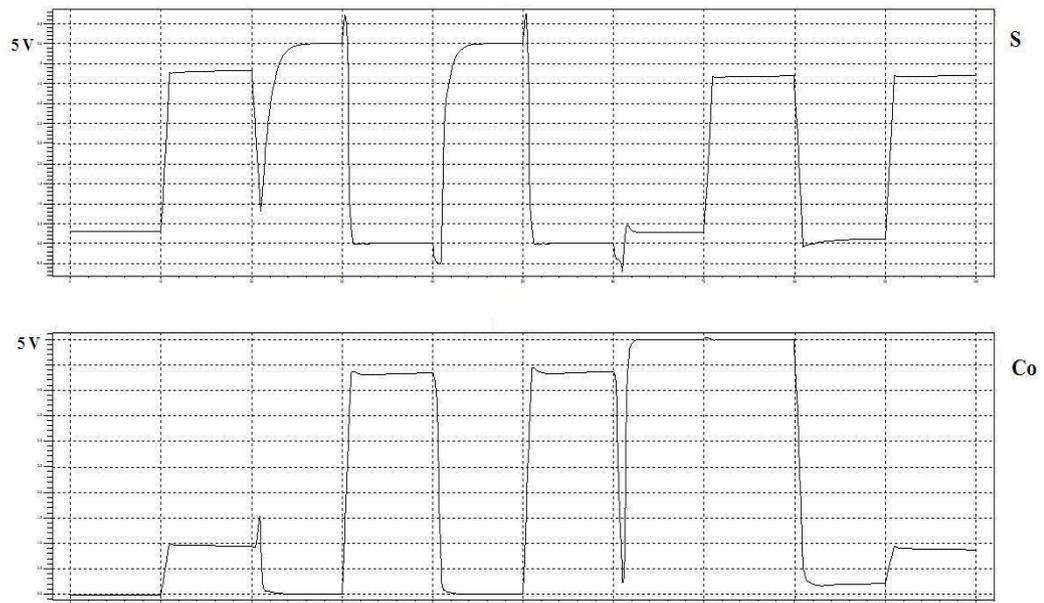
วงจรทั้งหมดได้ถูกทดสอบโดยการออกแบบในรูปแบบของแผนผังวงจร (Schematic) โดยใช้โปรแกรม S-Edit จากนั้นทำการแปลงเป็น SPICE Netlist ที่แสดง MOS ที่ทำการเชื่อมต่อกัน ในการทดสอบใช้แบบจำลอง MOS ของ MOSIS ที่เทคโนโลยี 0.5  $\mu\text{m}$  โดยจะทำการทดสอบโดยใช้โปรแกรม Tanner Spice ในการทดสอบ ต่อไปจะกล่าวถึงผลของการทดสอบการทำงานของวงจรวกชนิดต่างๆ ที่ทำการออกแบบ

### 1. ผลการทดสอบการทำงานของวงจรวก

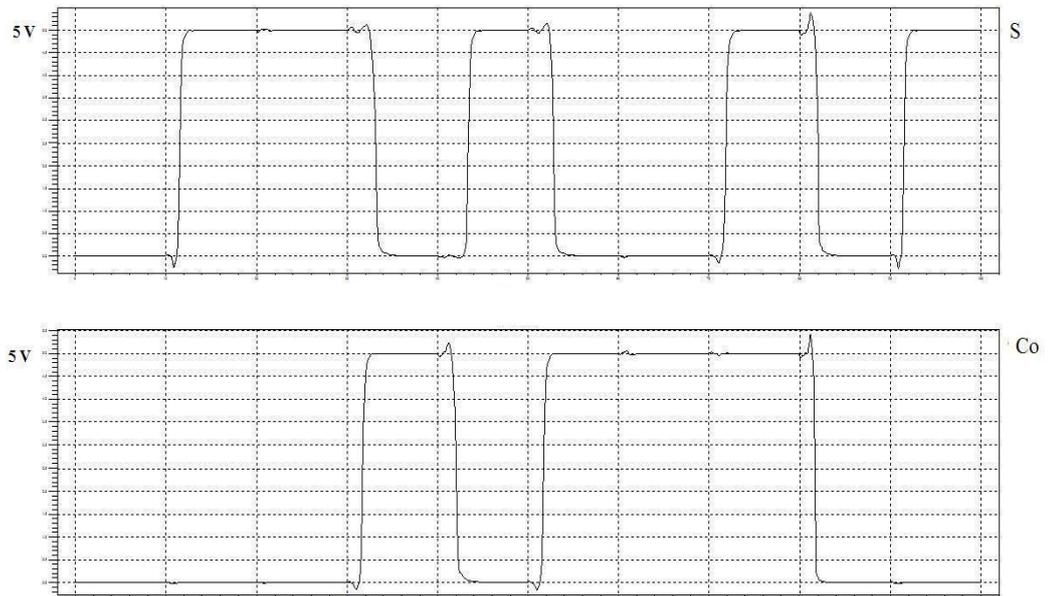
ในส่วนนี้จะกล่าวถึงผลการทดสอบการทำงานของวงจรวกชนิดต่างๆ เพื่อศึกษาว่าวงจรมีผลการทำงานได้ถูกต้องตามค่าสัญญาณเข้าที่ป้อนเข้าไปหรือไม่ และแสดงผลการทำงานของวงจรที่ระดับแรงดันไฟเลี้ยง 5 V และ 3.3 V

#### 1.1 วงจรวกขนาด 1 บิต

จากวงจรวกขนาด 1 บิต ที่ทำการออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS เมื่อนำมาทดสอบการทำงานโดยใช้ระดับแรงดันไฟเลี้ยง 5 V ผลการทดสอบที่ได้จะแสดงดังภาพที่ 36 และ ภาพที่ 37 ซึ่งจากทั้งสองภาพจะพบว่าวงจรที่ทำการออกแบบสามารถทำงานได้ตรงกับค่าตามตารางที่ 1 แต่จะพบว่าผลลัพธ์จากวงจรวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor จะมีค่าแรงดันที่แสดงค่าลอจิก ไม่ถึงระดับแรงดัน 5 V เนื่องจากมีแรงดันที่ตกลงเนื่องจากค่าแรงดันเต็มสเกลของ Pass transistor มีค่าเท่ากับ  $V_{DD} - V_T$  ส่วนวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS จะมีค่าที่ลอจิก 1 เท่ากับค่าแรงดันไฟเลี้ยง

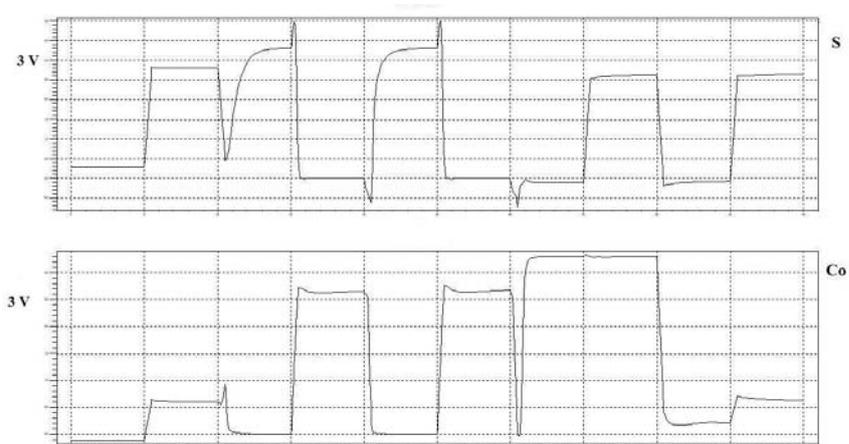


ภาพที่ 36 ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Pass transistor ที่  $V_{DD} = 5\text{ V}$



ภาพที่ 37 ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Static Complementary CMOS ที่  $V_{DD} = 5\text{ V}$

สำหรับการออกแบบวงจรบวกขนาด  $n$  บิตที่ใช้พลังงานต่ำ นอกจากจะใช้วิธีการออกแบบโดยใช้ Pass transistor แล้วในงานวิจัยนี้จะนำวิธีการลดระดับแรงดันไฟเลี้ยงมาใช้ประกอบด้วย ดังนั้นวงจรทั้งสองที่ทำการออกแบบนั้นจะต้องนำไปทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงขนาดอื่นด้วย ซึ่งในงานวิจัยนี้ได้เลือกใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V มาใช้ในการทดสอบ เนื่องจากเมื่อทดสอบที่ระดับแรงดันไฟเลี้ยงที่ต่ำกว่านี้ จะให้ผลการทำงานของวงจรที่ผิดพลาด ซึ่งผลของการทดสอบการทำงานของวงจรบวกขนาด 1 บิต ที่ระดับแรงดันไฟเลี้ยง 3.3 V ของทั้งสองวงจรจะแสดงดังภาพที่ 38 และภาพที่ 39



ภาพที่ 38 ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Pass transistor ที่  $V_{DD} = 3.3$  V



ภาพที่ 39 ภาพแสดงผลการทำงานของวงจรบวก 1 บิต ชนิด Static Complementary CMOS ที่

$$V_{DD} = 3.3$$

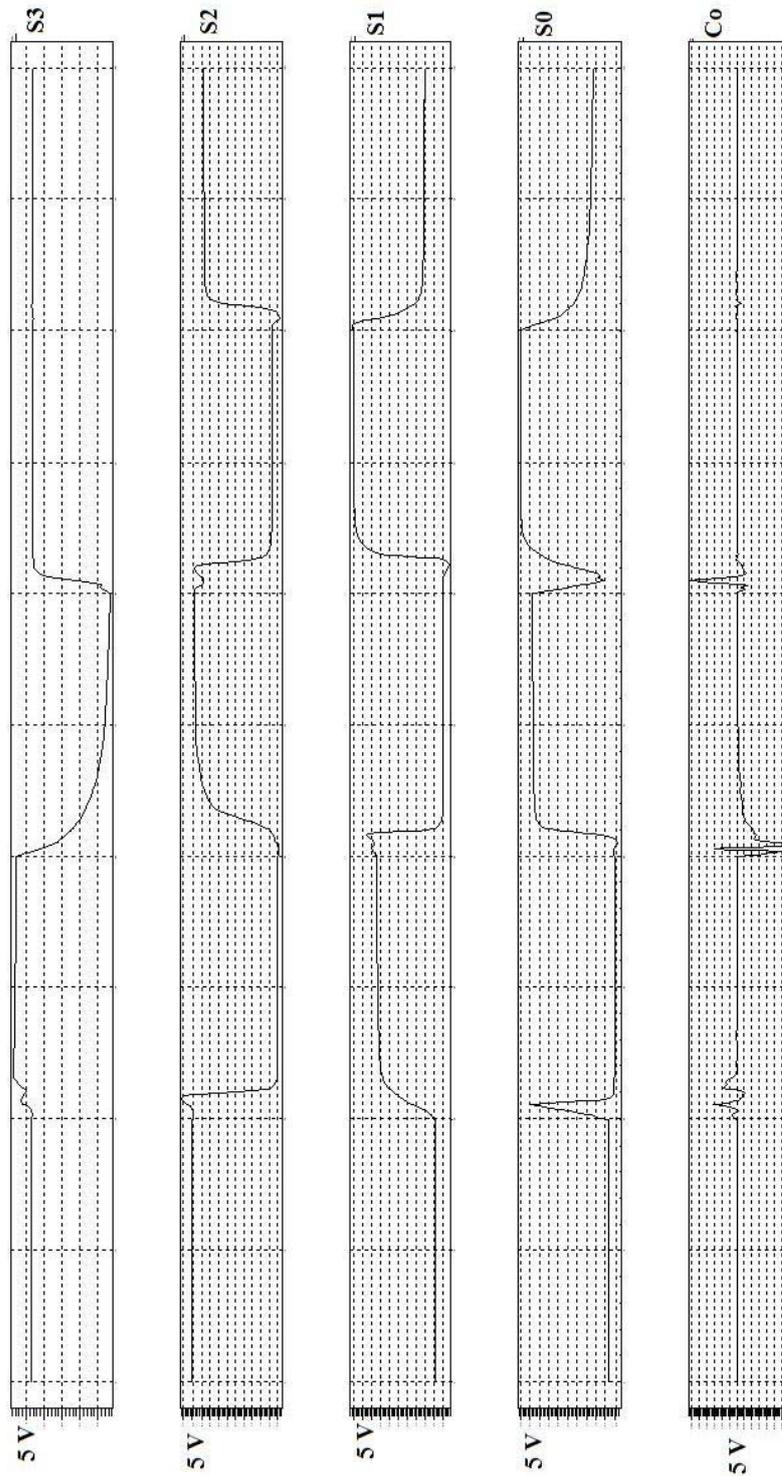
จากภาพที่ 38 และภาพที่ 39 จะพบว่าผลการทำงานของวงจรวกขนาด 1 บิต ทั้งสองรูปแบบที่ระดับแรงดันไฟเลี้ยง 3.3 V สามารถทำงานได้ตรงกับการทดสอบการทำงานของวงจรรีที่ระดับแรงดันไฟเลี้ยง 5 V ซึ่งแสดงว่าการลดระดับแรงดันไฟเลี้ยงลงในวงจรวกขนาด 1 บิต ไม่ส่งผลให้วงจรมีการทำงานที่ผิดพลาด

## 1.2 วงจรวกชนิดวงจรวกแบบตัวทดเลื่อน

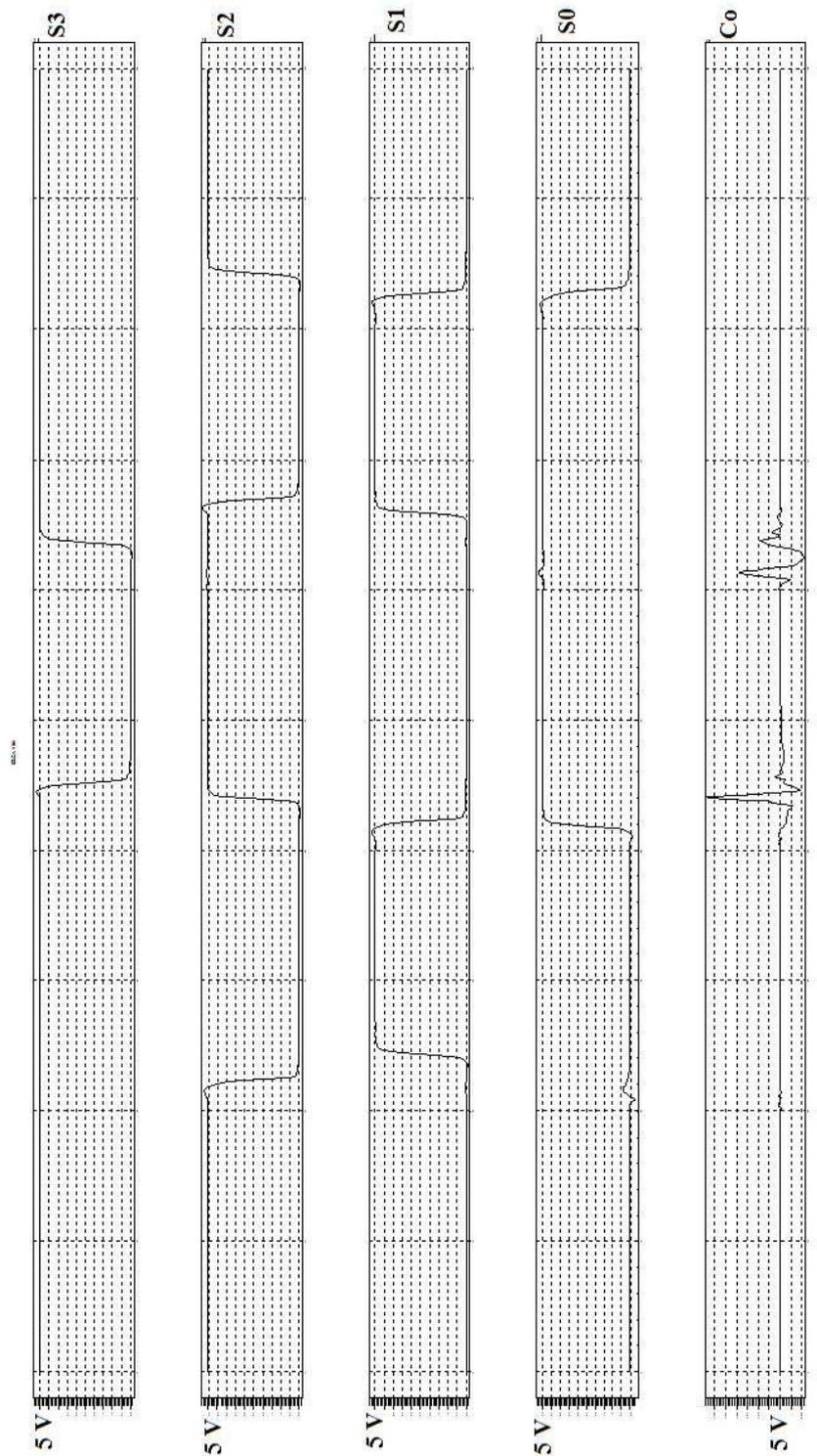
เมื่อทำการทดสอบวงจรวกขนาด 1 บิต แล้ว ต่อมาจะทำการทดสอบวงจรวกแบบตัวทดเลื่อนทั้งวงจรร PRCA และ SRCA เนื่องจากวงจรวกแบบตัวทดเลื่อนจะเป็นการนำวงจรวกขนาด 1 บิต มาต่อกันเพื่อให้ได้จำนวนบิตที่ต้องการ โดยจะเริ่มจากการทดสอบวงจรร PRCA และ SRCA ขนาด 4 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V โดยในการทดสอบการทำงานนั้น จะเริ่มจากการป้อนค่า  $A_0 = 0011$ ,  $A_1 = 1111$ ,  $A_2 = 1101$ ,  $A_3 = 1111$ ,  $B_0 = 0110$ ,  $B_1 = 1100$ ,  $B_2 = 1001$ ,  $B_3 = 1111$  และ  $C_i = 0110$  ซึ่งเมื่อนำค่าตั้งต้นนี้มาทำการคำนวณ จะได้ผลลัพธ์เป็น  $S_3 = 1101$ ,  $S_2 = 1010$ ,  $S_1 = 0101$ ,  $S_0 = 0011$  และ  $C_o = 1111$  โดยในการทดสอบจะใช้ความถี่เท่ากับ 50 MHz ซึ่งผลจากการทดสอบจริงพบว่า ทั้งวงจรร PRCA และ SRCA สามารถทำงานได้ถูกต้องตรงตามค่าจากการคำนวณ โดยผลการทดสอบของวงจรร PRCA นั้นจะมีค่าลอจิก 1 ไม่เต็มค่าระดับแรงดันไฟเลี้ยงเหมือนกับวงจรวกขนาด 1 บิต โดยผลการทดสอบการทำงานของวงจรร PRCA และ SRCA ขนาด 4 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V จะแสดงไว้ดังภาพที่ 40 และภาพที่ 41

ซึ่งจากภาพที่ 40 และภาพที่ 41 จะพบว่าวงจรรแบบ SRCA จะให้ผลการทำงานที่มีเสถียรภาพมากกว่าแต่จะมีค่าหน่วงเวลา (Delay) ที่เกิดขึ้นในวงจรมากกว่าวงจรรแบบ PRCA

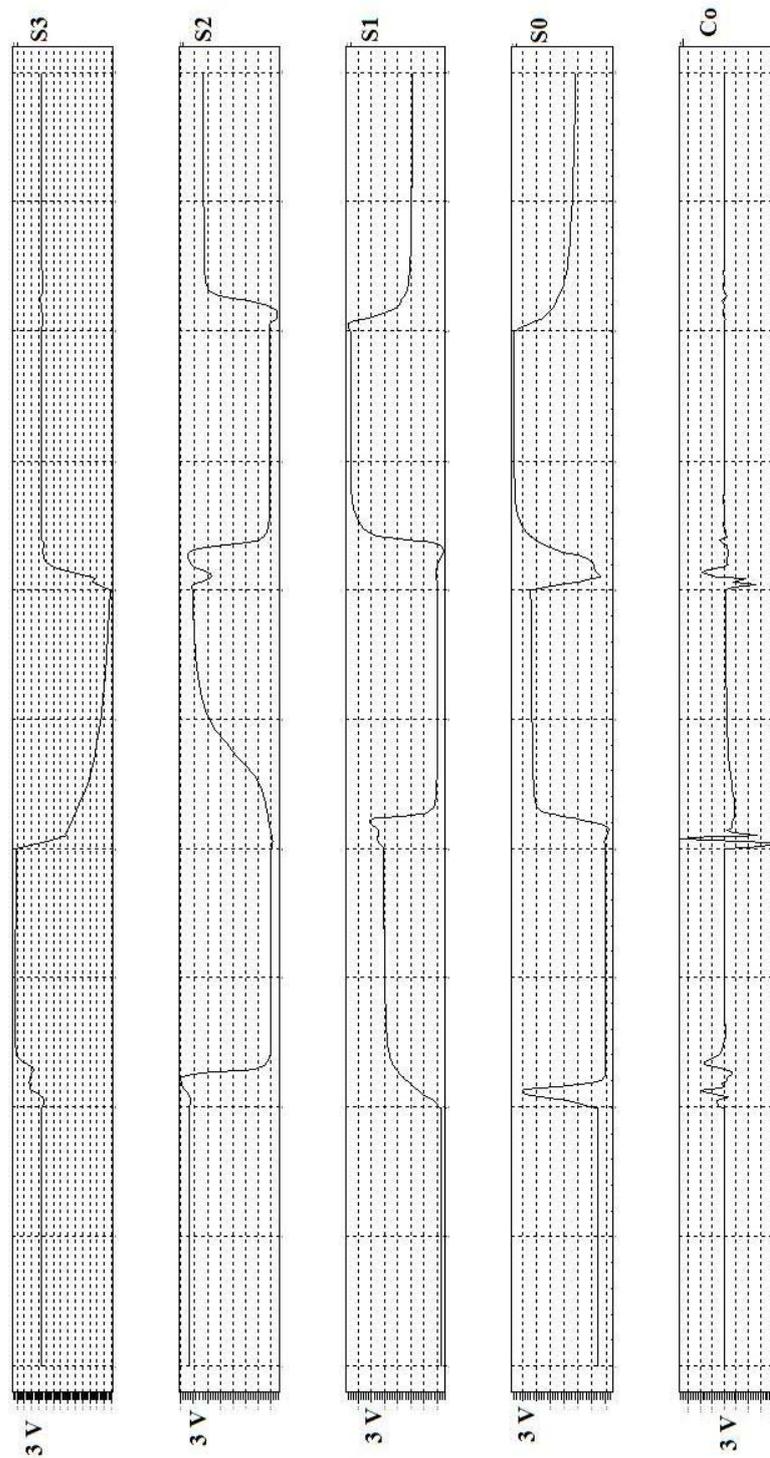
เมื่อทำการทดสอบที่ระดับแรงดันไฟเลี้ยง 5 V เสร็จสิ้นแล้ว จะนำวงจรรทั้งสองมาทำการทดสอบการทำงานที่ระดับแรงดันไฟเลี้ยง 3.3 V ซึ่งในการทดสอบจะทำการป้อนค่าสัญญาณเข้าต่างๆเป็นค่าเดียวกับการทดสอบที่ระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบการทำงานของทั้งสองวงจรรจะแสดงดังภาพที่ 42 และ ภาพที่ 43



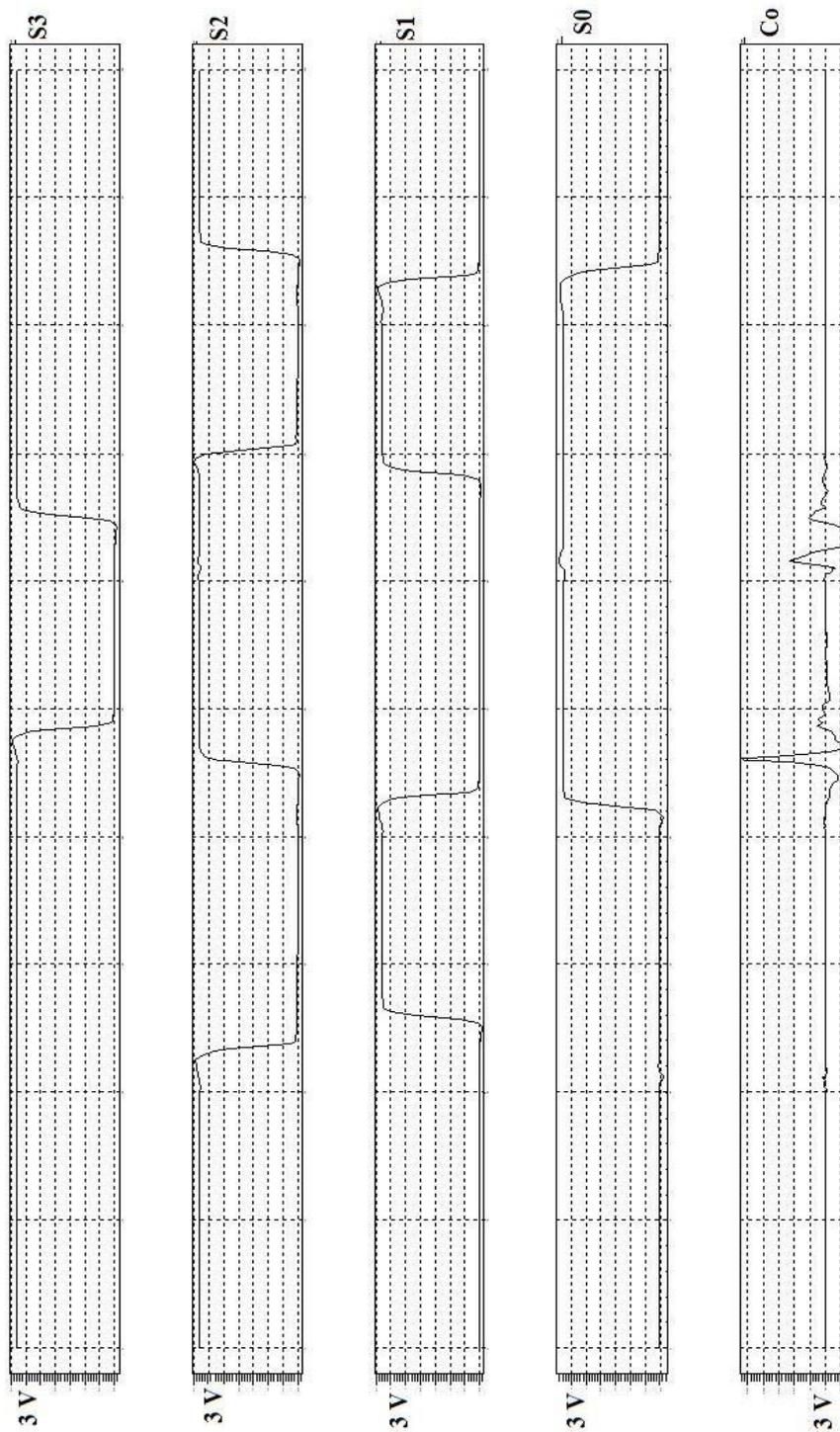
ภาพที่ 40 ภาพแสดงการทำงานของวงจร Pass transistor Ripple Carry Adder 4 บิต ที่  $V_{DD} = 5\text{ V}$



ภาพที่ 41 ภาพแสดงการทำงานของวงจร Static Ripple Carry Adder 4 บิต ที่  $V_{DD} = 5\text{ V}$



ภาพที่ 42 ภาพแสดงการทำงานของวงจร Pass transistor Ripple Carry Adder 4 บิต ที่  $V_{DD} = 3.3 \text{ V}$



ภาพที่ 43 ภาพแสดงการทำงานของวงจร Static Ripple Carry Adder 4 บิต ที่  $V_{DD} = 3.3 \text{ V}$

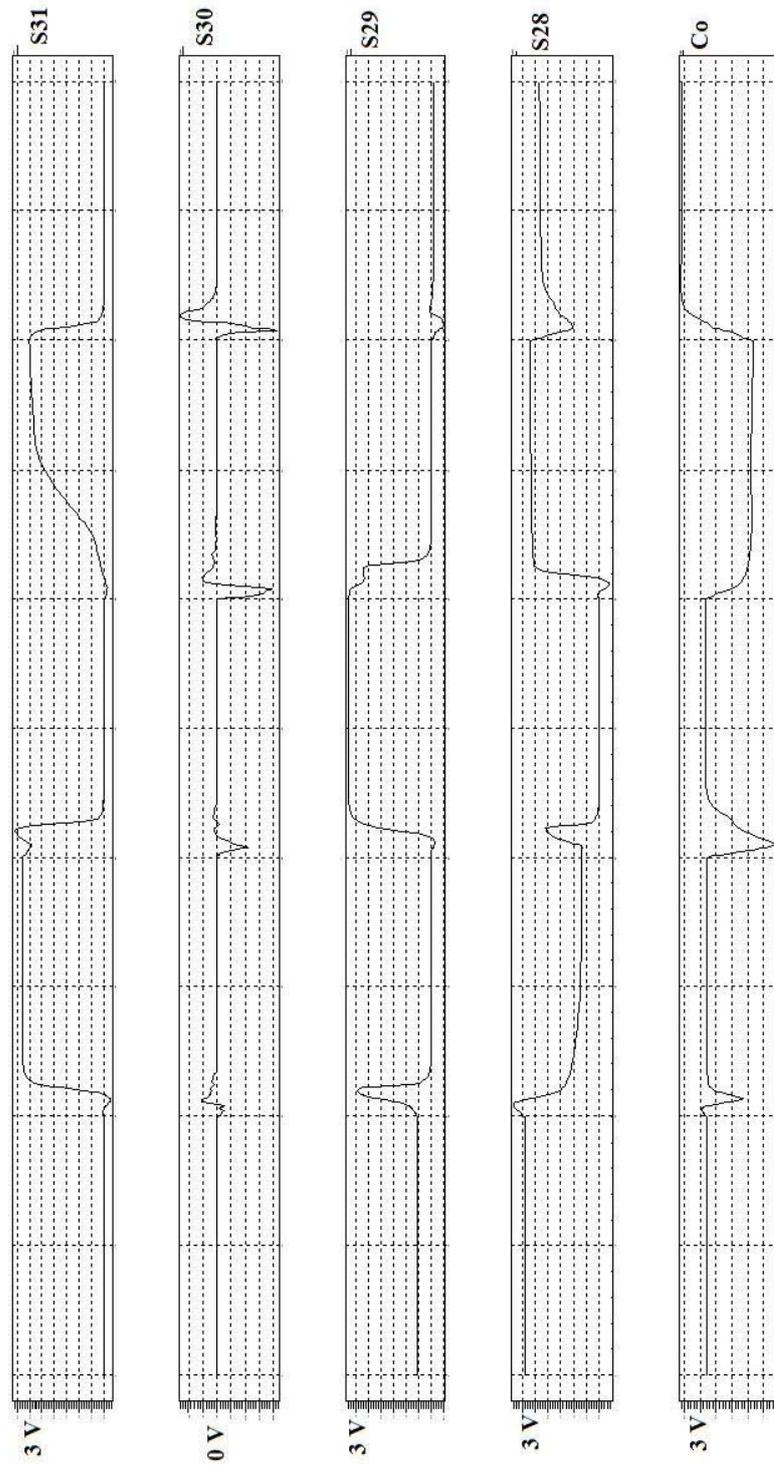
จากภาพที่ 42 และ ภาพที่ 43 จะพบว่าวงจรทั้ง PRCA และ SRCA สามารถทำงานได้ถูกต้องกับค่าที่ได้ทำการคำนวณไว้ แต่จะพบว่าในวงจร PRCA จะเริ่มมีขนาดสัญญาณที่ลดลงและเริ่มมีความผิดเพี้ยนของสัญญาณเล็กน้อย แต่ยังสามารถบอกได้ว่าเป็นลอจิก 0 หรือ ลอจิก 1

เมื่อทำการทดสอบวงจรบวกแบบตัวทวดเลื่อนที่มีขนาด 4 บิตแล้ว ขั้นตอนต่อมาคือทำการทดสอบวงจรบวกแบบตัวทวดเลื่อนทั้งแบบ PRCA และ SRCA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิต โดยจะทำการทดสอบโดยใช้ทั้งสองระดับแรงดันไฟเลี้ยง คือ 3.3 V และ 5 V โดยการกำหนดค่าสัญญาณเข้าจะมีรูปแบบเดียวกับการทดสอบในวงจรขนาด 4 บิต

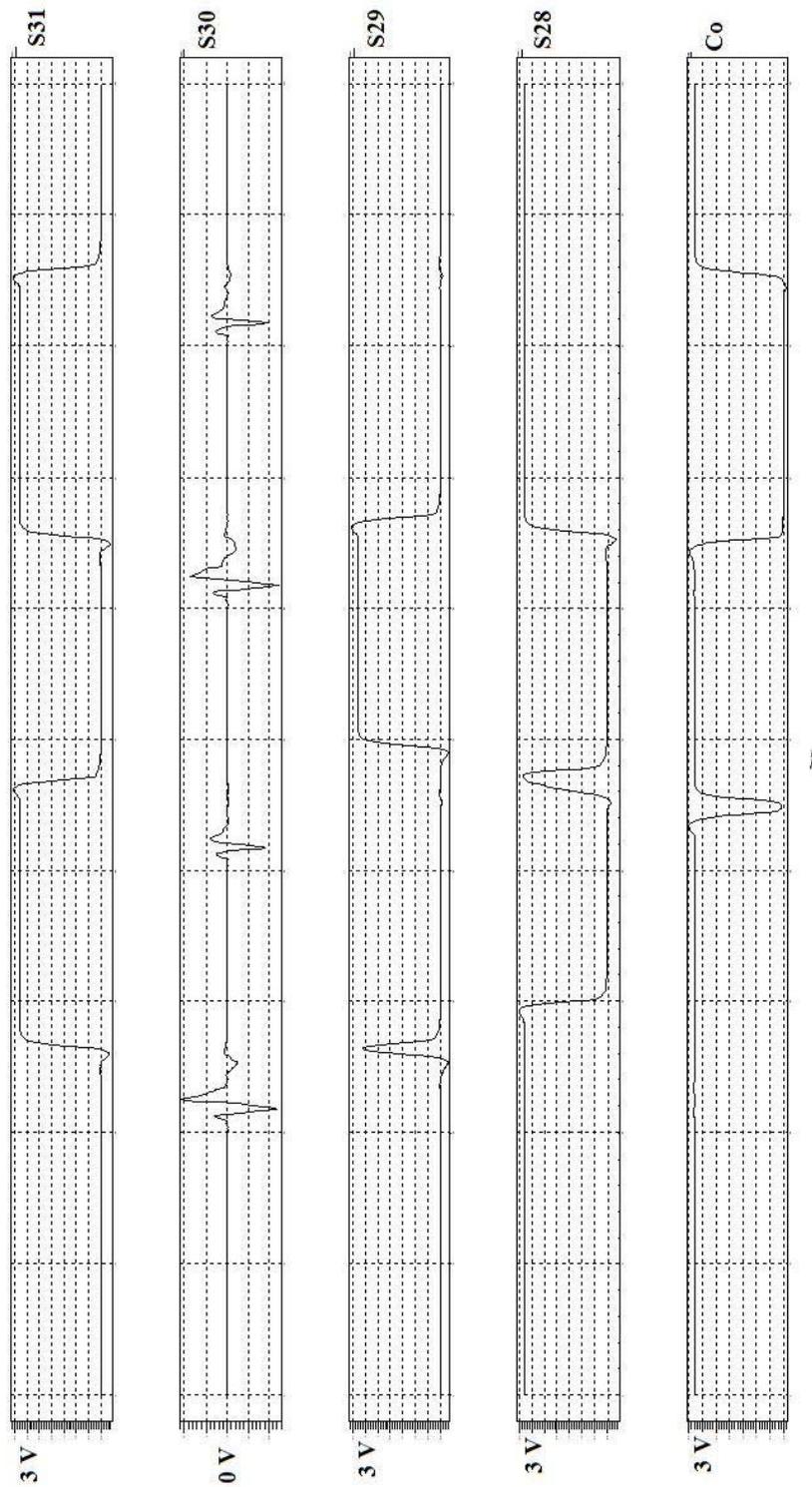
ซึ่งผลจากการทดสอบการทำงานทั้งหมดของวงจร PRCA และ SRCA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิต จะพบว่าวงจรทั้งสองแบบให้ผลการทำงานที่ถูกต้องและมีลักษณะคล้ายกับการทำงานของวงจรที่มีขนาด 4 บิต ทั้งในระดับแรงดันไฟเลี้ยง 5 V และ 3.3 V ซึ่งผลจากการทดสอบการทำงานนั้นจะแสดงผลของการทำงานของวงจร PRCA และ SRCA ขนาด 32 บิต ที่ทดสอบที่ระดับแรงดันไฟเลี้ยง 3.3 V โดยผลการทดสอบจะแสดงเพียงบิตที่ 31, 30, 29, 28 และ Co โดยผลการทดสอบแสดงดังภาพที่ 44 และ ภาพที่ 45

ซึ่งจากภาพที่ 44 และภาพที่ 45 จะพบว่าวงจรบวกแบบตัวทวดเลื่อนขนาด 32 บิต ทั้งแบบ PRCA และ SRCA สามารถทำงานได้ถูกต้องตามค่าจากการคำนวณจากค่าสัญญาณเข้าที่ป้อนให้เพื่อทำการทดสอบวงจร โดยจากภาพที่ 57 จะพบว่าวงจร PRCA เริ่มจะมีความผิดเพี้ยนของสัญญาณที่บางบิตเพิ่มขึ้นเมื่อเปรียบเทียบกับทดสอบที่ 4 บิต แต่ผลลัพธ์ยังคงบอกได้ว่าสัญญาณที่ผิดเพี้ยนนั้นให้ค่าที่มีลอจิกเป็นอะไรก็ได้ถูกต้อง ส่วนจากภาพที่ 58 จะพบว่าวงจร SRCA จะมีค่าหน่วงเวลาในแต่ละช่วงเพิ่มมากขึ้นเมื่อเปรียบเทียบกับทดสอบที่ 4 บิต ส่วนวงจร PRCA และ SRCA ที่ขนาด 8 บิต และ 16 บิต โดยใช้ระดับแรงดันไฟเลี้ยงต่ำสุดเท่ากับ 3.3 V จะมีผลการทดลองที่ถูกต้องและมีลักษณะกราฟที่ใกล้เคียงกับการทดสอบที่ 4 บิต หรือ 32 บิต

ดังนั้น จากผลการทดลองในขั้นต้นสามารถสรุปได้ว่าวงจรบวกชนิดตัวทวดเลื่อนที่ทำการออกแบบในงานวิจัยนี้ ทั้งในรูปแบบ PRCA และ SRCA ที่มีขนาด 4 บิต, 8 บิต, 16 บิต และ 32 บิต สามารถทำงานได้ถูกต้องโดยใช้ระดับแรงดันไฟเลี้ยงต่ำสุดเท่ากับ 3.3 V



ภาพที่ 44 ภาพแสดงการทำงานของวงจร Pass transistor Ripple Carry Adder 32 บิตที่  $V_{DD} = 3.3 \text{ V}$



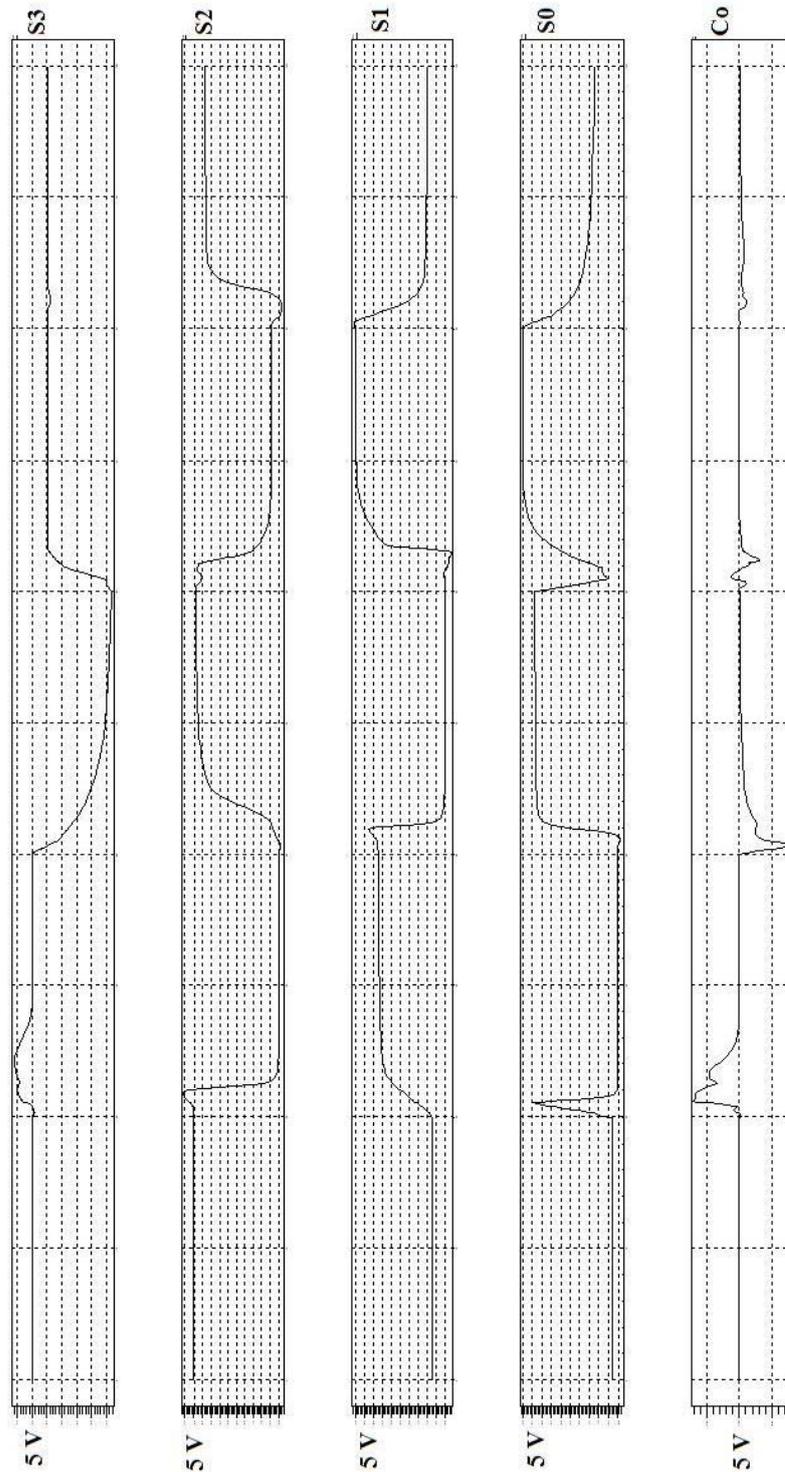
ภาพที่ 45 ภาพแสดงการทำงานของวงจร Static Ripple Carry Adder 32 บิต ที่  $V_{DD} = 3.3 \text{ V}$

### 1.3 วงจรบวกชนิดวงจรวกแบบคิตตัวทดลองหน้า

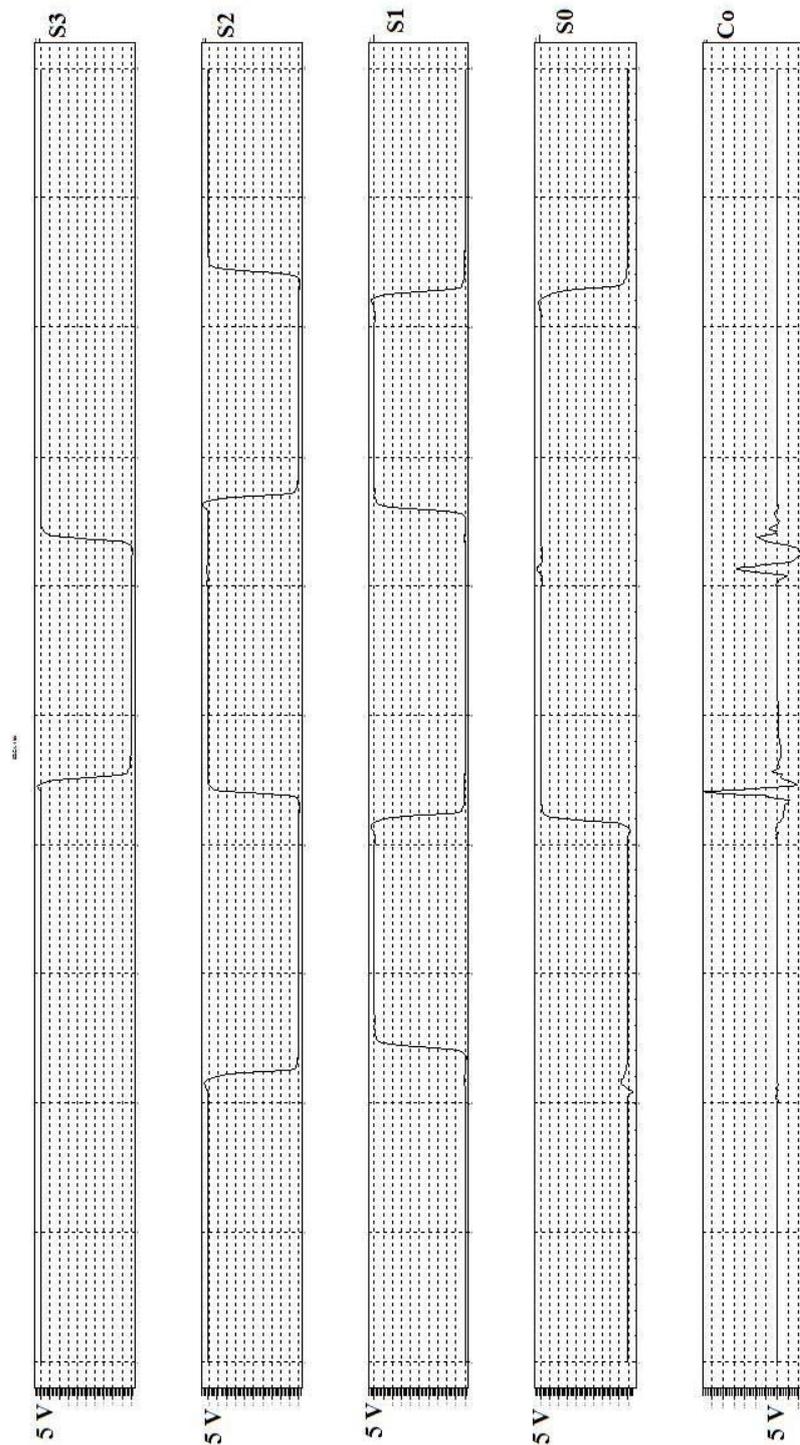
ต่อมาจะทำการทดสอบวงจรวกแบบคิตตัวทดลองหน้าทั้งวงจร PCLA และ SCLA โดยจะเริ่มจากการทดสอบวงจรวก PCLA และ SCLA ขนาด 4 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V โดยในการทดสอบการทำงานนั้น จะเริ่มจากการป้อนค่า A0, A1, A2, A3, B0, B1, B2, B3 และ Ci เท่ากับค่าที่ใช้ในการทดสอบวงจรวก PRCA และ SRCA ขนาด 4 บิต และทำการทดสอบที่ความถี่ 50 MHz ซึ่งผลจากการทดสอบจริงพบว่า ทั้งวงจร PCLA และ SCLA สามารถทำงานได้ถูกต้องตรงตามค่าจากการคำนวณ โดยผลการทดสอบของวงจรวก PCLA นั้นจะมีค่าลอจิก 1 ไม่เต็มค่าระดับแรงดันไฟเลี้ยงเหมือนกับวงจรวก PRCA โดยผลการทดสอบการทำงานของวงจรวก PCLA และ SCLA ขนาด 4 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V จะแสดงไว้ดังภาพที่ 46 และภาพที่ 47

ซึ่งจากภาพที่ 46 จะพบว่าวงจรวก PCLA จะมีรูปสัญญาณที่ผิดเพี้ยนไปบ้าง และมีค่าแรงดันไม่เต็มสเกลของระดับแรงดันไฟเลี้ยง แต่ยังสามารถบ่งบอกได้ว่ามีค่าเป็นลอจิก 0 หรือลอจิก 1 ส่วนในภาพที่ 47 จะพบว่าวงจรวก SCLA จะมีรูปสัญญาณที่เที่ยงตรงมาก และมีค่าแรงดันที่เต็มสเกลของระดับแรงดันไฟเลี้ยง แต่จะมีการหน่วงเวลาที่ค่อนข้างมากเมื่อเปรียบเทียบกับวงจรวก PCLA เนื่องจากวงจรวกแบบ SCLA จะใช้จำนวนทรานซิสเตอร์ในการออกแบบที่เยอะกว่าวงจรวกแบบ PCLA นั่นเอง

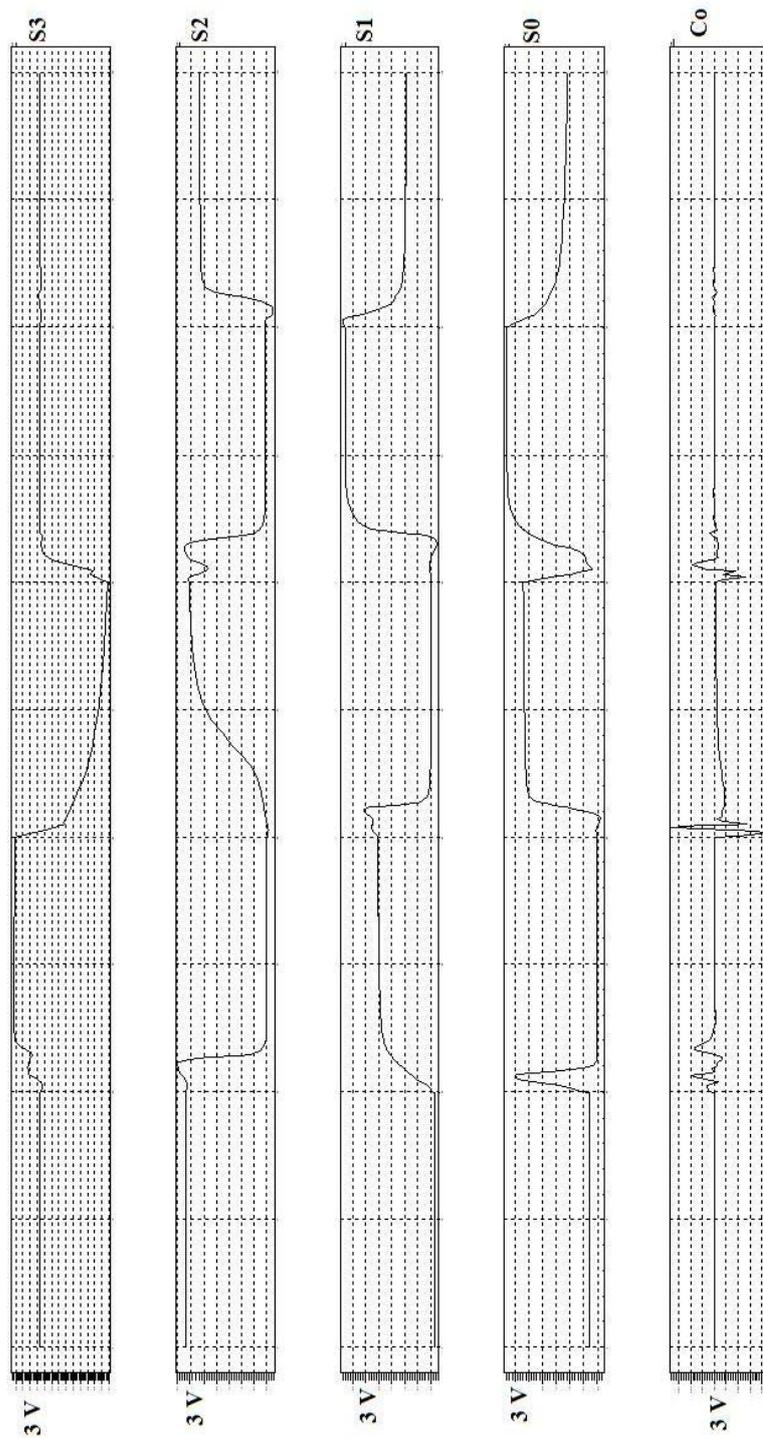
เมื่อทำการทดสอบที่ระดับแรงดันไฟเลี้ยง 5 V เสร็จสิ้นแล้ว จะนำวงจรวกทั้งสองมาทำการทดสอบการทำงานที่ระดับแรงดันไฟเลี้ยง 3.3 V ซึ่งในการทดสอบจะทำการป้อนค่าสัญญาณเข้าต่างๆเป็นค่าเดียวกับการทดสอบที่ระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบการทำงานของทั้งสองวงจรวกจะแสดงดังภาพที่ 48 และ ภาพที่ 49



ภาพที่ 46 ภาพแสดงการทำงานของวงจร Pass transistor Carry Lookahead Adder 4 บิตที่  $V_{DD} = 5V$

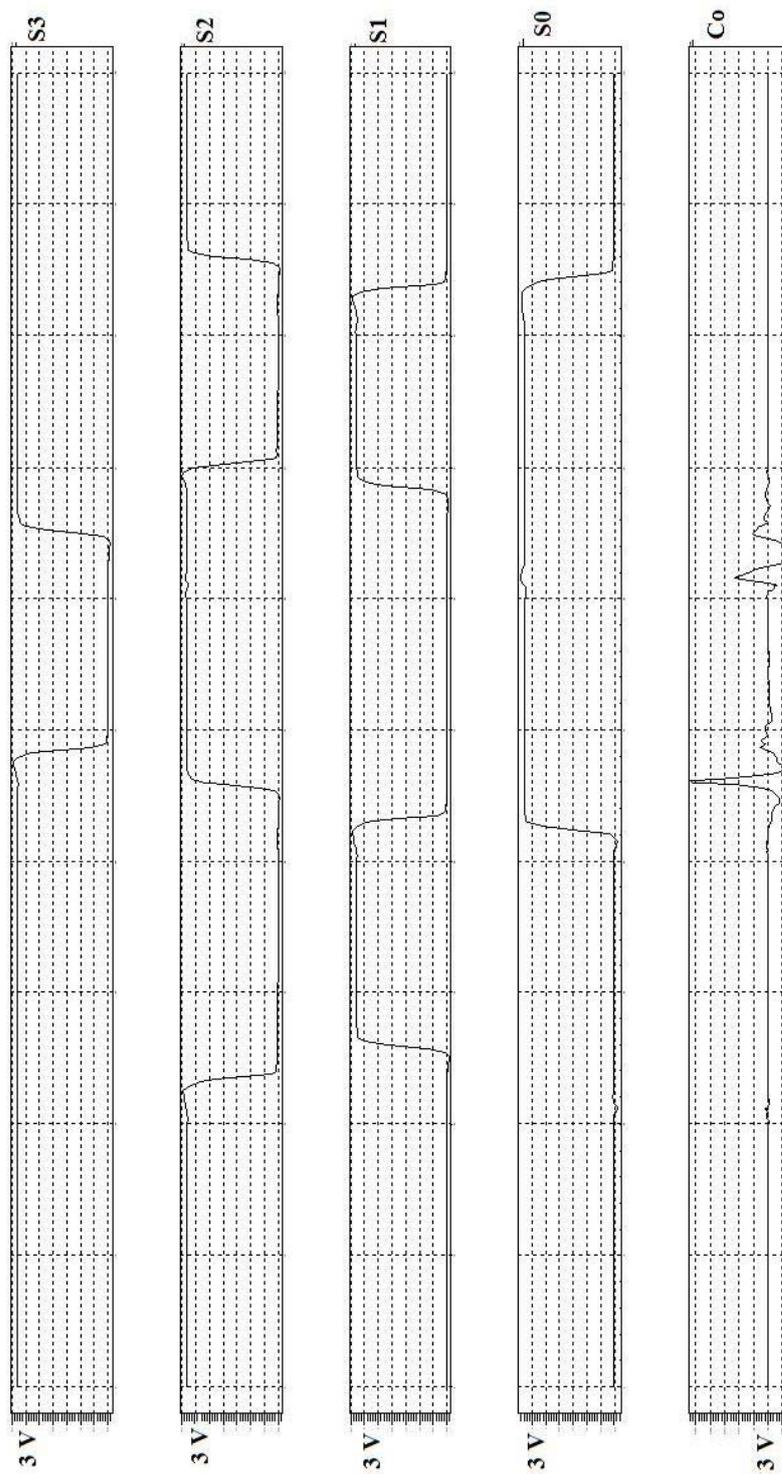


ภาพที่ 47 ภาพแสดงการทำงานของวงจร Static Carry Look-ahead Adder 4 บิต ที่  $V_{DD} = 5\text{ V}$



ภาพที่ 48 ภาพแสดงการทำงานของวงจร Pass transistor Carry Look-ahead Adder 4 บิต

ที่  $V_{DD} = 3.3 \text{ V}$



ภาพที่ 49 ภาพแสดงการทำงานของวงจร Static Carry Look-ahead Adder 4 บิต ที่  $V_{DD} = 3.3 \text{ V}$

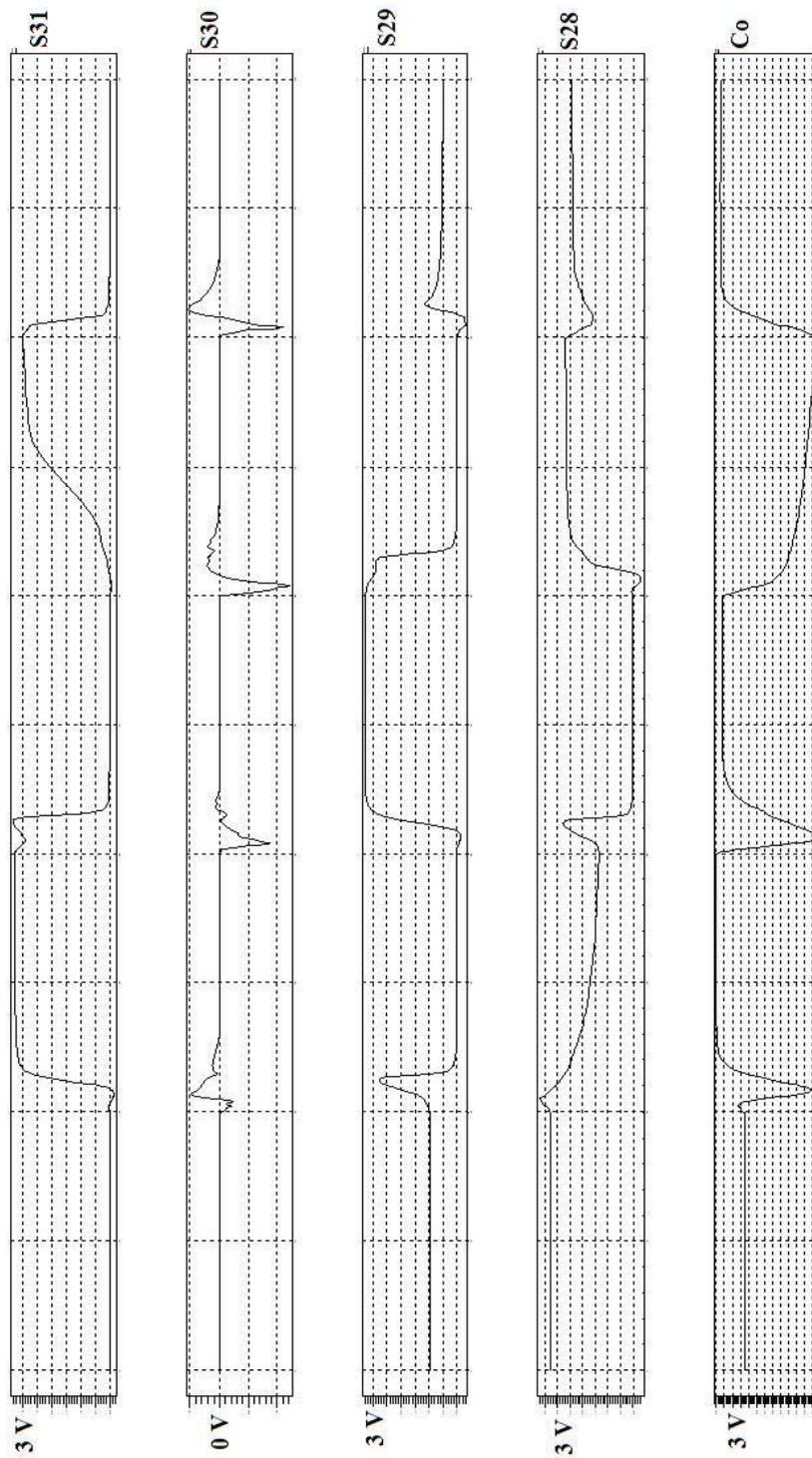
จากภาพที่ 48 และ ภาพที่ 49 จะพบว่าวงจรทั้ง PCLA และ SCLA สามารถทำงานได้ถูกต้องกับค่าที่ได้ทำการคำนวณไว้ แต่จะพบว่าในวงจร PCLA จะเริ่มมีขนาดสัญญาณที่ลดลง โดยเฉพาะบิต Co และเริ่มมีความผิดเพี้ยนของสัญญาณเล็กน้อย แต่ยังสามารถบอกได้ว่าเป็นลอจิก 0 หรือ ลอจิก 1 ส่วนในวงจร SCLA จะมีค่าหน่วงเวลาที่มากขึ้นเมื่อนำไปเปรียบเทียบกับ การทดสอบวงจร SCLA ที่ระดับแรงดันไฟเลี้ยง 5 V

เมื่อทำการทดสอบวงจรบวกแบบคิดตัวต่อหน้าที่มีขนาด 4 บิตแล้ว ขั้นตอนต่อมาคือทำการทดสอบวงจรบวกแบบคิดตัวต่อหน้าทั้งแบบ PCLA และ SCLA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิต โดยจะทำการทดสอบโดยใช้ทั้งสองระดับแรงดันไฟเลี้ยง คือ 3.3 V และ 5 V โดยการกำหนดค่าสัญญาณเข้าจะมีรูปแบบเดียวกับการทดสอบในวงจรขนาด 4 บิต

ซึ่งผลจากการทดสอบการทำงานทั้งหมดของวงจร PCLA และ SCLA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิต จะพบว่าวงจรทั้งสองแบบให้ผลการการทำงานที่ถูกต้องและมีลักษณะคล้ายกับการทำงานของวงจรที่มีขนาด 4 บิต ทั้งในระดับแรงดันไฟเลี้ยง 5 V และ 3.3 V ซึ่งผลจากการทดสอบการทำงานนั้นจะแสดงผลของการทำงานของวงจร PCLA และ SCLA ขนาด 32 บิต ที่ทดสอบที่ระดับแรงดันไฟเลี้ยง 3.3 V โดยผลการทดสอบจะแสดงเพียงบิตที่ 31, 30, 29, 28 และ Co โดยผลการทดสอบแสดงดังภาพที่ 50 และ ภาพที่ 51

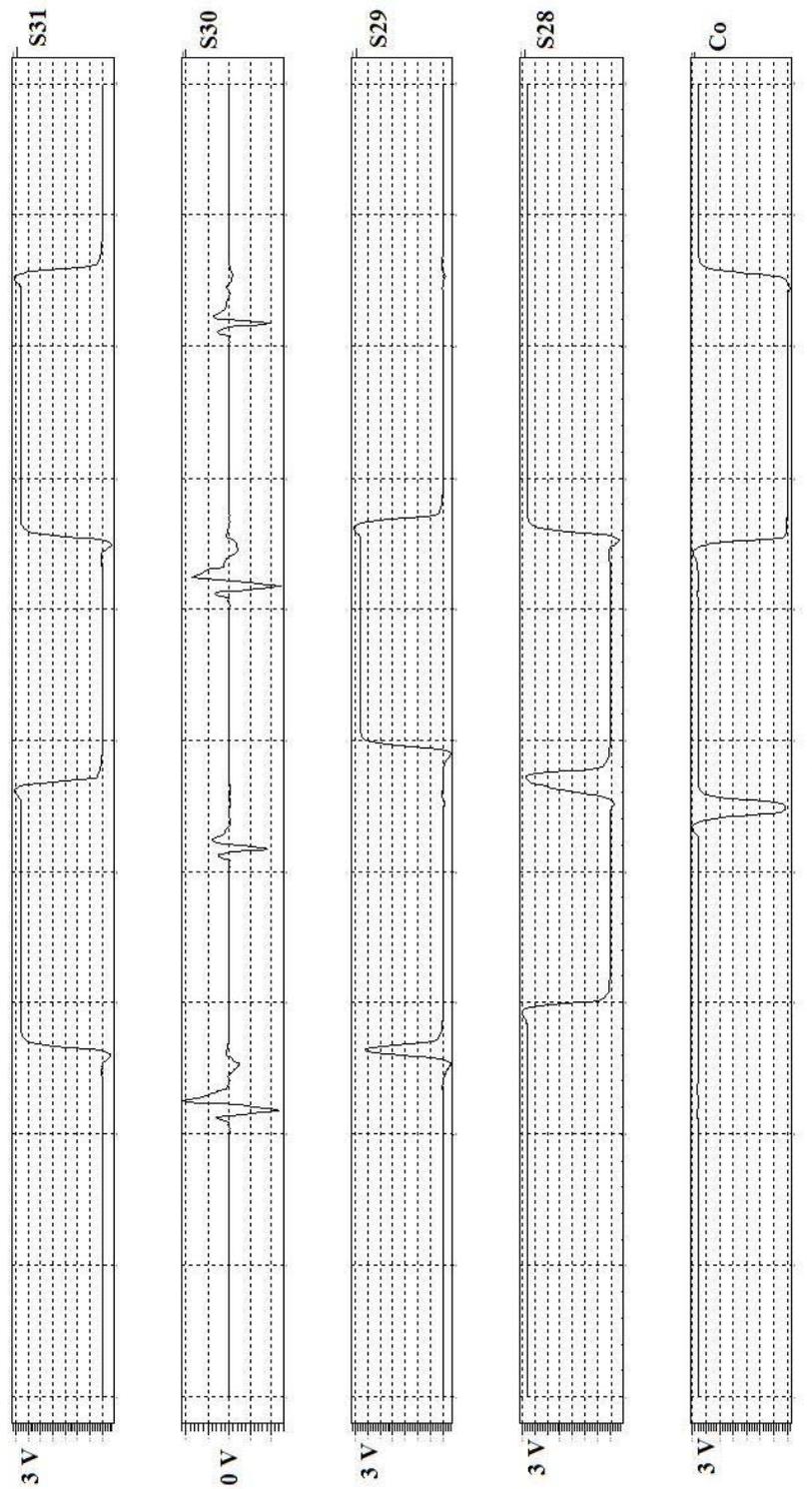
จากภาพที่ 50 และภาพที่ 51 จะพบว่าวงจรบวกแบบคิดตัวต่อหน้า ขนาด 32 บิต ทั้งแบบ PCLA และ SCLA สามารถทำงานได้ถูกต้องตามค่าจากการคำนวณจากค่าสัญญาณเข้าที่ป้อนให้เพื่อทำการทดสอบวงจร โดยจากภาพที่ 50 จะพบว่าวงจร PCLA เริ่มจะมีความผิดเพี้ยนของสัญญาณที่บางบิตเพิ่มขึ้นเมื่อเปรียบเทียบกับ การทดสอบที่ 4 บิต แต่ผลลัพธ์ยังคงบอกได้ว่าสัญญาณที่ผิดเพี้ยนนั้นให้ค่าที่มีลอจิกเป็นอะไรก็ได้ถูกต้อง ส่วนจากภาพที่ 51 จะพบว่าวงจร SCLA จะมีค่าหน่วงเวลาในแต่ละช่วงเพิ่มมากขึ้นเมื่อเปรียบเทียบกับ การทดสอบที่ 4 บิต ส่วนวงจร PCLA และ SCLA ที่มีขนาด 8 บิต และ 16 บิต โดยใช้ระดับแรงดันไฟเลี้ยงต่ำสุดเท่ากับ 3.3 V จะมีผลการทดลองที่ถูกต้องและมีลักษณะกราฟที่ใกล้เคียงกับการทดสอบที่ 4 บิต หรือ 32 บิต

ดังนั้น จากผลการทดลองในขั้นต้นสามารถสรุปได้ว่าวงจรบวกชนิดคิดตัวต่อหน้าที่ทำ การออกแบบในงานวิจัยนี้ ทั้งในรูปแบบ PCLA และ SCLA ที่มีขนาด 4 บิต, 8 บิต, 16 บิต และ 32 บิต สามารถทำงานได้ถูกต้อง โดยใช้ระดับแรงดันไฟเลี้ยงต่ำสุดเท่ากับ 3.3 V



ภาพที่ 50 ภาพแสดงการทำงานของวงจร Pass transistor Carry Look-ahead Adder 32 บิต ที่

$$V_{DD} = 3.3 \text{ V}$$



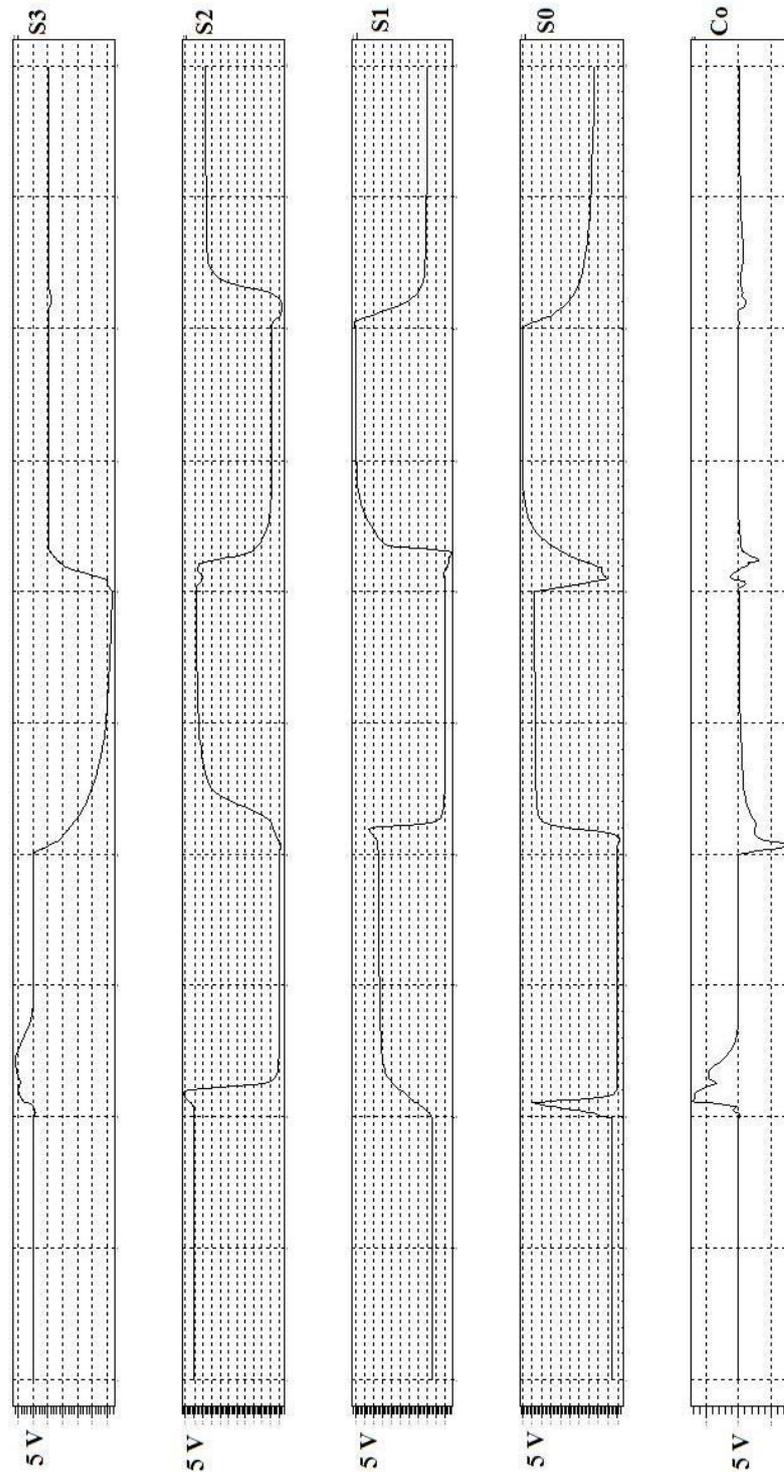
ภาพที่ 51 ภาพแสดงการทำงานของวงจร Static Carry Look-ahead Adder 32 บิต ที่  $V_{DD} = 3.3 \text{ V}$

#### 1.4 วงจรบวกชนิดวงจรวกแบบเลือกตัวทดสอบ

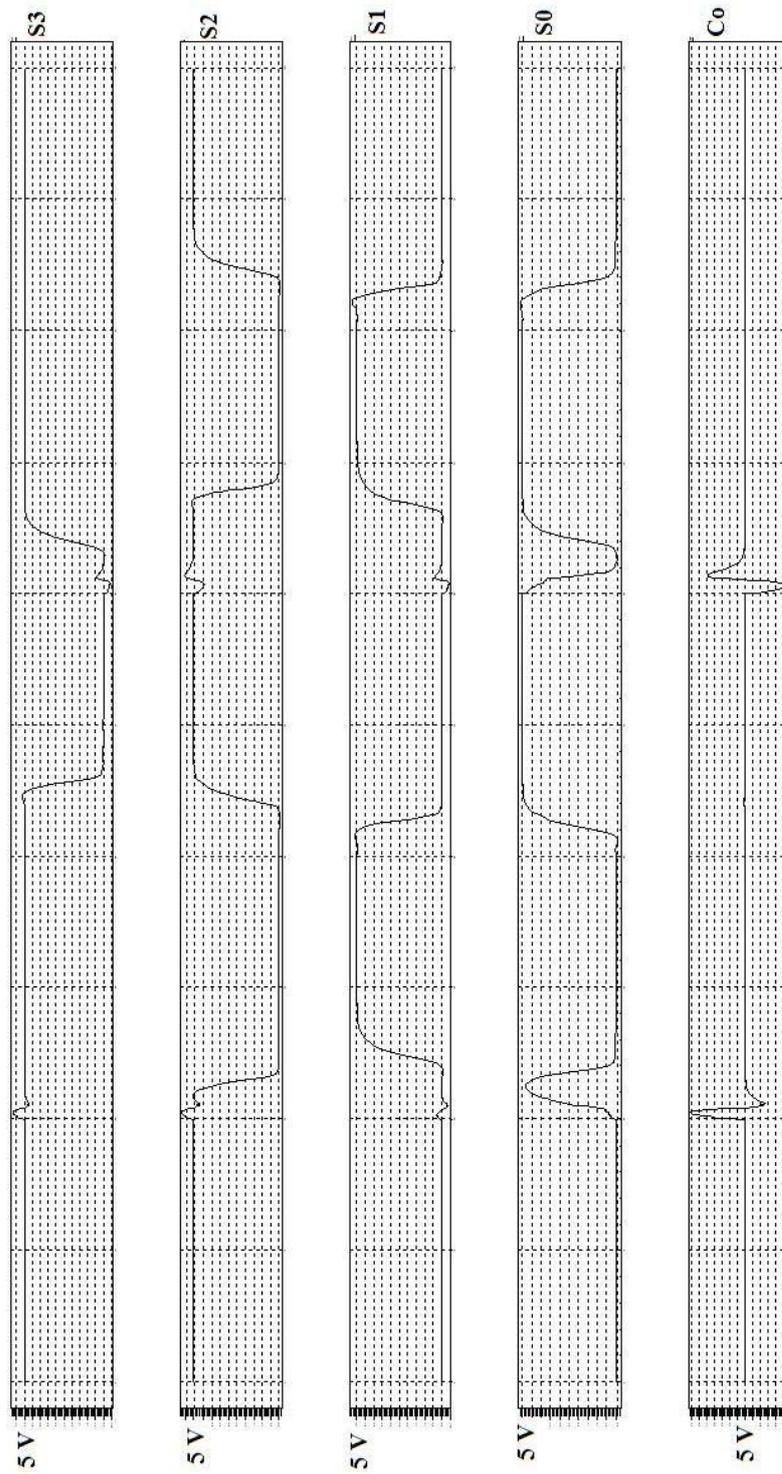
ในส่วนต่อมาจะทำการทดสอบวงจรวกแบบเลือกตัวทดสอบ ทั้งวงจร PCSA และ SCSA โดยจะเริ่มจากการทดสอบวงจรวก PCSA และ SCSA ขนาด 4 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V โดยในการทดสอบการทำงานนั้น จะเริ่มจากการป้อนค่า A0, A1, A2, A3, B0, B1, B2, B3 และ Ci เท่ากับค่าที่ใช้ในการทดสอบวงจรวก PRCA และ SRCA ขนาด 4 บิต และทำการทดสอบที่ความถี่ 50 MHz ซึ่งผลจากการทดสอบจริงพบว่า ทั้งวงจร PCSA และ SCSA สามารถทำงานได้ถูกต้องตรงตามค่าจากการคำนวณ โดยผลการทดสอบของวงจรวก PCSA นั้นจะมีค่าลอจิก 1 ไม่เต็มค่าระดับแรงดันไฟเลี้ยงเหมือนกับวงจรวก PRCA โดยผลการทดสอบการทำงานของวงจรวก PCSA และ SCSA ขนาด 4 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V จะแสดงไว้ดังภาพที่ 52 และภาพที่ 53

ซึ่งจากภาพที่ 52 จะพบว่าวงจรวก PCSA จะมีรูปสัญญาณที่ผิดเพี้ยนไปมากที่สุด เมื่อเปรียบเทียบกับวงจรวกที่ออกแบบโดยใช้ Pass transistor และวงจรวก PCSA 4 บิต มีค่าแรงดันไม่เต็มสเกลของระดับแรงดันไฟเลี้ยง แต่ยังสามารถบ่งบอกได้ว่ามีค่าเป็นลอจิก 0 หรือลอจิก 1 ส่วนในภาพที่ 53 จะพบว่าวงจรวก SCSA จะมีรูปสัญญาณที่เที่ยงตรงมาก และมีค่าแรงดันที่เต็มสเกลของระดับแรงดันไฟเลี้ยง แต่จะมีการหน่วงเวลาที่ค่อนข้างมากเมื่อเปรียบเทียบกับวงจรวกอื่นๆ ที่ทำการออกแบบ

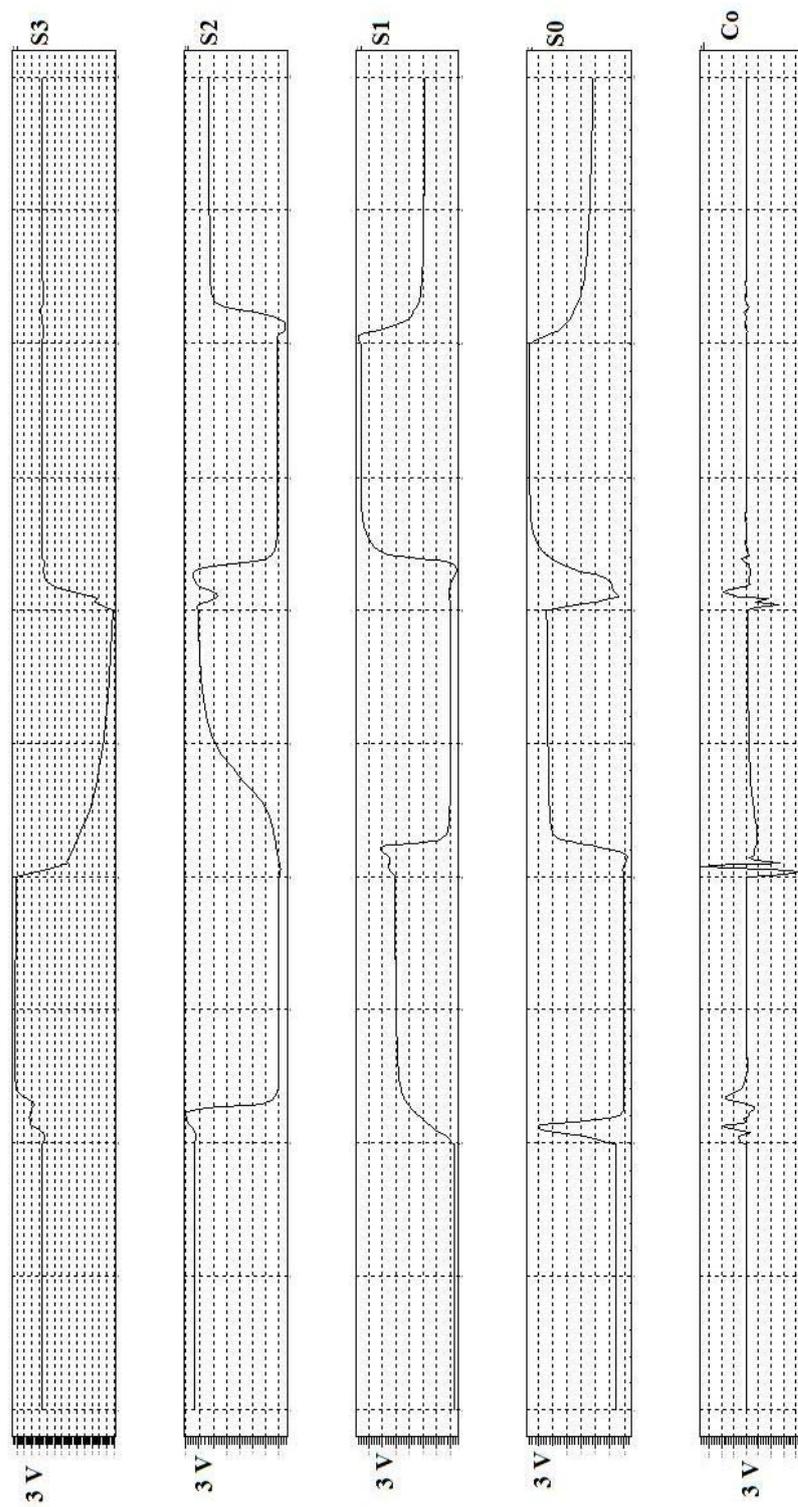
เมื่อทำการทดสอบที่ระดับแรงดันไฟเลี้ยง 5 V เสร็จสิ้นแล้ว จะนำวงจรวกทั้งสองมาทำการทดสอบการทำงานที่ระดับแรงดันไฟเลี้ยง 3.3 V ซึ่งในการทดสอบจะทำการป้อนค่าสัญญาณเข้าต่างๆ เป็นค่าเดียวกับการทดสอบที่ระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบการทำงานของทั้งสองวงจรวกจะแสดงดังภาพที่ 54 และ ภาพที่ 55



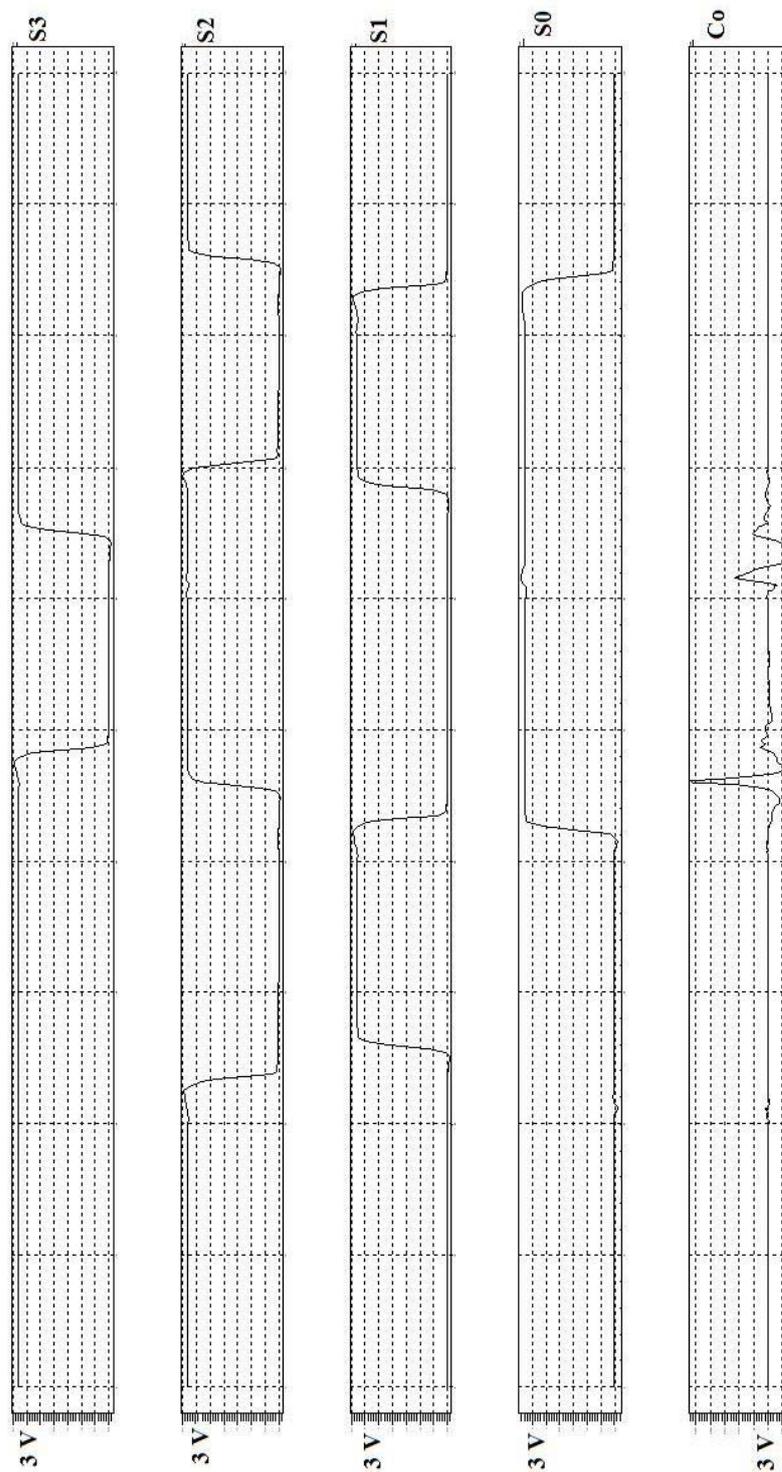
ภาพที่ 52 ภาพแสดงการทำงานของวงจร Pass transistor Carry Select Adder 4 บิต ที่  $V_{DD} = 5\text{ V}$



ภาพที่ 53 ภาพแสดงการทำงานของวงจร Static Carry Select Adder 4 บิต ที่  $V_{DD} = 5\text{ V}$



ภาพที่ 54 ภาพแสดงการทำงานของวงจร Pass transistor Carry Select Adder 4 บิต ที่  $V_{DD} = 3.3 \text{ V}$



ภาพที่ 55 ภาพแสดงการทำงานของวงจร Static Carry Select Adder 4 บิต ที่  $V_{DD} = 3.3 \text{ V}$

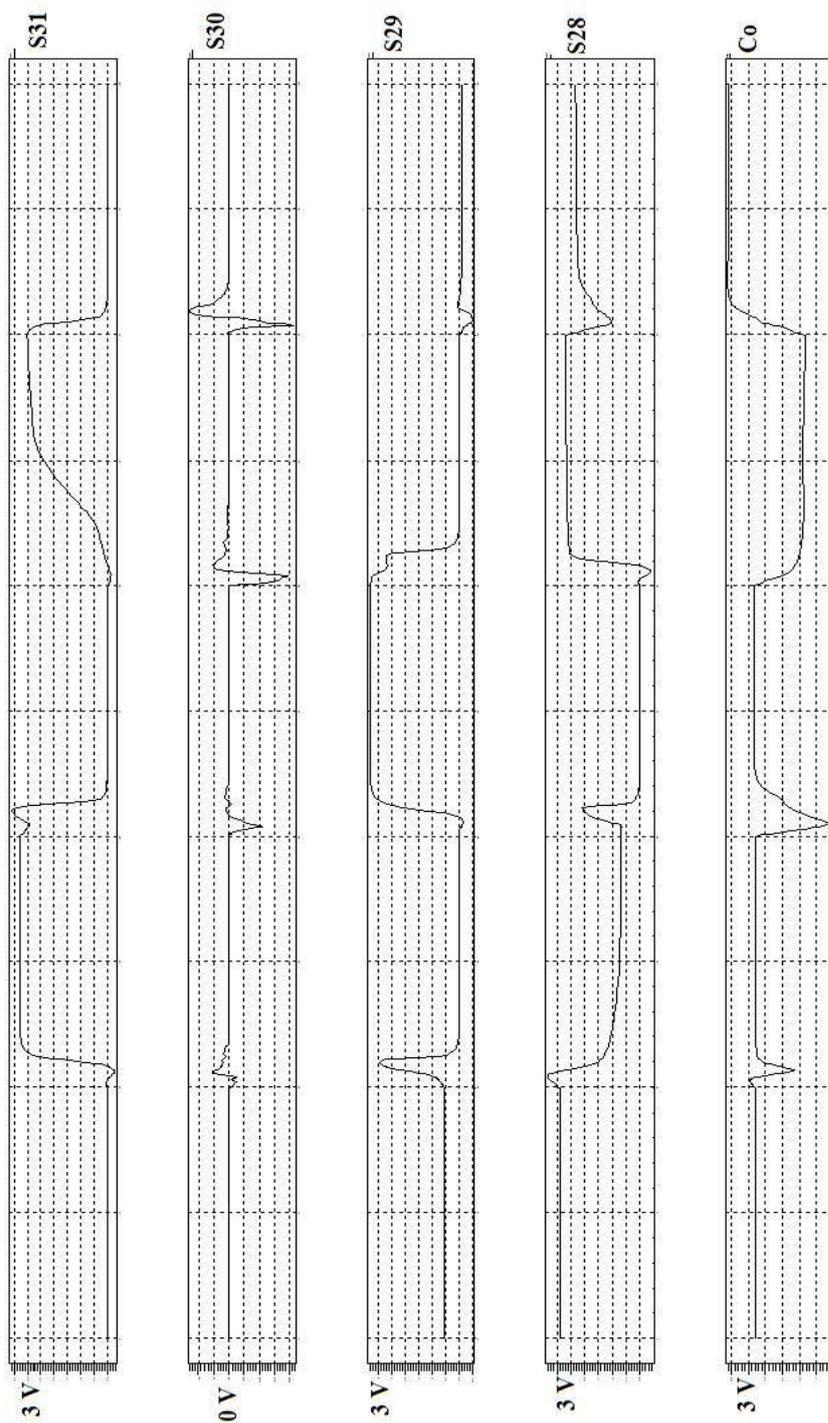
จากภาพที่ 54 และ ภาพที่ 55 จะพบว่าวงจรทั้ง PCSA และ SCSCA สามารถทำงานได้ถูกต้องกับค่าที่ได้ทำการคำนวณไว้ แต่จะพบว่าในวงจร PCSA จะเริ่มมีขนาดสัญญาณที่ลดลง โดยเฉพาะบิต Co และเริ่มมีความผิดเพี้ยนของสัญญาณเพิ่มมากขึ้น แต่ยังสามารถบอกได้ว่าเป็นลอจิก 0 หรือ ลอจิก 1 ส่วนในวงจร SCSCA จะมีค่าหน่วงเวลาที่มากขึ้นเมื่อนำไปเปรียบเทียบกับ การทดสอบวงจร SCSCA ที่ระดับแรงดันไฟเลี้ยง 5 V

เมื่อทำการทดสอบวงจรแบบเลือกตัวทวดที่มีขนาด 4 บิตแล้ว ขั้นตอนต่อมาคือทำการทดสอบวงจรแบบเลือกตัวทวดทั้งแบบ PCSA และ SCSCA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิต โดยจะทำการทดสอบโดยใช้ทั้งสองระดับแรงดันไฟเลี้ยง คือ 3.3 V และ 5 V โดยการกำหนดค่าสัญญาณเข้าจะมีรูปแบบเดียวกับการทดสอบในวงจรขนาด 4 บิต

ซึ่งผลจากการทดสอบการทำงานทั้งหมดของวงจร PCSA และ SCSCA ที่มีขนาด 8 บิต, 16 บิต และ 32 บิต จะพบว่าวงจรทั้งสองแบบให้ผลการการทำงานที่ถูกต้องและมีลักษณะคล้ายกับการทำงานของวงจรที่มีขนาด 4 บิต ทั้งในระดับแรงดันไฟเลี้ยง 5 V และ 3.3 V ซึ่งผลจากการทดสอบการทำงานนั้นจะแสดงผลของการทำงานของวงจร PCSA และ SCSCA ขนาด 32 บิต ที่ทดสอบที่ระดับแรงดันไฟเลี้ยง 3.3 V โดยผลการทดสอบจะแสดงเพียงบิตที่ 31, 30, 29, 28 และ Co โดยผลการทดสอบแสดงดังภาพที่ 56 และ ภาพที่ 57

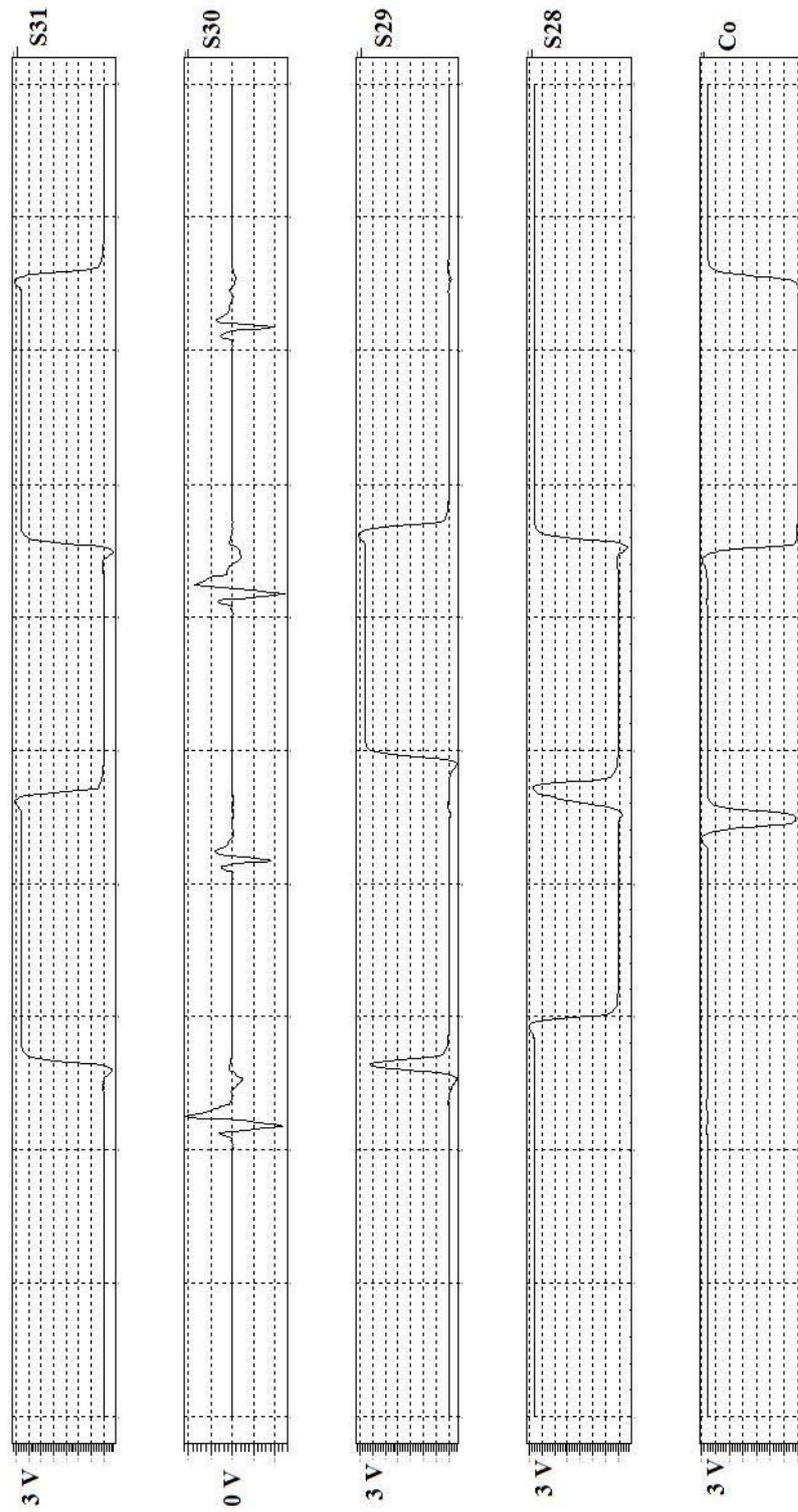
จากภาพที่ 56 และภาพที่ 57 จะพบว่าวงจรแบบเลือกตัวทวด ขนาด 32 บิต ทั้งแบบ PCSA และ SCSCA สามารถทำงานได้ถูกต้องตามค่าจากการคำนวณจากค่าสัญญาณเข้าที่ป้อนให้เพื่อทำการทดสอบวงจร โดยจากภาพที่ 56 จะพบว่าวงจร PCSA เริ่มจะมีความผิดเพี้ยนของสัญญาณที่บางบิตเพิ่มขึ้นเมื่อเปรียบเทียบกับ การทดสอบที่ 4 บิต แต่ผลลัพธ์ยังคงบอกได้ว่าสัญญาณที่ผิดเพี้ยนนั้นให้ค่าที่มีลอจิกเป็นอะไรก็ได้ถูกต้อง ส่วนจากภาพที่ 57 จะพบว่าวงจร SCSCA จะมีค่าหน่วงเวลาในแต่ละช่วงเพิ่มมากขึ้นเมื่อเปรียบเทียบกับ การทดสอบที่ 4 บิต นอกจากนี้ยังพบความผิดเพี้ยนของรูปสัญญาณบ้าง เนื่องจากวงจรบวกรวมเลือกตัวทวดจะต้องใช้วงจรบวกรวมตัวทวดเลื่อนมาใช้ในการออกแบบร่วมกับวงจร MUX ส่งผลให้วงจร SCSCA มีขนาดใหญ่มาก ซึ่งอาจส่งผลกระทบต่อ การผิดเพี้ยนของสัญญาณและค่าหน่วงเวลา ส่วนวงจร PCSA และ SCSCA ที่ขนาด 8 บิต และ 16 บิต โดยใช้ระดับแรงดันไฟเลี้ยงต่ำสุดเท่ากับ 3.3 V จะมีผลการทดลองที่ถูกต้องและมีลักษณะกราฟที่ใกล้เคียงกับการทดสอบที่ 4 บิต หรือ 32 บิต แต่ในส่วนวงจร SCSCA ที่ 8 และ 16 บิต นั้นจากการทดสอบจะไม่พบการผิดเพี้ยนของสัญญาณเหมือนวงจร SCSCA ขนาด 32 บิต

ดังนั้น จากผลการทดลองในขั้นต้นสามารถสรุปได้ว่าวงจรแบบเลือกตัวทวดที่ทำการออกแบบในงานวิจัยนี้ ทั้งในรูปแบบ PCSA และ SCSCA ที่มีขนาด 4 บิต, 8 บิต, 16 บิต และ 32 บิต สามารถทำงานได้ถูกต้องโดยใช้ระดับแรงดันไฟเลี้ยงต่ำสุดเท่ากับ 3.3 V



ภาพที่ 56 ภาพแสดงการทำงานของวงจร Pass transistor Carry Select Adder CSA 32 บิต ที่

$$V_{DD} = 3.3 \text{ V}$$



ภาพที่ 57 ภาพแสดงการทำงานของวงจร Static Carry Select Adder 32 บิต ที่  $V_{DD} = 3.3 \text{ V}$

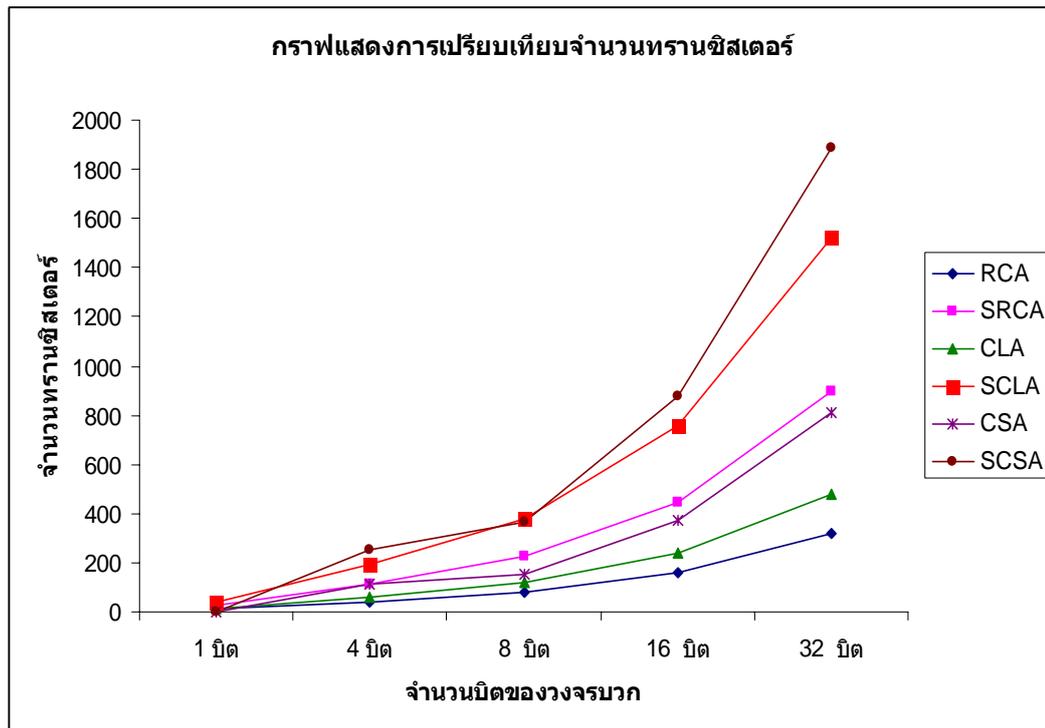
## 2. ผลการทดสอบจำนวนทรานซิสเตอร์ของวงจรวก

ภายหลังจากการทดสอบการทำงานของวงจรวก จะทำการวิเคราะห์ถึงจำนวนของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรวก ซึ่งจำนวนของทรานซิสเตอร์ที่นำมาใช้ในการออกแบบนั้น สามารถนำผลมาจากการทดสอบการทำงานของวงจรโดยใช้โปรแกรม T-Spice นั้นเอง โดยจำนวนของทรานซิสเตอร์มาจากการทดสอบจากการออกแบบวงจรวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS วงจรวกขนาด 4, 8, 16 และ 32 บิต ของวงจรวกชนิด PRCA, SRCA, PCLA, SCLA, PCSA และ SCSA โดยจำนวนทรานซิสเตอร์ทั้งหมดของวงจรที่ทำการออกแบบนั้นแสดงดัง ตารางที่ 2

ตารางที่ 2 ตารางแสดงจำนวนทรานซิสเตอร์ของวงจรวกที่ทำการออกแบบ

ชนิดวงจร	จำนวนทรานซิสเตอร์ของวงจรวกที่ขนาด				
	1 บิต	4 บิต	8 บิต	16 บิต	32 บิต
PRCA	10	40	80	160	320
SRCA	28	112	224	448	896
PCLA	11	60	120	240	480
SCLA	40	190	380	760	1520
PCSA	-	110	150	370	810
SCSA	-	254	366	874	1890

จากค่าในตารางที่ 2 จะสามารถสร้างกราฟแสดงการเปรียบเทียบจำนวนของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรวกรูปแบบต่างๆ และทุกจำนวนบิต โดยจะแสดงดังภาพที่ 58



ภาพที่ 58 ภาพแสดงกราฟเปรียบเทียบจำนวนทรานซิสเตอร์ในการออกแบบวงจรวก

จากภาพที่ 58 จะพบว่าวงจรวกขนาด 1 บิตที่ทำการออกแบบโดยใช้ Pass transistor นั้น จะสามารถลดขนาดของวงจรถงได้มากเมื่อเปรียบเทียบกับวงจรวกขนาด 1 บิต ที่ออกแบบโดยใช้ Static Complementary CMOS เนื่องจากสามารถออกแบบให้ใช้ทรานซิสเตอร์น้อยกว่าถึง 18 ตัว ซึ่งเมื่อทำการออกแบบวงจรวกขนาด  $n$  บิต ทั้งชนิด PRCA, SRCA, PCLA, SCLA, PCSA และ SCSA จะพบว่า การออกแบบวงจรวกแบบตัวตล่อนจะมีการใช้จำนวนทรานซิสเตอร์สำหรับออกแบบในวงจรมน่ยที่สุด ส่วนวงจรวกแบบเลือกตัวตล่อนนั้นจะมีจำนวนของทรานซิสเตอร์ในการออกแบบที่สูงที่สุด และเมื่อทำการออกแบบให้มีขนาดจำนวนบิตที่เพิ่มขึ้นนั้น จะพบว่าวงจรมน่ยที่ออกแบบโดยใช้ Static Complementary CMOS นั้น ยังมีจำนวนทรานซิสเตอร์ที่เพิ่มมากขึ้น ทำให้วงจรวกขนาด  $n$  บิต ที่ออกแบบโดยใช้ Pass transistor จะมีขนาดของวงจรถดลงเมื่อเปรียบเทียบกับ การออกแบบวงจรวกขนาด  $n$  บิต ที่ออกแบบโดยใช้ Static Complementary CMOS

### 3. ผลการทดสอบการใช้กำลังงานของวงจรวก

ในส่วนต่อมาจะทำการทดสอบและวิเคราะห์ผลการทดสอบการใช้กำลังงานของวงจรวกชนิดต่างๆ และที่บิตต่างๆ ที่ทำการออกแบบในงานวิจัยนี้

#### 3.1 วงจรวกขนาด 1 บิต

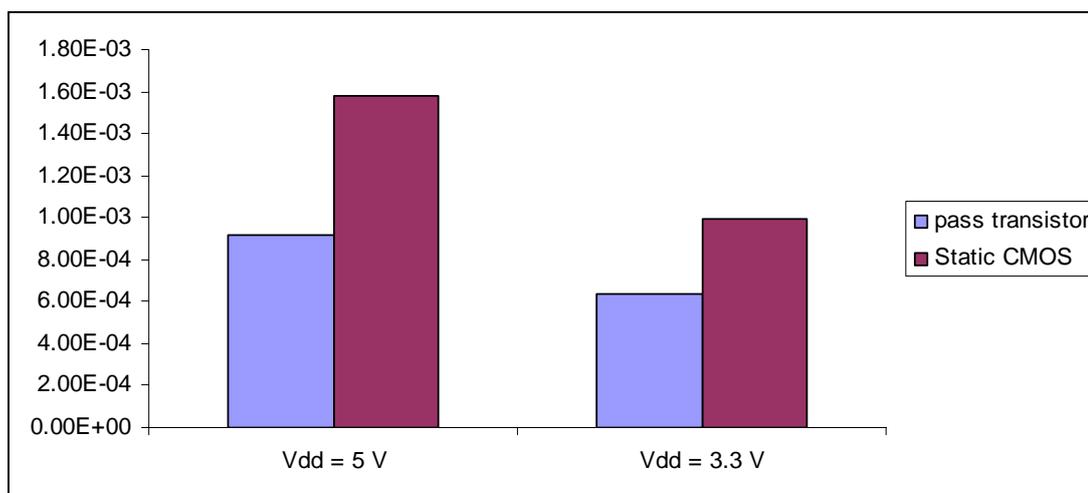
ในส่วนนี้จะทำการทดสอบการใช้กำลังงานของวงจรวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบแสดงดังตารางที่ 3

ตารางที่ 3 ตารางแสดงผลการใช้กำลังงานของวงจรวกขนาด 1 บิต

ชนิดวงจรวก	pass transistor	Static CMOS	% ของกำลังงานที่ลดลง
$P_{avg}$ ที่ $V_{DD} = 5 \text{ V (W)}$	9.13E-04	1.58E-03	42.22
$P_{avg}$ ที่ $V_{DD} = 3.3 \text{ V (W)}$	6.36E-04	9.92E-04	35.89
% ของกำลังงานที่ลดลง	30.34	37.22	

จากตารางที่ 3 จะพบว่าวงจรวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor จะประหยัดกำลังงานกว่าวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS โดยเมื่อนำค่าจากตารางมาคำนวณ จะพบว่ากำลังงานจากการออกแบบโดยใช้ Pass transistor จะลดลงถึง 42 % และเมื่อนำวิธีการลดระดับแรงดันมาใช้จะพบว่ากำลังงานของวงจรวกลดลงอีก 30 %

นอกจากนี้ยังสามารถนำค่ามาสร้างกราฟแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 1 บิต ได้ดังภาพที่ 59 โดยภาพที่ 59 จะแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกทั้ง 2 แบบ ที่ 2 ระดับแรงดัน ซึ่งจะแสดงให้เห็นว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor จะประหยัดกำลังงานกว่าวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS



ภาพที่ 59 ภาพกราฟแสดงการเปรียบเทียบค่ากำลังงานเฉลี่ยของวงจรมวกขนาด 1 บิต

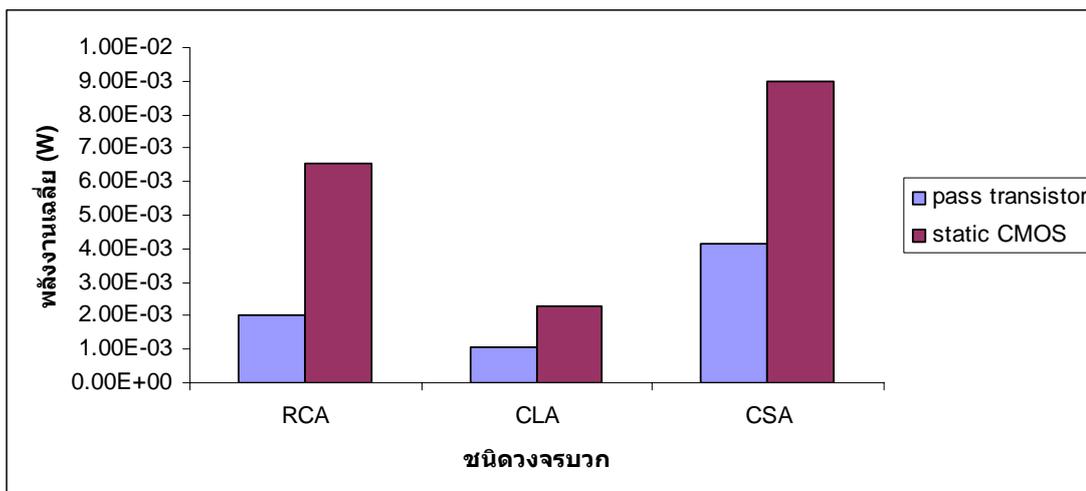
### 3.2 วงจรมวกขนาด 4 บิต

ในหัวข้อนี้จะทำการทดสอบการใช้กำลังงานของวงจรมวกขนาด 4 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA , SRCA , PCCLA , SCLA , PCSA และ SCSEA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบแสดงดังตารางที่ 4

ตารางที่ 4 ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรมวกขนาด 4 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจร	pass transistor	static CMOS	% ของกำลังงานที่ลดลง
RCA	2.03E-03	6.56E-03	69.05
CLA	1.04E-03	2.28E-03	54.39
CSA	4.14E-03	9.01E-03	54.05

ซึ่งค่าจากตารางที่ 4 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรมวกขนาด 4 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V ได้ดังภาพที่ 60



ภาพที่ 60 ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 4 บิตที่  $V_{DD} = 5\text{ V}$

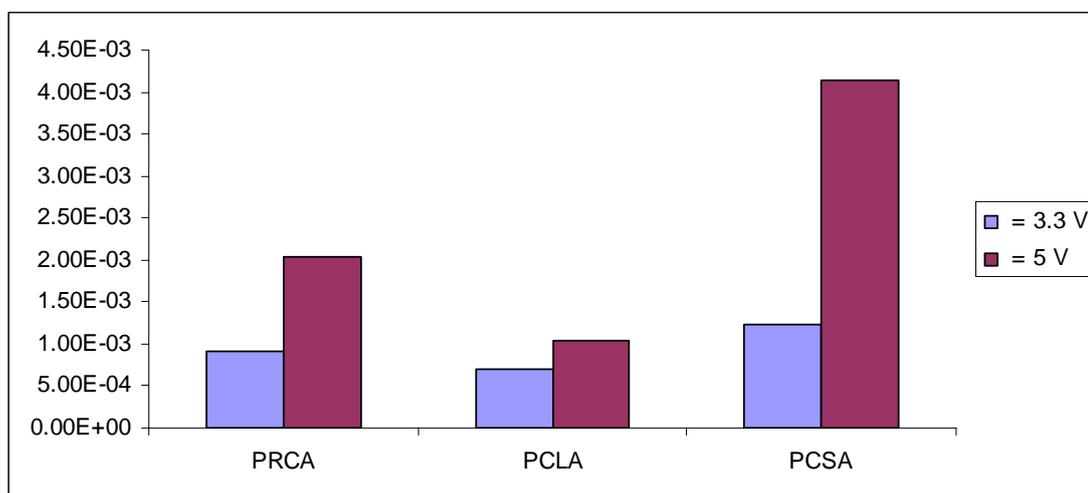
จากตารางที่ 4 และภาพที่ 60 จะพบว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor จะใช้กำลังงานน้อยกว่าวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS โดยวงจรวก PRCA จะลดการใช้กำลังงานลงได้ 69 % เมื่อเปรียบเทียบกับวงจรวก SRCA ส่วนวงจรวก PCLA นั้นจะพบว่าสามารถลดกำลังงานได้มากถึง 54.4 % เมื่อนำมาเปรียบเทียบกับวงจรวก SCLA เพราะวงจรวก SCLA มีขนาดใหญ่และมีจำนวนทรานซิสเตอร์มากกว่าเป็นจำนวนมาก สำหรับวงจรวก PCSA สามารถลดกำลังงานลงได้ 54 % เมื่อเปรียบเทียบกับวงจรวก SCSA

เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงจาก 5 V เป็น 3.3 V จะพบว่ากำลังงานของวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีการเปลี่ยนแปลงไป ซึ่งผลการเปลี่ยนแปลงของกำลังงานจะเป็นไปตามตารางที่ 5

ตารางที่ 5 ตารางแสดงการเปรียบเทียบกำลังงานของวงจรวกขนาด 4 บิต ที่ใช้ Pass transistor

ชนิดวงจรวก	$V_{DD} = 3.3\text{ V}$	$V_{DD} = 5\text{ V}$	% ของกำลังงานที่ลดลง
PRCA	9.21E-04	2.03E-03	54.652
PCLA	6.99E-04	1.04E-03	32.81
PCSA	1.23E-03	4.14E-03	70.41

ซึ่งค่าจากตารางที่ 5 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 4 บิต ที่ออกแบบโดยใช้ Pass transistor ได้ดังภาพที่ 61



ภาพที่ 61 ภาพแสดงกราฟเปรียบเทียบกำลังงานของวงจรวกขนาด 4 บิต ที่ใช้ Pass transistor

จากตารางที่ 5 และภาพที่ 61 วงจร PRCA ยังสามารถลดกำลังงานลงได้อีกถึง 55 % เมื่อลดระดับแรงดันไฟเลี้ยงลง นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมาวงจร PCLA จะสามารถลดการใช้กำลังงานลงได้อีกถึง 33 % และวงจร PCSA สามารถลดกำลังงานลงได้อีก 70 % เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมา ซึ่งจะเห็นว่าวงจรวกชนิดคิควต์ดั่วทล่งหน้าจะประหยัดกำลังงานลงได้มากที่สุดไม่ว่าจะใช้ระดับแรงดันไฟเลี้ยงใดก็ตามเนื่องจากวงจรทั้งในส่วนผลลัพธ์และตัวทล่งหน้าจะทำงานไปพร้อมกันนั่นเอง

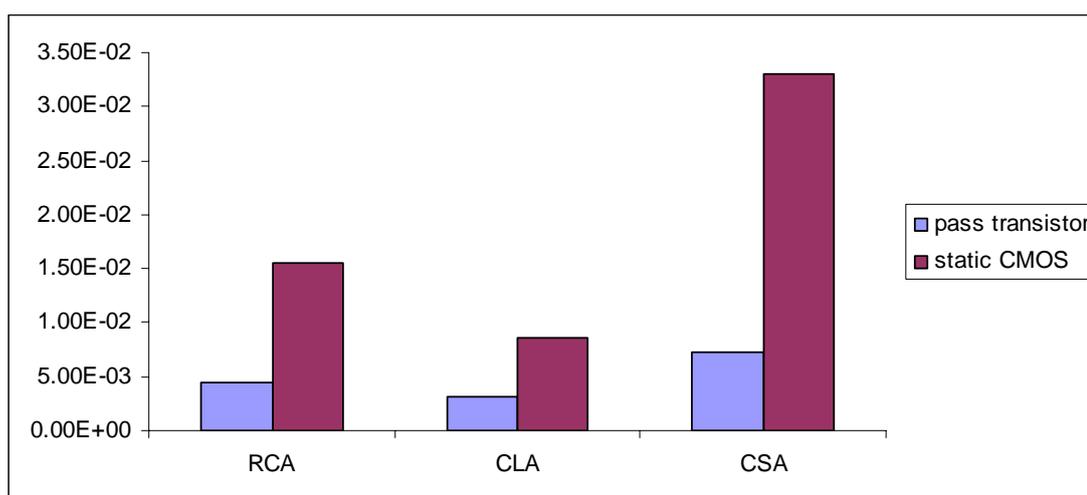
### 3.3 วงจรวกขนาด 8 บิต

ในหัวข้อนี้จะทำการทดสอบการใช้กำลังงานของวงจรวกขนาด 8 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA, SRCA, PCLA, SCLA, PCSA และ SCSEA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบแสดงดังตารางที่ 6

ตารางที่ 6 ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 8 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจร	pass transistor	static CMOS	% ของกำลังงานที่ลดลง
RCA	4.42E-03	1.56E-02	71.70
CLA	3.21E-03	8.67E-03	62.99
CSA	7.32E-03	3.30E-02	77.79

ซึ่งค่าจากตารางที่ 6 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 8 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V ได้ดังภาพที่ 62



ภาพที่ 62 ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 8 บิตที่  $V_{DD} = 5 V$

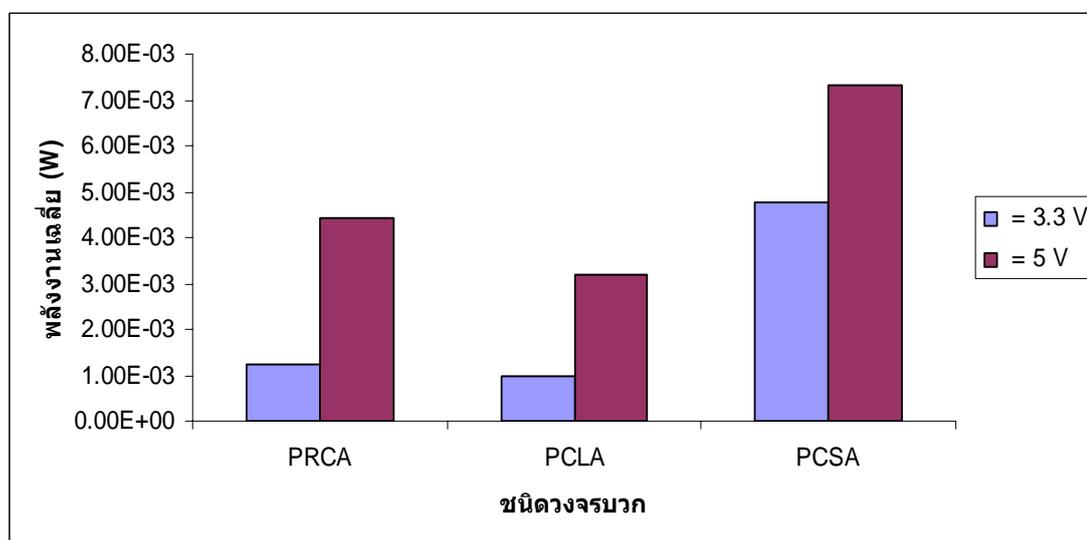
จากตารางที่ 6 และภาพที่ 62 จะพบว่าวงจรบวกที่ออกแบบโดยใช้ Pass transistor จะใช้กำลังงานน้อยกว่าวงจรที่ออกแบบโดยใช้ Static Complementary CMOS โดยวงจร PRCA จะลดการใช้กำลังงานลงได้ 72 % เมื่อเปรียบเทียบกับวงจร SRCA ส่วนวงจร PCLA นั้นจะพบว่าจะสามารถลดกำลังงานได้ 63 % เมื่อนำมาเปรียบเทียบกับวงจร SCLA เพราะวงจร SCLA มีขนาดใหญ่และมีจำนวนทรานซิสเตอร์มากกว่าเป็นจำนวนมาก สำหรับวงจร PCSA สามารถลดกำลังงานลงได้ 78 % เมื่อเปรียบเทียบกับวงจร SCSA เนื่องจากวงจร SCSA จะมีขนาดใหญ่มากทำให้เกิดการสิ้นเปลืองกำลังงานมากนั่นเอง

เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงจาก 5 V เป็น 3.3 V จะพบว่ากำลังงานของวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีการเปลี่ยนแปลงไป ซึ่งผลการเปลี่ยนแปลงของกำลังงานจะเป็นไปตามตารางที่ 7

ตารางที่ 7 ตารางแสดงการเปรียบเทียบกำลังงานของวงจรวกขนาด 8 บิต ที่ใช้ Pass transistor

ชนิดวงจรวก	$V_{DD} = 3.3 \text{ V}$	$V_{DD} = 5 \text{ V}$	% ของกำลังงานที่ลดลง
PRCA	1.22E-03	4.42E-03	72.35
PCLA	9.92E-04	3.21E-03	69.08
PCSA	4.77E-03	7.32E-03	34.86

ซึ่งค่าจากตารางที่ 7 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 8 บิตที่ออกแบบโดยใช้ Pass transistor ได้ดังภาพที่ 63



ภาพที่ 63 ภาพแสดงกราฟเปรียบเทียบกำลังงานของวงจรวกขนาด 8 บิต ที่ใช้ Pass transistor

จากตารางที่ 7 และภาพที่ 63 วงจร PRCA ยังสามารถลดกำลังงานลงได้อีกเพียง 72 % เมื่อลดระดับแรงดันไฟเลี้ยงลง นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมาวงจร PCLA จะลดการใช้กำลังงานลงได้อีกถึง 63 % ส่วนวงจร PCSA สามารถลดกำลังงานลงได้เพียง 35 % เท่านั้น เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมา ซึ่งจะเห็นว่าวงจรวกชนิคคิดตัวทล่งหน้าจะประหยัดกำลังงานลงได้มากที่สุดไม่ว่าจะใช้ระดับแรงดันไฟเลี้ยงใดก็ตามเนื่องจากวงจรทั้งในส่วนผลลัพธ์และตัวทล่งหน้าจะทำงานไปพร้อมกันนั่นเอง

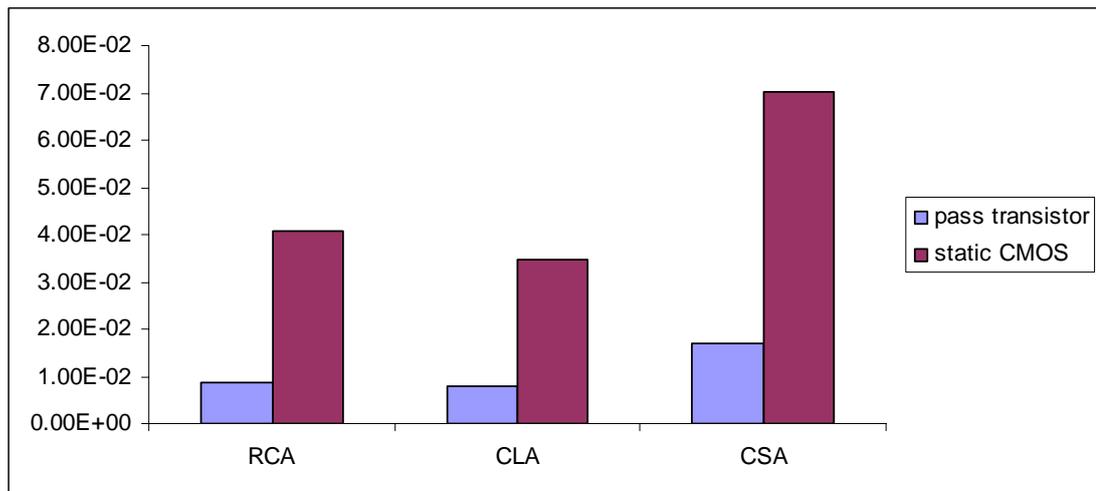
### 3.4 วงจรวกชนิค 16 บิต

ในหัวข้อนี้จะทำการทดสอบการใช้กำลังงานของวงจรวกชนิค 16 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA, SRCA, PCLA, SCLA, PCSA และ SCSEA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบแสดงดังตารางที่ 8

ตารางที่ 8 ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกชนิค 16 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจร	pass transistor	Static CMOS	% ของกำลังงานที่ลดลง
RCA	8.84E-03	4.09E-02	78.40
CLA	7.77E-03	3.47E-02	77.59
CSA	1.69E-02	7.02E-02	75.95

ซึ่งค่าจากตารางที่ 8 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรวกชนิค 16 บิตที่ระดับแรงดันไฟเลี้ยง 5 V ได้ดังภาพที่ 64



ภาพที่ 64 ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรบวกขนาด 16 บิตที่  $V_{DD} = 5\text{ V}$

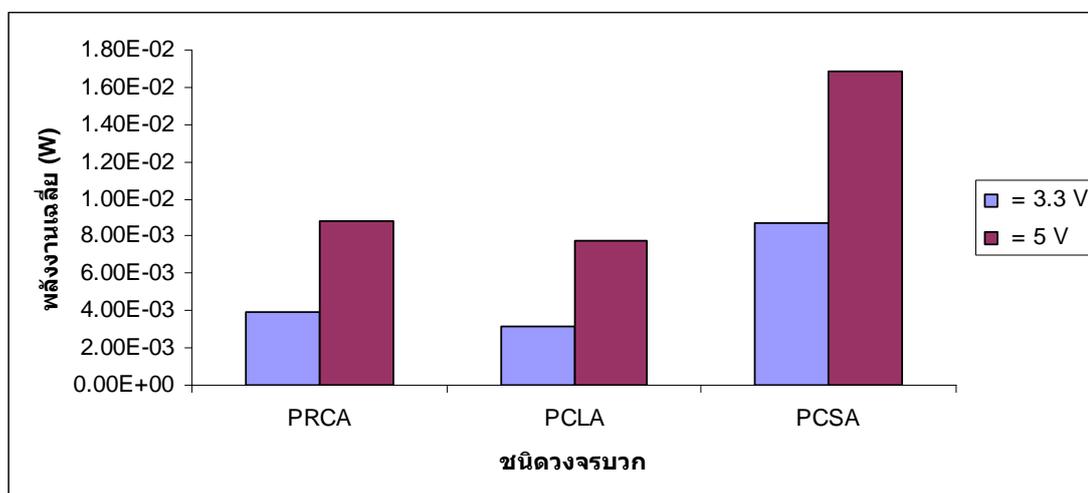
จากตารางที่ 8 และภาพที่ 64 จะพบว่าวงจรบวกที่ออกแบบโดยใช้ Pass transistor จะใช้กำลังงานน้อยกว่าวงจรที่ออกแบบโดยใช้ Static Complementary CMOS โดยวงจร PRCA จะลดการใช้กำลังงานลงได้ 78 % เมื่อเปรียบเทียบกับวงจร SRCA ส่วนวงจร PCLA นั้นจะพบว่าสามารถลดกำลังงานได้ถึง 78 % เช่นเดียวกันเมื่อนำมาเปรียบเทียบกับวงจร SCLA เพราะวงจร SCLA มีขนาดใหญ่และมีจำนวนทรานซิสเตอร์มากกว่าเป็นจำนวนมาก สำหรับวงจร PCSA สามารถลดกำลังงานลงได้ 76 % เมื่อเปรียบเทียบกับวงจร SCSA เนื่องจากวงจร SCSA จะมีขนาดใหญ่มากทำให้เกิดการสิ้นเปลืองกำลังงานมากนั่นเอง

เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงจาก 5 V เป็น 3.3 V จะพบว่ากำลังงานของวงจรบวกที่ออกแบบโดยใช้ Pass transistor จะมีการเปลี่ยนแปลงไป ซึ่งผลการเปลี่ยนแปลงของกำลังงานจะเป็นไปตามตารางที่ 9

ตารางที่ 9 ตารางแสดงการเปรียบเทียบกำลังงานของวงจรบวกขนาด 16 บิต ที่ใช้ Pass transistor

ชนิดวงจร	$V_{DD} = 3.3\text{ V}$	$V_{DD} = 5\text{ V}$	% ของกำลังงานที่ลดลง
PRCA	3.92E-03	8.84E-03	55.63
PCLA	3.15E-03	7.77E-03	59.46
PCSA	8.71E-03	1.69E-02	48.45

ซึ่งค่าจากตารางที่ 9 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 16 บิตที่ออกแบบโดยใช้ Pass transistor ได้ดังภาพที่ 65



ภาพที่ 65 ภาพแสดงกราฟเปรียบเทียบกำลังงานของวงจรวกขนาด 16 บิตที่ใช้ Pass transistor

จากตารางที่ 9 และภาพที่ 65 วงจร PRCA ยังสามารถลดกำลังงานลงได้อีก 55 % เมื่อลดระดับแรงดันไฟเลี้ยงลง นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมาวงจร PCLA จะสามารถลดการใช้กำลังงานลงได้อีกถึง 60 % ส่วนวงจร PCSA สามารถลดกำลังงานลงได้ 49 % เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมา ซึ่งจะเห็นว่าวงจรวกชนิดคิวดักตัวทดล่งหน้าจะประหยัดพลังงานลงได้มากที่สุดไม่ว่าจะใช้ระดับแรงดันไฟเลี้ยงใดก็ตามเนื่องจากวงจรทั้งในส่วนผลลัพธ์และตัวทดล่งหน้าจะทำงานไปพร้อมกันนั่นเอง

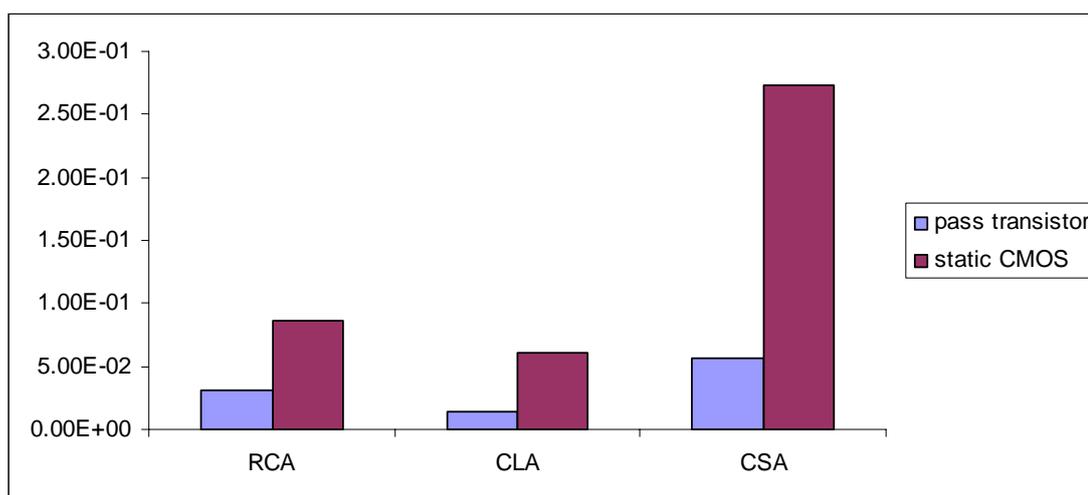
### 3.5 วงจรวกขนาด 32 บิต

ในหัวข้อนี้จะทำการทดสอบการใช้กำลังงานของวงจรวกขนาด 32 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA, SRCA, PCLA, SCLA, PCSA และ SCSA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบแสดงดังตารางที่ 10

ตารางที่ 10 ตารางแสดงการเปรียบเทียบการใช้กำลังงานของวงจรขนาด 32 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจร	pass transistor	static CMOS	% ของกำลังงานที่ลดลง
RCA	3.05E-02	8.58E-02	64.38
CLA	1.36E-02	6.10E-02	77.75
CSA	5.59E-02	2.73E-01	79.53

ซึ่งค่าจากตารางที่ 10 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรขนาด 32 บิตที่ระดับแรงดันไฟเลี้ยง 5 V ได้ดังภาพที่ 66



ภาพที่ 66 ภาพแสดงกราฟเปรียบเทียบการใช้กำลังงานของวงจรขนาด 32 บิตที่  $V_{DD} = 5 V$

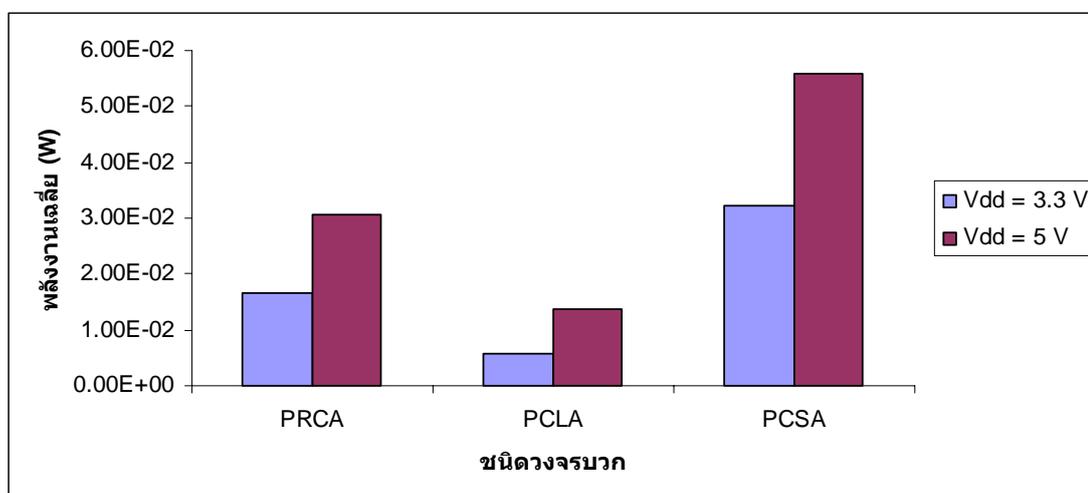
จากตารางที่ 10 และภาพที่ 66 จะพบว่าวงจรที่ออกแบบโดยใช้ Pass transistor จะใช้กำลังงานน้อยกว่าวงจรที่ออกแบบโดยใช้ Static Complementary CMOS โดยวงจร PRCA จะลดการใช้กำลังงานลงได้ 64 % เมื่อเปรียบเทียบกับวงจร SRCA ส่วนวงจร PCLA นั้นจะพบว่าจะสามารถลดกำลังงานได้มากถึง 78 % เมื่อนำมาเปรียบเทียบกับวงจร SCLA เพราะวงจร SCLA มีขนาดใหญ่และมีจำนวนทรานซิสเตอร์มากกว่าเป็นจำนวนมาก สำหรับวงจร PCSA สามารถลดกำลังงานลงได้ 80 % เมื่อเปรียบเทียบกับวงจร SCSA เนื่องจากวงจร SCSA จะมีขนาดใหญ่มากทำให้เกิดการสิ้นเปลืองกำลังงานมากนั่นเอง

เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงจาก 5 V เป็น 3.3 V จะพบว่ากำลังงานของวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีการเปลี่ยนแปลงไป ซึ่งผลการเปลี่ยนแปลงของกำลังงานจะเป็นไปตามตารางที่ 11

ตารางที่ 11 ตารางแสดงการเปรียบเทียบกำลังงานของวงจรวกขนาด 32 บิต ที่ใช้ Pass transistor

ชนิดวงจรวก	$V_{DD} = 3.3 \text{ V}$	$V_{DD} = 5 \text{ V}$	% ของกำลังงานที่ลดลง
PRCA	1.65E-02	3.05E-02	45.88
PCLA	5.75E-03	1.36E-02	57.69
PCSA	3.22E-02	5.59E-02	42.38

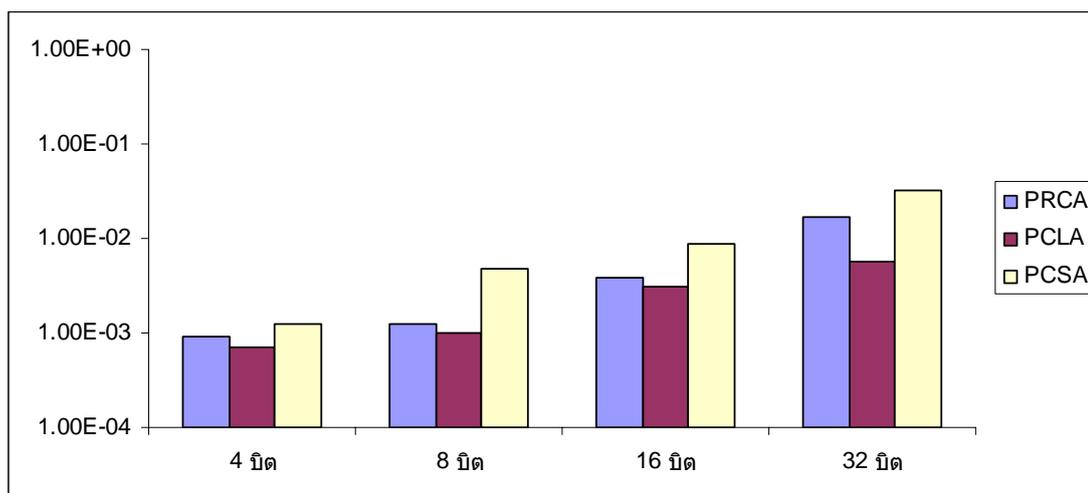
ซึ่งค่าจากตารางที่ 11 นำมาเขียนกราฟเปรียบเทียบการใช้กำลังงานของวงจรวกขนาด 32 บิตที่ออกแบบโดยใช้ Pass transistor ได้ดังภาพที่ 67



ภาพที่ 67 ภาพแสดงกราฟเปรียบเทียบกำลังงานของวงจรวกขนาด 32 บิตที่ใช้ Pass transistor

จากตารางที่ 11 และภาพที่ 67 วงจร PRCA ยังสามารถลดกำลังงานลงได้อีก 46 % เมื่อลดระดับแรงดันไฟเลี้ยงลง นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมาวงจร PCLA จะสามารถลดการใช้กำลังงานลงได้อีกถึง 58 % ส่วนวงจร PCSA สามารถลดกำลังงานลงได้ 42 % เมื่อทำการลดระดับแรงดันไฟเลี้ยงลงมา ซึ่งจะเห็นว่าวงจรวกชนิคคิตตัวทอล่วงหน้าจะประหยัดกำลังงานลงได้มากที่สุดไม่ว่าจะใช้ระดับแรงดันไฟเลี้ยงใดก็ตามเนื่องจากวงจรทั้งในส่วนผลลัพธ์และตัวทอนนั้นจะทำงานไปพร้อมกันนั่นเอง

นอกจากทำการทดสอบการใช้กำลังงานแยกตามจำนวนบิตของวงจรที่ออกแบบแล้วนั้นในงานวิจัยนี้จะทำการนำข้อมูลของการใช้กำลังงานของวงจรวกชขนาดต่างๆ มาสร้างกราฟแสดงความแตกต่างของการใช้กำลังงานของวงจรวกชที่ออกแบบโดยใช้ Pass transistor ซึ่งในการส่วนนี้จะทำการศึกษาเฉพาะที่ระดับแรงดันไฟเลี้ยง 3.3 V โดยกราฟเปรียบเทียบค่าการใช้กำลังงานของวงจรวกชนิค PRCA, PCLA และ PCSA นั้นจะแสดงดังภาพที่ 68



ภาพที่ 68 ภาพแสดงการเปรียบเทียบการใช้กำลังงานของวงจรวกชที่ออกแบบโดยใช้ Pass transistor

จากภาพที่ 68 จะพบว่าวงจรวกชที่ออกแบบโดยใช้ Pass transistor นั้น จะมีการใช้กำลังงานที่น้อยมาก โดยเฉพาะวงจร PCLA เมื่อเพิ่มจำนวนบิตที่ทำการออกแบบจะพบว่า ค่ากำลังงานที่ใช้ในวงจรมีค่าเพิ่มขึ้นเพียงเล็กน้อยเท่านั้น ทั้งๆที่จำนวนทรานซิสเตอร์มีจำนวนมากขึ้น ซึ่งจากภาพที่ 68 สามารถสรุปได้ว่าเมื่อเปรียบเทียบวงจรวกชที่ออกแบบโดยใช้ Pass transistor นั้น วงจร PCLA จะใช้กำลังงานต่ำที่สุด ไม่ว่าจะออกแบบให้มีขนาดกี่บิตก็ตาม ส่วนวงจร PRCA ก็จะมีการใช้กำลังงานที่ต่ำเช่นกันแต่ยกเว้นในกรณีวงจร PRCA ขนาด 32 บิต จะมีการใช้กำลังงานที่สูงมาก ส่วน

วงจร PCSA จะใช้กำลังงานมากกว่าวงจรรีอีก 2 รูปแบบ เนื่องจากวงจรมีจำนวนเกตมากที่สุด ซึ่งส่งผลให้มีอัตราการสวิตชิงของโหลดมากขึ้น ส่งผลให้วงจรมีการใช้กำลังงานที่มากที่สุดนั่นเอง

#### 4. ผลการทดสอบค่าหน่วยเวลา (Delay time) ของวงจรวก

เมื่อทำการทดสอบการใช้พลังงานในวงจรวกที่ทำการออกแบบแล้วนั้น สิ่งจะต้องทำการศึกษาในลำดับต่อมาก็คือ ค่าปัจจัยที่สำคัญในการออกแบบที่ควบคู่กับการใช้พลังงาน นั่นคือค่าหน่วยเวลา (Delay) ที่เกิดขึ้นในวงจร เพื่อทำการวิเคราะห์ว่าค่าหน่วยเวลามีผลกระทบอย่างไรกับวงจรที่ทำการออกแบบ โดยการวัดค่าหน่วยเวลานั้นจะทำการวัดโดยดูจากกราฟแสดงผลการทำงานของวงจร โดยจะพิจารณาจากการเลื่อนไปของสัญญาณออกเปรียบเทียบกับสัญญาณเข้า

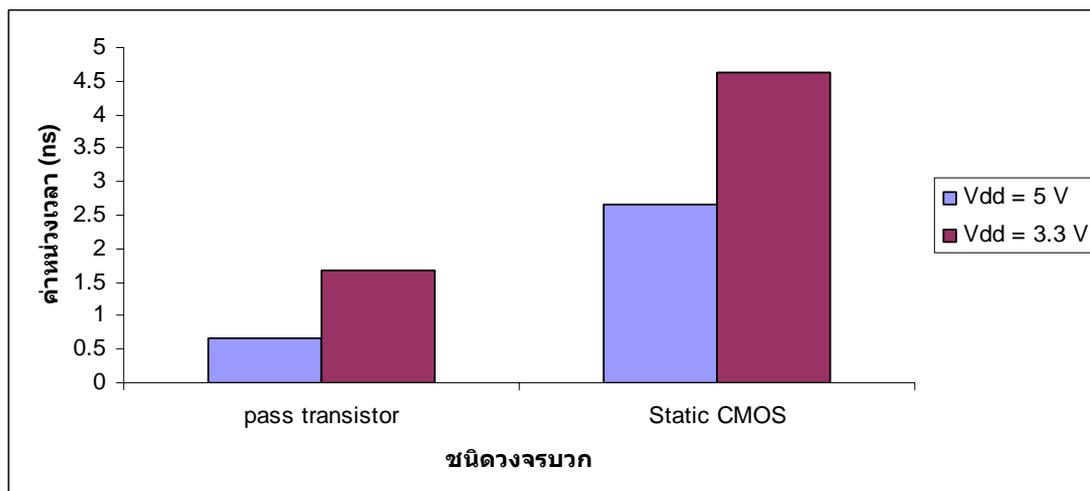
##### 4.1 วงจรวกขนาด 1 บิต

ในส่วนนี้จะทำการทดสอบค่าหน่วยเวลาของวงจรวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor และ Static Complementary CMOS โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบแสดงดังตารางที่ 12

ตารางที่ 12 ตารางแสดงค่าหน่วยเวลาของวงจรวกขนาด 1 บิต

ชนิดวงจร	pass transistor	Static CMOS	% ของค่าหน่วยเวลาที่ลดลง
Vdd = 5 V	0.67	2.65	74.72
Vdd = 3.3 V	1.67	4.64	64.01
% ของค่าหน่วยเวลาที่เพิ่มขึ้น	59.88	42.88	

ซึ่งค่าจากตารางที่ 12 จะนำมาเขียนกราฟได้ผลดังภาพที่ 69



ภาพที่ 69 ภาพแสดงกราฟค่าหน่วงเวลาของวงจรวกขนาด 1 บิต

จากภาพที่ 69 จะพบว่าวงจรวกขนาด 1 บิต ที่ออกแบบโดยใช้ Pass transistor จะมีค่าหน่วงเวลาดำกว่าวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS ประมาณ 75 % แต่จะพบว่าเมื่อทำการลดระดับแรงดันไฟเลี้ยงลงก็จะทำให้ค่าหน่วงเวลาของวงจรวกเพิ่มขึ้นประมาณ 50 % ซึ่งเป็นไปตามทฤษฎี แต่จากภาพจะพบว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor จะไม่มีการเปลี่ยนแปลงของค่าหน่วงเวลาเมื่อทำการลดระดับแรงดันไฟเลี้ยงลง

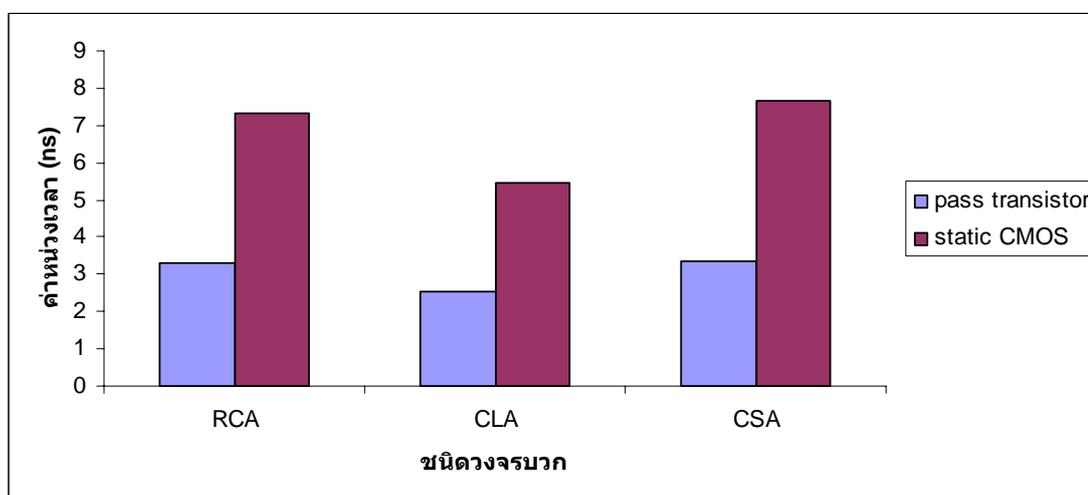
#### 4.2 วงจรวกขนาด 4 บิต

ในหัวข้อนี้จะทำการทดสอบค่าหน่วงเวลาของวงจรวกขนาด 4 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA, SRCA, PCLA, SCLA, PCSA และ SCSA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบค่าหน่วงเวลาที่  $V_{DD} = 5 V$  แสดงดังตารางที่ 13

ซึ่งค่าจากตารางที่ 13 จะนำมาเขียนกราฟเปรียบเทียบค่าหน่วงเวลาของวงจรวกขนาด 4 บิตที่  $V_{DD} = 5 V$  ได้ดังภาพที่ 70

ตารางที่ 13 ตารางแสดงผลค่าหน่วยเวลาของวงจรขนาด 4 บิต ที่  $V_{DD} = 5 \text{ V}$

ชนิดวงจร	pass transistor	static CMOS	% ของค่าหน่วยเวลาที่ลดลง
RCA	3.28	7.33	55.25
CLA	2.52	5.44	53.67
CSA	3.34	7.68	56.51



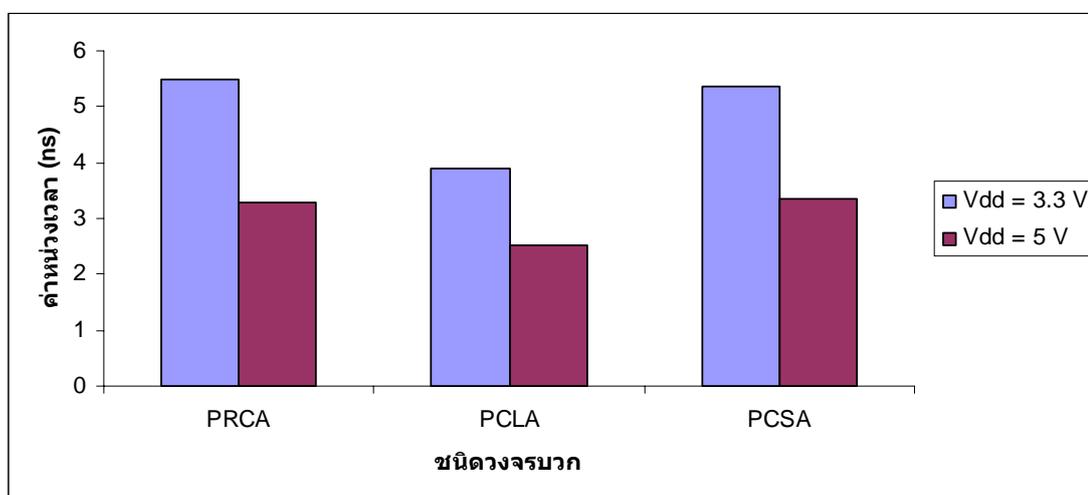
ภาพที่ 70 ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรขนาด 4 บิต ที่  $V_{DD} = 5 \text{ V}$

จากตารางที่ 13 และภาพที่ 70 จะพบว่าวงจรที่ออกแบบโดยใช้ Pass transistor จะมีค่าหน่วยเวลาน้อยกว่าวงจรที่ออกแบบโดยใช้ Static Complementary CMOS ประมาณ 45 % โดยวงจร PCA จะมีค่าหน่วยเวลาน้อยที่สุด ส่วนวงจร SCSA จะมีค่าหน่วยเวลาสูงสุด เนื่องจากวงจรขนาด 4 บิตนั้น วงจร SCSA ที่ทำการออกแบบจะมีขนาดใหญ่ที่สุด

นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลง จะพบว่าวงจรที่ออกแบบโดยใช้ Pass transistor ค่าหน่วยเวลาจะเพิ่มขึ้น ซึ่งจะแสดงการเปรียบเทียบค่าหน่วยเวลาที่เพิ่มขึ้นดังตารางที่ 14 โดยค่าจากตารางที่ 14 จะนำมาสร้างกราฟแสดงการเปรียบเทียบค่าหน่วยเวลาของวงจรที่ออกแบบโดยใช้ Pass transistor ดังภาพที่ 71

ตารางที่ 14 ตารางแสดงผลค่าหน่วยเวลาของวงจรวกขนาด 4 บิตที่ออกแบบโดยใช้ Pass transistor

ชนิดวงจรร	Vdd = 3.3 V	Vdd = 5 V	% ของค่าหน่วยเวลาที่เพิ่มขึ้น
PRCA	5.48	3.28	40.15
PCLA	3.89	2.52	35.22
PCSA	5.35	3.34	37.57



ภาพที่ 71 ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 4 บิต ที่ออกแบบโดยใช้ Pass transistor

จากตารางที่ 14 และภาพที่ 71 จะพบว่าเมื่อทำการลดระดับแรงดันไฟเลี้ยงลง ค่าหน่วยเวลาของวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีค่าเพิ่มขึ้นเฉลี่ยประมาณ 37 % นอกจากนี้จะพบว่าวงจรวกแบบ PCSA และ PRCA จะมีค่าหน่วยเวลาใกล้เคียงกัน แต่จะมีค่าสูงกว่าวงจรวกแบบ PCLA ซึ่งสามารถบอกได้ว่าวงจรวกแบบคิควอตล์วงหน้าสามารถทำงานได้เร็วที่สุดเนื่องจากมีค่าหน่วยเวลาที่ต่ำที่สุด

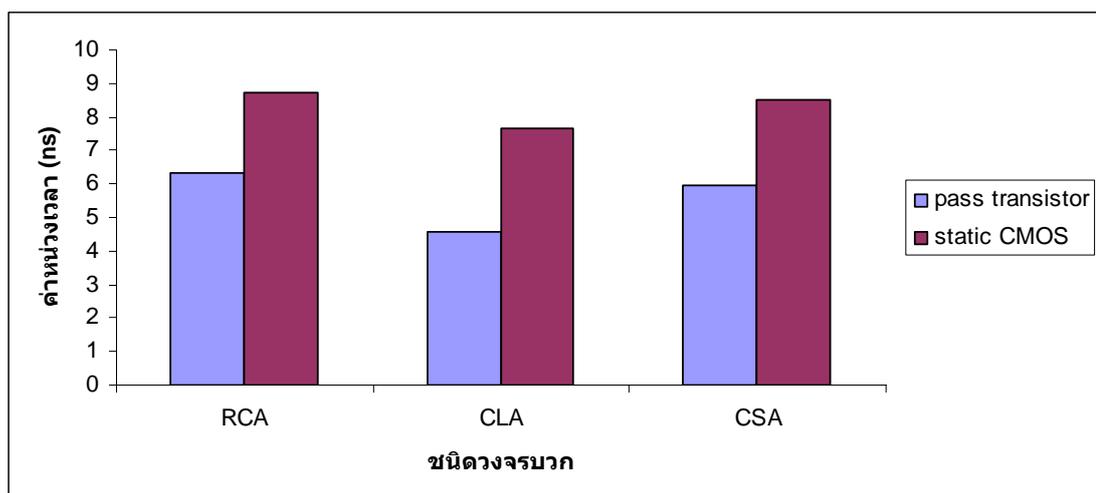
#### 4.3 วงจรบวกขนาด 8 บิต

ในหัวข้อนี้จะทำการทดสอบค่าหน่วงเวลาของวงจรบวกขนาด 8 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA, SRCA, PCLA, SCLA, PCSA และ SCSA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบค่าหน่วงเวลาที่  $V_{DD} = 5 V$  แสดงดังตารางที่ 15

ซึ่งค่าจากตารางที่ 15 จะนำมาเขียนกราฟเปรียบเทียบค่าหน่วงเวลาของวงจรบวกขนาด 8 บิตที่  $V_{DD} = 5 V$  ได้ดังภาพที่ 72

ตารางที่ 15 ตารางแสดงผลค่าหน่วงเวลาของวงจรบวกขนาด 8 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจร	pass transistor	static CMOS	% ของค่าหน่วงเวลาที่ลดลง
RCA	6.34	8.71	27.21
CLA	4.55	7.66	40.60
CSA	5.97	8.5	29.76



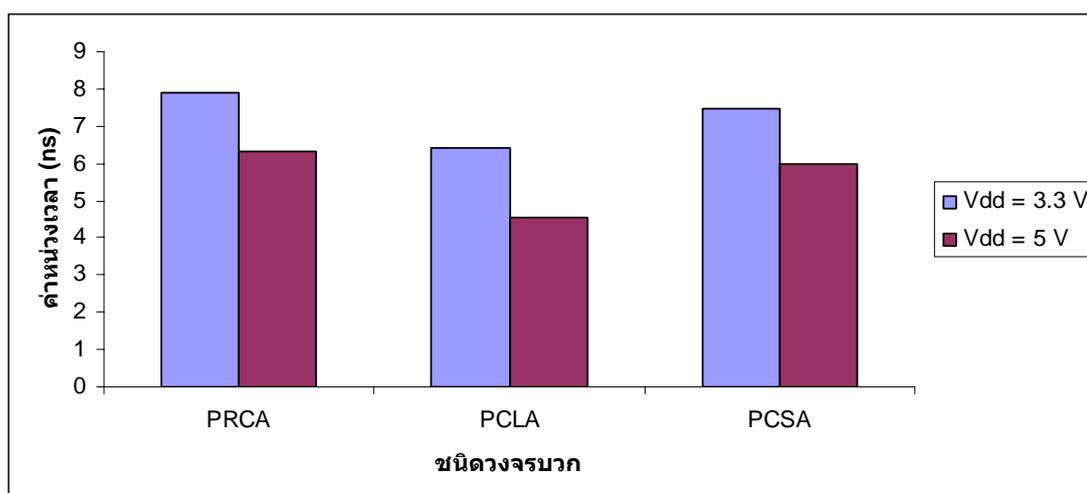
ภาพที่ 72 ภาพแสดงกราฟเปรียบเทียบค่าหน่วงเวลาของวงจรบวกขนาด 8 บิต ที่  $V_{DD} = 5 V$

จากตารางที่ 15 และภาพที่ 72 จะพบว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีค่าหน่วงเวลาน้อยกว่าวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS ประมาณ 33 % โดยวงจรวก PCLA จะมีค่าหน่วงเวลาน้อยที่สุด ส่วนวงจรวก SRCA จะมีค่าหน่วงเวลาสูงสุดเนื่องจากวงจรวกจะต้องรอการประมวลผลการทำงานของวงจรวกในส่วนตัวทคนั่นเอง โดยตัวทคเข้าในบิตที่สองจะเป็นตัวทคออกจากบิตแรกนั่นเอง ดังนั้นวงจรวกจะต้องรอการประมวลผลตัวทคก่อนส่งผลให้วงจรวกมีค่าหน่วงเวลาที่มากขึ้น

นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลง จะพบว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor ค่าหน่วงเวลาจะเพิ่มขึ้น ซึ่งจะแสดงการเปรียบเทียบค่าหน่วงเวลาที่เพิ่มขึ้นดังตารางที่ 16 โดยค่าจากตารางที่ 16 จะนำมาสร้างกราฟแสดงการเปรียบเทียบค่าหน่วงเวลาของวงจรวกที่ออกแบบโดยใช้ Pass transistor ดังภาพที่ 73

ตารางที่ 16 ตารางแสดงผลค่าหน่วงเวลาของวงจรวกขนาด 8 บิตที่ออกแบบโดยใช้ Pass transistor

ชนิดวงจรวก	Vdd = 3.3 V	Vdd = 5 V	% ของค่าหน่วงเวลาที่เพิ่มขึ้น
PRCA	7.92	6.34	19.95
PCLA	6.43	4.55	29.24
PCSA	7.48	5.97	20.19



ภาพที่ 73 ภาพแสดงกราฟเปรียบเทียบค่าหน่วงเวลาของวงจรวกขนาด 8 บิต ที่ออกแบบโดยใช้ Pass transistor

จากตารางที่ 16 และภาพที่ 73 จะพบว่าเมื่อทำการลดระดับแรงดันไฟเลี้ยงลง ค่าหน่วยเวลาของวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีค่าเพิ่มขึ้นเฉลี่ยประมาณ 25 % โดยที่วงจรวกแบบ PCLA ยังคงมีค่าหน่วยเวลาที่น้อยที่สุด

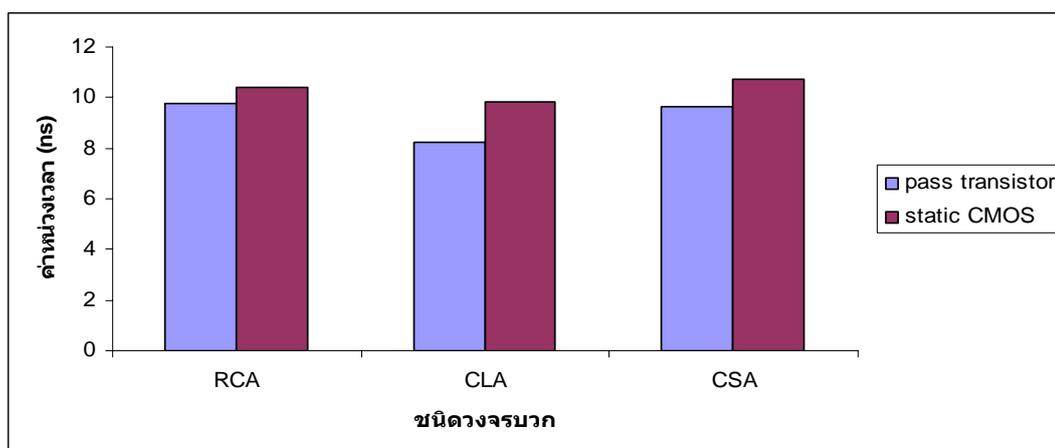
#### 4.4 วงจรวกขนาด 16 บิต

ในหัวข้อนี้จะทำการทดสอบค่าหน่วยเวลาของวงจรวกขนาด 16 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA, SRCA, PCLA, SCLA, PCSA และ SCSA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบค่าหน่วยเวลาที่  $V_{DD} = 5 V$  แสดงดังตารางที่ 17

ซึ่งค่าจากตารางที่ 17 จะนำมาเขียนกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 16 บิตที่  $V_{DD} = 5 V$  ได้ดังภาพที่ 74

ตารางที่ 17 ตารางแสดงผลค่าหน่วยเวลาของวงจรวกขนาด 16 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจรวก	pass transistor	static CMOS	% ของค่าหน่วยเวลาที่ลดลง
RCA	9.74	10.42	6.52
CLA	8.25	9.81	15.90
CSA	9.65	10.74	10.15



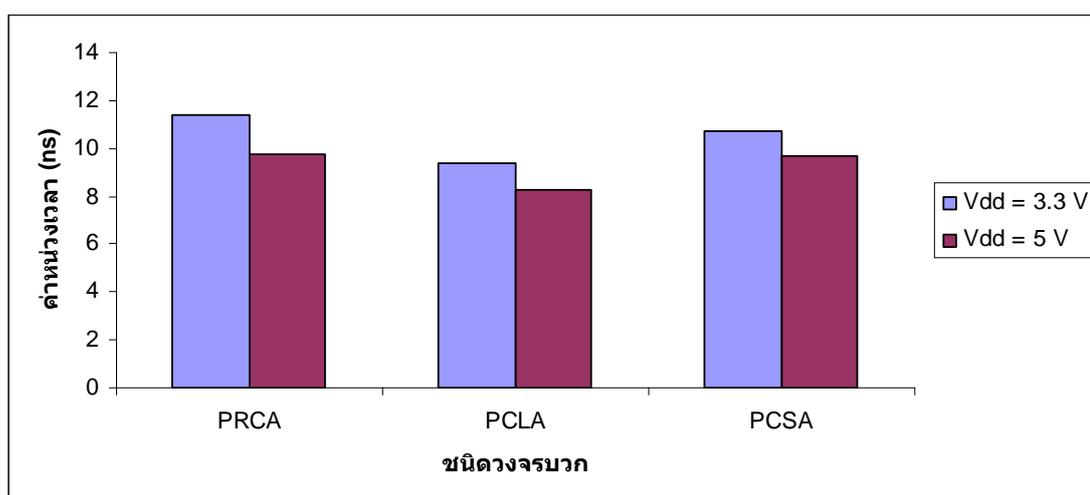
ภาพที่ 74 ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกขนาด 16 บิต ที่  $V_{DD} = 5 V$

จากตารางที่ 17 และภาพที่ 74 จะพบว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีค่าหน่วงเวลาน้อยกว่าวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS ประมาณ 10 % โดยวงจรวก PCLA จะมีค่าหน่วงเวลาน้อยที่สุด ส่วนวงจรวก SCSA และ SRCA จะมีค่าหน่วงเวลาสูงสุดเนื่องจากวงจรวกขนาด 16 บิตนั้น วงจรวกทั้งสองจะต้องรอการทำงานของตัวเอง

นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลง จะพบว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor ค่าหน่วงเวลาจะเพิ่มขึ้น ซึ่งจะแสดงการเปรียบเทียบค่าหน่วงเวลาที่เพิ่มขึ้นดังตารางที่ 18 โดยค่าจากตารางที่ 18 จะนำมาสร้างกราฟแสดงการเปรียบเทียบค่าหน่วงเวลาของวงจรวกที่ออกแบบโดยใช้ Pass transistor ดังภาพที่ 75

ตารางที่ 18 ตารางแสดงผลค่าหน่วงเวลาของวงจรวกขนาด 16 บิตที่ออกแบบโดยใช้ Pass transistor

ชนิดวงจรวก	Vdd = 3.3 V	Vdd = 5 V	% ของค่าหน่วงเวลาที่เพิ่มขึ้น
PRCA	11.43	9.74	14.78
PCLA	9.37	8.25	11.95
PCSA	10.69	9.65	9.73



ภาพที่ 75 ภาพแสดงกราฟเปรียบเทียบค่าหน่วงเวลาของวงจรวกขนาด 16 บิต ที่ออกแบบโดยใช้ Pass transistor

จากตารางที่ 18 และภาพที่ 75 จะพบว่าเมื่อทำการลดระดับแรงดันไฟเลี้ยงลง ค่าหน่วยเวลาของวงจรบวกที่ออกแบบโดยใช้ Pass transistor จะมีค่าเพิ่มขึ้นเฉลี่ยประมาณ 12 % โดยวงจรบวกแบบ PCLA ยังคงมีค่าหน่วยเวลาที่น้อยที่สุด

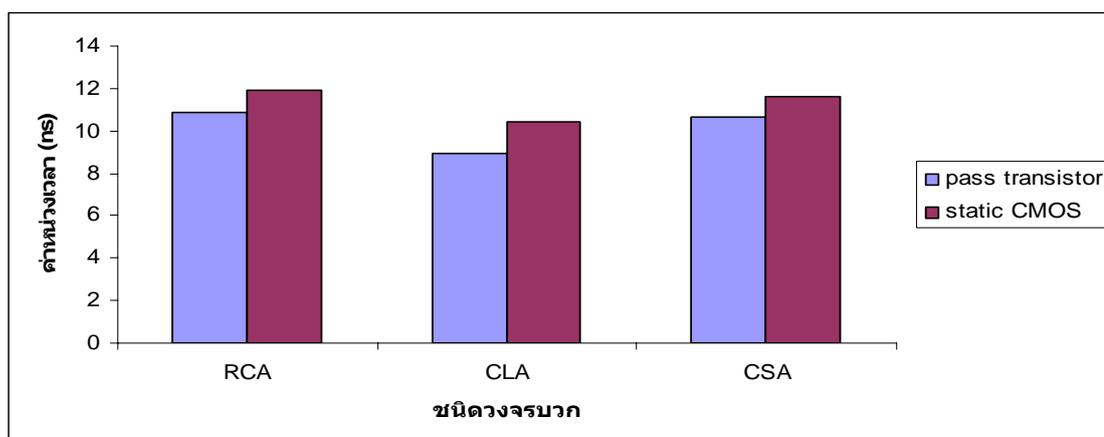
#### 4.5 วงจรบวกขนาด 32 บิต

ในหัวข้อนี้จะทำการทดสอบค่าหน่วยเวลาของวงจรบวกขนาด 32 บิต ที่ทำการออกแบบทั้งหมด ได้แก่ วงจร PRCA, SRCA, PCLA, SCLA, PCSA และ SCSA โดยจะทำการทดสอบโดยใช้ระดับแรงดันไฟเลี้ยงที่ 3.3 V และระดับแรงดันไฟเลี้ยง 5 V ซึ่งผลการทดสอบค่าหน่วยเวลาที่  $V_{DD} = 5 V$  แสดงดังตารางที่ 19

ซึ่งค่าจากตารางที่ 19 จะนำมาเขียนกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรบวกขนาด 32 บิตที่  $V_{DD} = 5 V$  ได้ดังภาพที่ 76

ตารางที่ 19 ตารางแสดงผลค่าหน่วยเวลาของวงจรบวกขนาด 32 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจร	pass transistor	static CMOS	% ของค่าหน่วยเวลาที่ลดลง
RCA	10.88	11.89	8.49
CLA	8.96	10.45	14.26
CSA	10.63	11.62	8.52



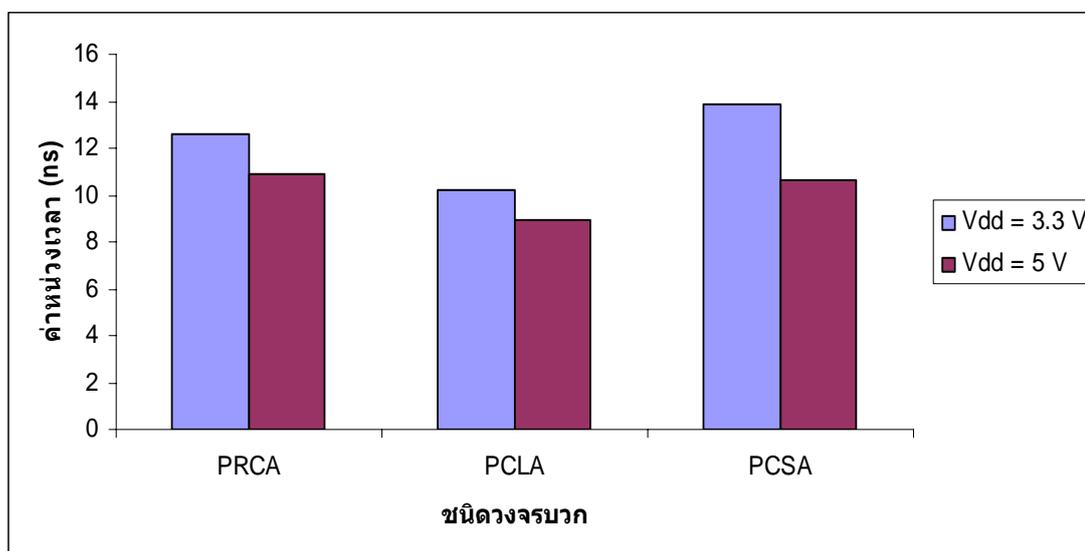
ภาพที่ 76 ภาพแสดงกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรบวกขนาด 32 บิต ที่  $V_{DD} = 5 V$

จากตารางที่ 19 และภาพที่ 76 จะพบว่าวงจรมวกที่ออกแบบโดยใช้ Pass transistor จะมีค่าหน่วงเวลาน้อยกว่าวงจรมวกที่ออกแบบโดยใช้ Static Complementary CMOS ประมาณ 10 % โดยวงจรมวก PCLA จะมีค่าหน่วงเวลาน้อยที่สุด ส่วนวงจรมวก SRCA และ SCSA จะมีค่าหน่วงเวลาสูงสุด

นอกจากนี้เมื่อทำการลดระดับแรงดันไฟเลี้ยงลง จะพบว่าวงจรมวกที่ออกแบบโดยใช้ Pass transistor ค่าหน่วงเวลาจะเพิ่มขึ้น ซึ่งจะแสดงการเปรียบเทียบค่าหน่วงเวลาที่เพิ่มขึ้นดังตารางที่ 20 โดยค่าจากตารางที่ 20 จะนำมาสร้างกราฟแสดงการเปรียบเทียบค่าหน่วงเวลาของวงจรมวกที่ออกแบบโดยใช้ Pass transistor ดังภาพที่ 77

ตารางที่ 20 ตารางแสดงผลค่าหน่วงเวลาของวงจรมวกขนาด 32 บิตที่ออกแบบโดยใช้ Pass transistor

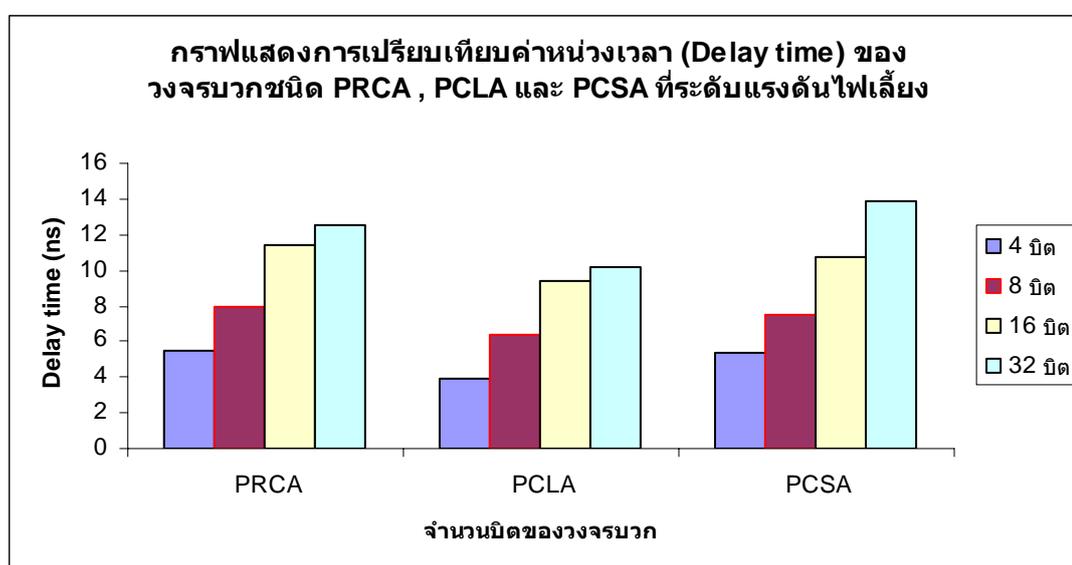
ชนิดวงจรมวก	Vdd = 3.3 V	Vdd = 5 V	% ของค่าหน่วงเวลาที่เพิ่มขึ้น
PRCA	12.57	10.88	13.44
PCLA	10.21	8.96	12.24
PCSA	13.84	10.63	23.19



ภาพที่ 77 ภาพแสดงกราฟเปรียบเทียบค่าหน่วงเวลาของวงจรมวกขนาด 32 บิต ที่ออกแบบโดยใช้ Pass transistor

จากตารางที่ 20 และภาพที่ 77 จะพบว่าเมื่อทำการลดระดับแรงดันไฟเลี้ยงลง ค่าหน่วยเวลาของวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีค่าเพิ่มขึ้นเฉลี่ยประมาณ 16 % โดยวงจรวกแบบ PCLA ยังคงมีค่าหน่วยเวลาที่ต่ำที่สุด

เพื่อทำการศึกษาค่าหน่วยเวลาของวงจรวกแยกตามจำนวนบิตของวงจรวกที่ออกแบบแล้วนั้น ในงานวิจัยนี้จะทำการนำข้อมูลของค่าหน่วยเวลา มาสร้างกราฟแสดงความแตกต่างของค่าหน่วยเวลาของวงจรวกที่ออกแบบโดยใช้ Pass transistor ซึ่งในการส่วนนี้จะทำการศึกษาเฉพาะที่ระดับแรงดันไฟเลี้ยง 3.3 V โดยกราฟเปรียบเทียบค่าหน่วยเวลาของวงจรวกชนิด PRCA, PCLA และ PCSA นั้นจะแสดงดังภาพที่ 78

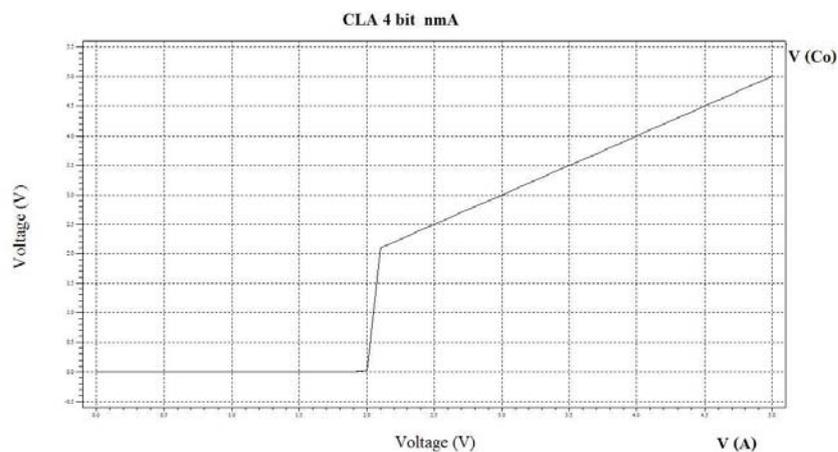


ภาพที่ 78 ภาพแสดงการเปรียบเทียบค่าหน่วยเวลาของวงจรวกที่ออกแบบโดยใช้ Pass transistor

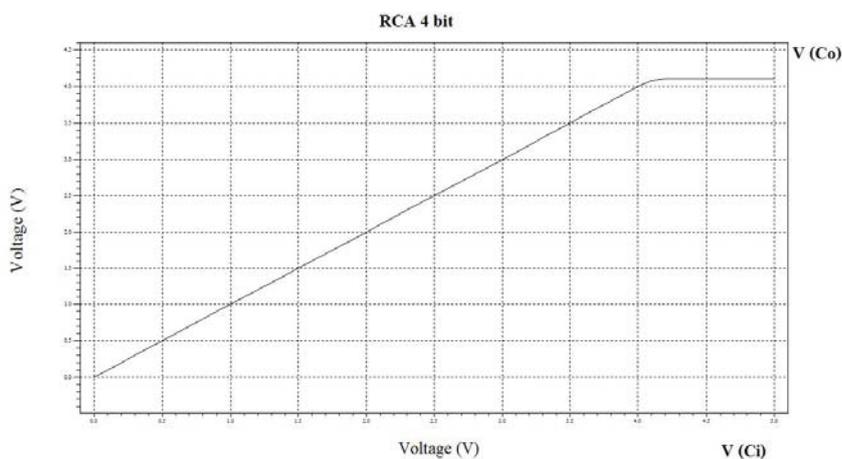
จากภาพที่ 78 จะพบว่าวงจรวกที่ออกแบบโดยใช้ Pass transistor นั้น จะมีค่าหน่วยเวลาที่ไม่มาก โดยเฉพาะวงจรวก PCLA จะพบว่าค่าหน่วยเวลาของวงจรวกในแต่ละจำนวนบิตที่ทำการออกแบบนั้นมีค่าที่ใกล้เคียงกัน ซึ่งจากภาพที่ 78 สามารถสรุปได้ว่าเมื่อเปรียบเทียบวงจรวกที่ออกแบบโดยใช้ Pass transistor นั้น วงจรวก PCLA จะมีค่าหน่วยเวลาที่ใกล้เคียงกันไม่ว่าจะออกแบบให้มีขนาดกี่บิตก็ตาม และวงจรวก PCLA ยังมีค่าหน่วยเวลาที่ต่ำที่สุด ส่วนวงจรวก PCSA จะมีค่าหน่วยเวลามากที่สุดเนื่องจากวงจรวกจะต้องรอการทำงานของวงจรวกในส่วนตัวทศออกก่อนข้างนานนั่นเอง

## 5. ผลการทดสอบค่า Noise Margin ของวงจรวก

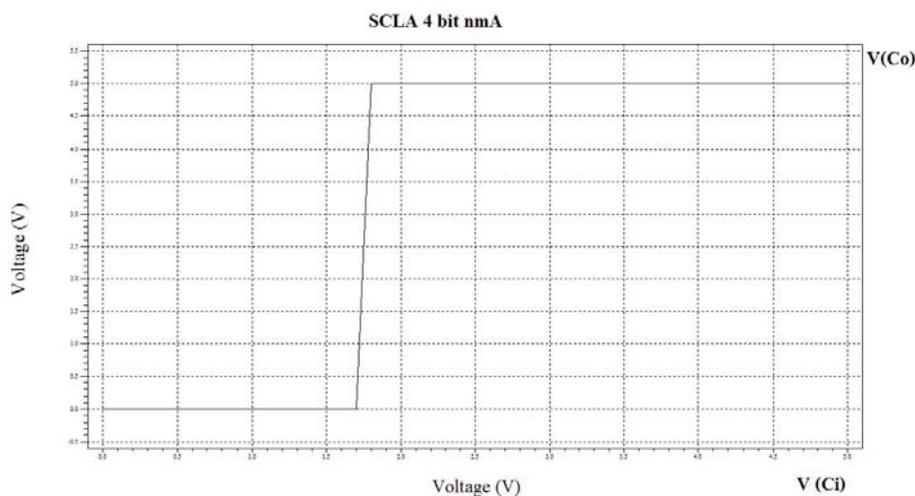
ในการทดสอบค่า Noise Margin นั้น จะต้องทำการหาค่า  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$  และ  $V_{OL}$  เพื่อนำค่าตัวแปรทั้งสี่มาคำนวณหาค่า Noise Margin High และค่า Noise Margin Low โดยในงานวิจัยนี้จะทำการหาค่าตัวแปรทั้งสี่จากการสร้างกราฟ Voltage Transfer Characteristic (VTC) ระหว่างสัญญาณ A, B หรือ  $C_i$  กับ  $C_o$  จากนั้นนำค่าที่ได้จากกราฟมาทำการคำนวณหาค่า Noise Margin Low (NML) และ Noise Margin High (NMH) จากสมการที่ (31) และ สมการที่ (32) ซึ่งกราฟ VTC ของวงจรวกที่เกิดขึ้นจะมีลักษณะดังภาพที่ 79,80 และ 81



ภาพที่ 79 ภาพแสดงกราฟ VTC ระหว่าง A กับ  $C_o$  ของวงจรวกชนิด Pass transistor



ภาพที่ 80 ภาพแสดงกราฟ VTC ระหว่าง  $C_i$  กับ  $C_o$  ของวงจรวกชนิด Pass transistor



ภาพที่ 81 ภาพแสดงกราฟ VTC ของวงจรวกชนิด Static Complementary CMOS

จากภาพที่ 79 – 81 จะแสดงลักษณะของกราฟ VTC ที่สร้างขึ้นมา โดยจะพบว่ามียู่ 3 ลักษณะ คือ จากภาพที่ 79 จะเป็นกราฟของ VTC ระหว่าง A กับ Co ของวงจรวกที่ออกแบบโดยใช้ Pass transistor ไม่ว่าจะมียุขนาดกี่บิตก็ตาม ส่วนภาพที่ 80 จะเป็นกราฟของ VTC ระหว่าง Ci กับ Co ของวงจรวกที่ออกแบบโดยใช้ Pass transistor ไม่ว่าจะมียุขนาดกี่บิตก็ตาม ส่วนภาพที่ 81 จะเป็นกราฟของวงจรวกที่ออกแบบโดยใช้ Static Complementary CMOS และจะเป็นกราฟของ VTC ระหว่าง B กับ Co ของวงจรวกที่ออกแบบโดยใช้ Pass transistor ไม่ว่าจะมียุขนาดกี่บิตก็ตาม

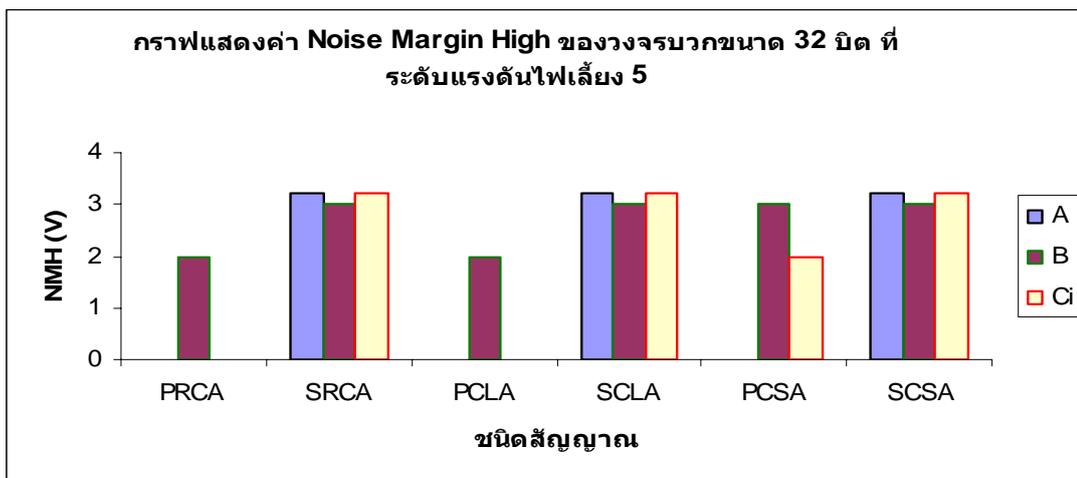
ซึ่งผลจากการทดสอบกับวงจรถังหมดที่ทำการออกแบบจะพบว่าไม่ว่าจะทดสอบกับวงจรมายุขนาดกี่บิตก็ตาม ลักษณะกราฟก็จะมีรูปแบบเหมือนกับ 3 รูปแบบตามภาพ ซึ่งเมื่อนำมาคำนวณหา ค่า Noise Margin Low และค่า Noise Margin High จะพบว่าจะได้ค่าในลักษณะเดียวกัน นั่นคือ ในวงจรวกชนิด SRCA , SCLA และ SCSA จะมีลักษณะของ VTC ที่เหมือนกันและมีค่า Noise Margin ที่ใกล้เคียงกัน ส่วนวงจรวกชนิด PRCA , PCLA และ PCSA จะเกิดกราฟ VTC 3 รูปแบบดังภาพที่ 79 – 81 ส่วนค่า Noise Margin ที่คำนวณได้นั้นจะมีค่าที่ใกล้เคียงกันเช่นเดียวกัน แต่ค่า Noise Margin High ในแต่ละขนาดบิตอาจจะมีค่าแตกต่างกัน อันเนื่องมาจากค่า VOH ของแต่ละวงจรวกอาจไม่เท่ากันเนื่องจากวงจรวกที่ออกแบบโดยใช้ Pass transistor จะให้ค่าไม่เต็มขนาดของแรงดันไฟเลี้ยงที่ป้อนเข้าสำหรับลอจิก 1 นอกจากนี้ไม่ว่าจะทำการลดระดับแรงดันไฟเลี้ยง ค่า Noise Margin ก็ยังคงมีค่าในลักษณะเดียวกัน

ดังนั้นผลการทดสอบค่า Noise Margin ในวงจรบวกที่ทำการออกแบบนั้น จะยกตัวอย่างผลของค่า Noise Margin ของวงจรบวกขนาด 32 บิต ที่ระดับแรงดันไฟเลี้ยง 5 V และ ระดับแรงดันไฟเลี้ยง 3.3 V มาแสดงไว้เท่านั้น โดยผลของค่า Noise Margin จะแสดงไว้ดังตารางที่ 21 – ตารางที่ 24 และจากค่าในตารางที่ 21 – 24 จะนำมาสร้างกราฟเปรียบเทียบค่า Noise Margin โดยกราฟที่ได้จะแสดงไว้ดังภาพที่ 82 – ภาพที่ 85

ตารางที่ 21 ตารางแสดงค่า Noise Margin High ของวงจรบวกขนาด 32 บิต ที่  $V_{DD} = 5 V$

ชนิดวงจร	ค่า Noise Margin High ที่สัญญาณ A (V)	ค่า Noise Margin High ที่สัญญาณ B (V)	ค่า Noise Margin High ที่สัญญาณ Ci (V)
PRCA	0	2	0
SRCA	3.2	3	3.2
PCLA	0	2	0
SCLA	3.2	3	3.2
PCSA	0	3	2
SCSA	3.2	3	3.2

จากตารางที่ 21 สามารถนำมาสร้างกราฟเปรียบเทียบค่า Noise Margin High ของวงจรบวกขนาด 32 บิต ที่  $V_{DD} = 5 V$  ได้ดังภาพที่ 82

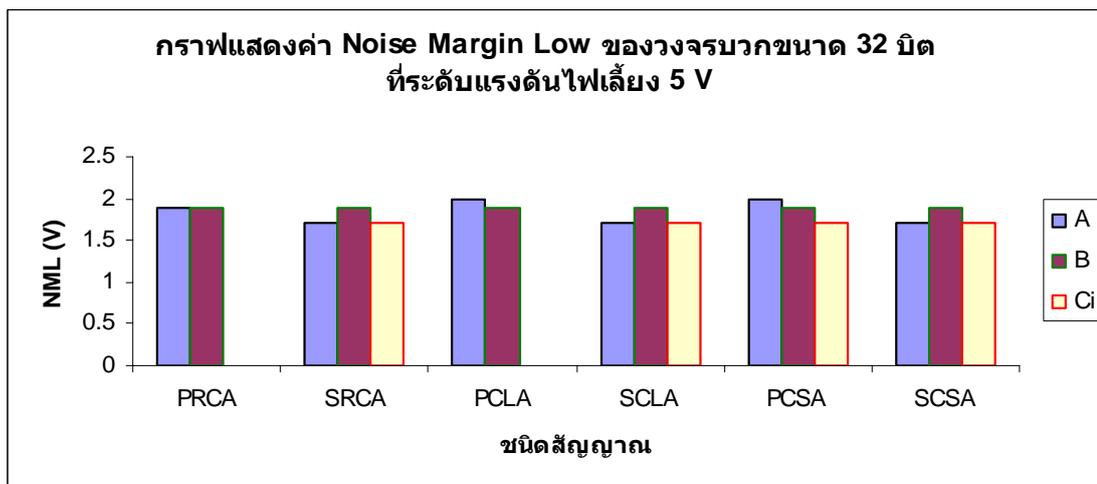


ภาพที่ 82 ภาพแสดงค่า Noise Margin High ของวงจรวกขนาด 32 บิต ที่  $V_{DD} = 5\text{ V}$

ตารางที่ 22 ตารางแสดงค่า Noise Margin Low ของวงจรวกขนาด 32 บิต ที่  $V_{DD} = 5\text{ V}$

ชนิดวงจร	ค่า Noise Margin Low	ค่า Noise Margin Low	ค่า Noise Margin Low ที่
	ที่สัญญาณ A (V)	ที่สัญญาณ B (V)	สัญญาณ Ci (V)
PRCA	1.9	1.9	0
SRCA	1.7	1.9	1.7
PCLA	2	1.9	0
SCLA	1.7	1.9	1.7
PCSA	2	1.9	1.7
SCSA	1.7	1.9	1.7

จากตารางที่ 22 สามารถนำมาสร้างกราฟเปรียบเทียบค่า Noise Margin Low ของวงจรวกขนาด 32 บิต ที่  $V_{DD} = 5\text{ V}$  ได้ดังภาพที่ 83

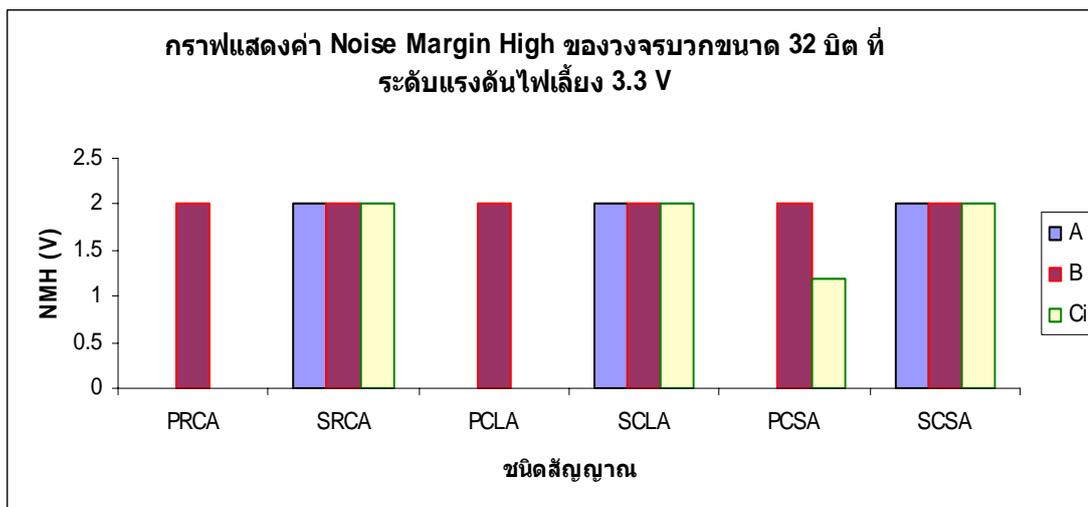


ภาพที่ 83 ภาพแสดงค่า Noise Margin Low ของวงจรมวกขนาด 32 บิต ที่  $V_{DD} = 5 V$

ตารางที่ 23 ตารางแสดงค่า Noise Margin High ของวงจรมวกขนาด 32 บิต ที่  $V_{DD} = 3.3 V$

ชนิดวงจรมวก	ค่า Noise Margin High ที่สัญญาณ A (V)	ค่า Noise Margin High ที่สัญญาณ B (V)	ค่า Noise Margin High ที่ สัญญาณ Ci (V)
PRCA	0	2	0
SRCA	2	2	2
PCLA	0	2	0
SCLA	2	2	2
PCSA	0	2	1.2
SCSEA	2	2	2

จากตารางที่ 23 สามารถนำมาสร้างกราฟเปรียบเทียบค่า Noise Margin High ของวงจรมวกขนาด 32 บิต ที่  $V_{DD} = 3.3 V$  ได้ดังภาพที่ 84

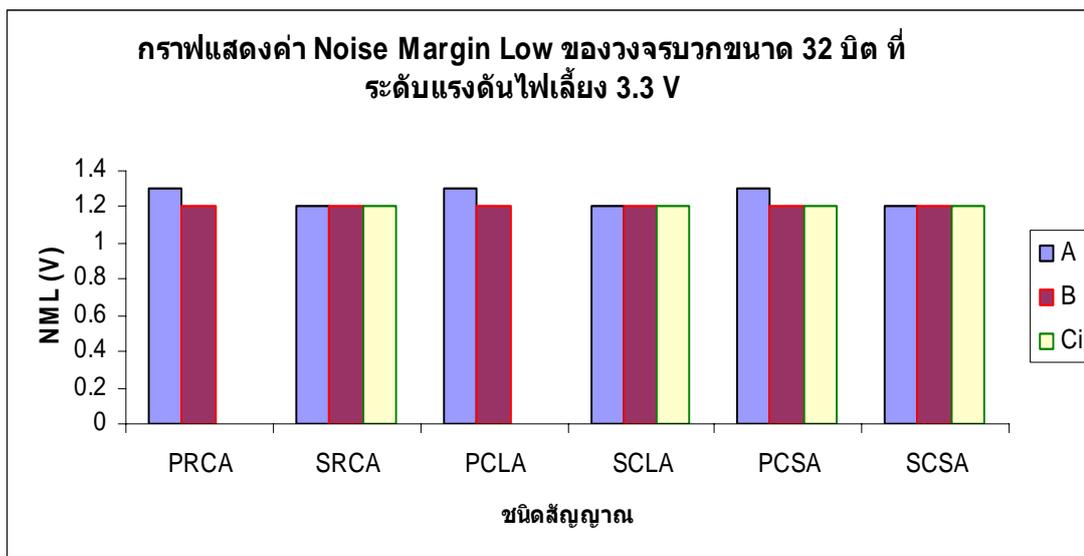


ภาพที่ 84 ภาพแสดงค่า Noise Margin High ของวงจรวกขนาด 32 บิต ที่  $V_{DD} = 3.3$  V

ตารางที่ 24 ตารางแสดงค่า Noise Margin Low ของวงจรวกขนาด 32 บิต ที่  $V_{DD} = 3.3$  V

ชนิดวงจร	ค่า Noise Margin Low	ค่า Noise Margin Low	ค่า Noise Margin Low ที่
	ที่สัญญาณ A (V)	ที่สัญญาณ B (V)	สัญญาณ Ci (V)
PRCA	1.3	1.2	0
SRCA	1.2	1.2	1.2
PCLA	1.3	1.2	0
SCLA	1.2	1.2	1.2
PCSA	1.3	1.2	1.2
SCSA	1.2	1.2	1.2

จากตารางที่ 24 สามารถนำมาสร้างกราฟเปรียบเทียบค่า Noise Margin Low ของวงจรวกขนาด 32 บิต ที่  $V_{DD} = 3.3$  V ได้ดังภาพที่ 85



ภาพที่ 85 ภาพแสดงค่า Noise Margin Low ของวงจรวกขนาด 32 บิต ที่  $V_{DD} = 3.3$  V

จากภาพที่ 82 และภาพที่ 83 จะแสดงให้เห็นว่าค่า Noise Margin ของวงจรวกแบบ SRCA , SCLA และ SCSA จะมีค่าที่อยู่ในช่วงเดียวกันไม่ว่าจะมีสัญญาณเข้าเป็นสัญญาณ A , B และ Ci โดยมีค่า NMH เท่ากับ 3 – 3.2 V และ NML เท่ากับ 1.7 – 1.9 V ส่วนวงจรวก RCA , CLA และ CSA นั้นจะมีค่า Noise Margin ที่แตกต่างกันไป โดยจะพบว่าค่า NMH จากสัญญาณ Ci ของวงจรวก PRCA และ PCLA จะมีค่าเป็น 0 ส่วนวงจรวก PCSA จะมีค่า NMH แต่จะมีค่าต่ำลงเนื่องจากค่าสัญญาณออกมีค่าไม่เต็มระดับแรงดันไฟเลี้ยงนั่นเอง ส่วนค่า NMH ของสัญญาณ A ของทุกวงจรวกจะมีค่าเป็น 0 ทุกวงจรวก และค่า NMH ของสัญญาณ B นั้น จะมีค่าในลักษณะเดียวกับวงจรวก SRCA , SCLA และ SCSA

และจากภาพที่ 84 และภาพที่ 85 เมื่อทำการลดระดับแรงดันไฟเลี้ยงลง จะพบว่าค่า Noise Margin ไม่ว่าจะเป็ค่า NML และ NMH ก็ตามจะมีลักษณะค่า Noise Margin เหมือนกับการทดสอบที่ระดับแรงดันไฟเลี้ยง 5 V โดยจะมีค่าลดลงตามลำดับ เนื่องจากมีระดับแรงดันไฟเลี้ยงที่แตกต่างกัน นอกจากนี้ในวงจรวกที่ออกแบบโดยใช้ Pass transistor จะมีค่า Noise Margin ที่แตกต่างกับวงจรวกแบบ Static Complementary CMOS โดยค่า NMH ที่ต่ำลงจากเดิม เนื่องจากจะมีแรงดันที่ตกลงเนื่องจากผลของค่า Threshold Voltage ของทรานซิสเตอร์นั่นเอง

ดังนั้นจึงสามารถสรุปได้ว่าวงจรที่ออกแบบโดยใช้ Static Complementary CMOS จะมีค่า Noise Margin ที่ค่อนข้างใกล้เคียงกับค่าในอุดมคติ โดยจะพบว่ามีช่วงที่ไม่สามารถบอกได้ว่าเป็นลอจิกใดน้อยมากเพียง 0.1 V เท่านั้นเอง นอกจากนี้จะสรุปได้ว่าวงจรรูปแบบนี้สามารถป้องกันสัญญาณรบกวนได้ค่อนข้างดี ไม่ว่าจะป้อนสัญญาณใดเข้ามาก็ไม่ทำให้ค่าสัญญาณด้านลอจิกต่ำหรือลอจิกสูงเกิดความผิดพลาด ส่วนวงจรที่ออกแบบโดยใช้ Pass transistor นั้นจะพบว่าวงจรส่วนมากจะป้องกันสัญญาณรบกวนลอจิกต่ำได้ดีเช่นเดียวกัน ยกเว้นถ้าเกิดสัญญาณรบกวนจากสัญญาณ  $C_i$  อาจทำให้วงจรเกิดความผิดพลาดเนื่องจากมีค่า NML เป็น 0 ส่วนลอจิกสูงนั้น ในการออกแบบโดยใช้ Pass transistor อาจเกิดความผิดพลาดได้ค่อนข้างมาก เนื่องจากจะมีแค่สัญญาณจาก B เท่านั้นที่มีค่า NMH ส่วนค่าจากสัญญาณ A และ  $C_i$  ส่วนใหญ่จะมีค่าเป็น 0 นั่นเอง นั่นคือวงจรที่ออกแบบโดยใช้ Pass transistor นั้น จะมีโอกาสที่ลอจิกต่ำทำงานผิดพลาดน้อย แต่ในลอจิกสูงอาจเกิดข้อผิดพลาดได้มาก

## สรุปและข้อเสนอแนะ

### สรุป

1. ทำการออกแบบวงจรบวกขนาด 1 บิต โดยการใช้ Pass transistor และ Static Complementary CMOS ได้ ซึ่งเมื่อนำวงจรไปทดสอบการทำงาน พบว่าวงจรสามารถทำงานได้ถูกต้องตามที่ออกแบบไว้
2. ทำการออกแบบวงจรบวกแบบตัวทดเลื่อน , วงจรบวกแบบคิดตัวทดล่วงหน้า และวงจรบวกแบบเลือกตัวทด ให้มีขนาด 4 บิต , 8 บิต , 16 บิต และ 32 บิต โดยการใช้ Pass transistor และ Static Complementary CMOS ได้ ซึ่งเมื่อนำวงจรไปทดสอบการทำงาน พบว่าวงจรสามารถทำงานได้ถูกต้องตามที่ออกแบบไว้
3. สามารถนำวิธีการลดระดับแรงดันไฟเลี้ยงมาใช้ร่วมกันในการออกแบบวงจรบวกทั้งหมด ซึ่งเมื่อนำวงจรบวกทั้งหมดมาทำการทดสอบการทำงาน จะพบว่าวงจรสามารถทำงานได้ถูกต้องตามที่ออกแบบไว้ โดยระดับแรงดันไฟเลี้ยงต่ำสุดที่วงจรสามารถทำงานได้โดยไม่เกิดข้อผิดพลาดเท่ากับ 3.3 V
4. การทดสอบจำนวนของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรบวก พบว่าวงจรที่ทำการออกแบบโดยใช้ Pass transistor จะมีจำนวนทรานซิสตอร์น้อยกว่าวงจรที่ทำการออกแบบโดยใช้ Static Complementary CMOS ทำให้วงจรบวกที่ออกแบบโดยใช้ Pass transistor มีขนาดเล็กกลงส่งผลให้วงจรบวกที่ออกแบบโดยใช้ Pass transistor นั้นใช้กำลังงานน้อยกว่าวงจรบวกที่ออกแบบโดยใช้ Static Complementary CMOS เนื่องจากจะลดอัตราการเปลี่ยนสถานะของโหลดลง
5. การทดสอบการใช้กำลังงานของวงจร พบว่าการออกแบบวงจรบวกโดยใช้ Pass transistor จะสามารถลดการใช้กำลังงานลงได้เฉลี่ยประมาณ 65 % เมื่อทำการเปรียบเทียบกับวงจรที่ออกแบบโดยใช้ Static Complementary CMOS และยังสามารถกำลังงานลงได้ประมาณ 50 % เมื่อทำการลดระดับแรงดันไฟเลี้ยงลง

6. การทดสอบค่าหน่วยเวลาของวงจร จะพบว่าการออกแบบวงจรวกโดยใช้ Pass transistor จะมีค่าหน่วยเวลาน้อยกว่าวงจรถูกออกแบบโดยใช้ Static Complementary CMOS แต่จะมีค่าหน่วยเวลาเพิ่มมากขึ้นเมื่อทำการลดระดับแรงดันไฟเลี้ยงลง แต่ก็จะมีค่าเพิ่มขึ้นไม่มากนัก โดยวงจรวกแบบคิดตัวทดล่งหน้าจะมีค่าหน่วยเวลาดำที่สุุด ซึ่งเมื่อนำไปรวมกับการประหยัดกำลังงานแล้ว วงจรวกที่ออกแบบโดยใช้ Pass transistor ก็ยังคงพอยอมรับได้ในการออกแบบ

7. การทดสอบค่า Noise Margin จะพบว่าวงจรถูกออกแบบโดยใช้ Pass transistor จะมีโอกาสเกิดความผิดพลาดที่ลอจิกสูงได้มาก เนื่องจากมีค่า Noise Margin High ค่อนข้างต่ำ ส่วนวงจรถูกออกแบบโดยใช้ Static Complementary CMOS นั้น จะมีโอกาสทำงานผิดพลาดน้อยมาก เนื่องจากจะมีค่า Noise Margin ที่มีค่าใกล้เคียงกับการออกแบบในอุดมคติ

8. จากการทดสอบการทำงานของวงจร, การใช้กำลังงาน, ค่าหน่วยเวลา และค่า Noise Margin จะสามารถสรุปได้ว่าในงานวิจัยนี้สามารถออกแบบวงจรวกขนาด  $n$  บิต 3 รูปแบบ คือ วงจรวกแบบตัวทดเลื่อน, วงจรวกแบบคิดตัวทดล่งหน้า และวงจรวกแบบเลื่อนตัวทด ให้สามารถทำงานโดยใช้กำลังงานต่ำได้ โดยการใช้ Pass transistor และ การลดระดับแรงดันไฟเลี้ยงมาใช้ร่วมกันในการออกแบบ

9. จากการเปรียบเทียบผลการทำงานต่างๆ ของวงจรวกที่ออกแบบโดยใช้ Pass transistor จะสามารถสรุปได้ว่าวงจรวกแบบคิดตัวทดล่งหน้าจะมีประสิทธิภาพสูงสุด เมื่อเปรียบเทียบกับวงจรวกแบบตัวทดเลื่อน และวงจรวกแบบเลือกตัวทด เนื่องจากวงจรวกแบบคิดตัวทดล่งหน้าจะมีอัตราการใช้กำลังงานต่ำพอกๆกับวงจรวกแบบตัวทดเลื่อน แต่จะมีค่าหน่วยเวลาที่น้อยกว่านั่นเอง ส่วนวงจรวกแบบเลือกตัวทดจะมีประสิทธิภาพต่ำสุด เนื่องจากวงจรมีขนาดใหญ่ที่สุด มีอัตราการใช้กำลังงานและมีค่าหน่วยเวลาที่มากที่สุด เมื่อเปรียบเทียบกับวงจรรูปแบบ

### ข้อเสนอแนะ

1. ในการออกแบบวงจรขนาด  $n$  บิต ในงานวิจัยนี้ ผู้ทำวิจัยได้ทำการออกแบบโดยใช้ผังวงจร (Schematic) โดยใช้โปรแกรม S – Edit ในการออกแบบ ซึ่งเมื่อแปลงเป็น Netlist file สำหรับการทดสอบโดยใช้ Spice นั้น วงจรที่ทำการแปลงจะไม่ได้คิดค่าโหลดภายในที่เกิดขึ้นในวงจร ซึ่งถ้าต้องการพัฒนางานวิจัยนี้ต่อนั้น ควรนำวงจรที่ทำการออกแบบมาสร้างโดยสร้างเป็นลายวงจร (Layout) ซึ่งสามารถนำมาทำการออกแบบโดยใช้โปรแกรม L – Edit ได้ ซึ่งผลจากการพัฒนาต่อจะทำให้สามารถนำวงจรที่ออกแบบในงานวิจัยนี้มาสามารถออกแบบเพื่อใช้งานจริงได้
2. ในการออกแบบวงจรขนาด  $n$  บิต ในงานวิจัยนี้ผู้ทำวิจัยได้เลือกวิธีการลดระดับแรงดันไฟเลี้ยงมาใช้ร่วมกันในการออกแบบวงจร ซึ่งในการพัฒนางานวิจัยนี้ต่อไปนั้น อาจเลือกวิธีการลดพลังงานแบบอื่นมาใช้ร่วมกันในการออกแบบ เช่น วิธีการ Dynamic Voltage Scaling (DVS) หรือวิธีการ Energy Recovery เป็นต้น
3. ในวงจรบวกร์ที่ออกแบบในงานวิจัยนี้จะพบว่าวงจรบวกร์ที่ออกแบบโดยใช้ Pass transistor จะมีค่า Noise Margin ที่ค่อนข้างต่ำ ดังนั้นในการพัฒนางานวิจัยนี้อาจนำวงจรบวกร์ที่ออกแบบไปพัฒนาให้มีค่า Noise Margin ที่สูงขึ้นนั่นเอง
4. สามารถนำวงจรบวกร์ที่ทำการออกแบบไปใช้ในการพัฒนาการออกแบบวงจรคูณ (Multiplier) ให้ใช้กำลังงานต่ำลง

## เอกสารและสิ่งอ้างอิง

- ธีรยศ เวียงทอง. 2548. **VLSI Design and Tools**. มหาวิทยาลัยเทคโนโลยีมหานคร,  
กรุงเทพมหานคร
- ธีรวัฒน์ ประกอบผล. 2540. **ดิจิทัลอิเล็กทรอนิกส์**. แมคกรอ-ฮิล อินเทอร์เน็ต เนชั่นแนล เอ็นเตอร์  
ไพร์ส, อิงค์, กรุงเทพมหานคร
- ธีรวัฒน์ ประกอบผล. 2545. **ดิจิทัลลอจิก**. ซีเอ็ดดูเคชั่น, กรุงเทพมหานคร
- บวร ปกัศราทร , ประเสริฐ คันธมานนท์ และสุเมธ อังคะศิริกุล. 2533. **เทคโนโลยีการออกแบบ  
วงจรรวม**. สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น) และสถาบันเทคโนโลยีพระจอมเกล้า  
ธนบุรี, กรุงเทพมหานคร
- ภาณุวัฒน์ ดำนกลาง. 2548. **การออกแบบวงจรรวมพลังงานต่ำแบบอะซิงโครนัสด้วยเทคนิคการ  
ควบคุมไฟเลี้ยงแบบพลวัตที่ทำงานตามเวลาจริง**. วิทยานิพนธ์ปริญญาโท.  
มหาวิทยาลัยเกษตรศาสตร์.
- Charm, A. M., A. B. Magdy. 1998. **A New Full Adder Cell for Low-Power Applications**.  
VLSI, 1998. Proceedings of the 8th Great Lakes Symposium on 19-21 Feb. 1998  
Page(s) : 45 – 49
- Chang , H. C., Z. Mingyan and G. Jiangmin. **A Novel Low Power Low Voltage Full Adder  
Cell**. Image and Signal Processing and Analysis, 2003. ISPA 2003. Proceedings of the 3rd  
International Symposium on Volume 1, 18 - 20 Sept. 2003 Page(s) : 454 - 458 Vol.1
- Hodge, A. D., J. G. Horace and S. A. Resve. 2003. **Analysis and Design of Digital Integrated  
Circuits : In Deep Submicron Technology**. McGraw-Hill, New York

Hung, T. B., Yuke, W. and Yingtao, J. 2002. **Design and Analysis of Low-Power 10-Transistor Full Adders Using Novel XOR–XNOR Gates**. IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING, VOL. 49, NO. 1, JANUARY 2002 Page(s) : 25 - 30

Lee, S. 2000. **Design of Computer and Other Complex Digital Device**. Prentice Hall, New Jersey

Kang, S.M. and Y. Leblebici. 2003. **CMOS Digital Integrated Circuit : Analysis and Design**. 3rd ed. McRraw-Hill, Boston Burr Ridge.

Rabaey, J. M., A. Chandrakasan and B. Nikolic. 2003. **Digital Integrated Circuits : A Design Perspective**. 2<sup>nd</sup> ed. Prentice Hall, USA.

Rawat, K., D. Tarek and B. Magdy. 2002. **A Low Power and Reduce Area Carry Select Adder : Circuits and Systems**. MWSCAS-2002. The 2002 45th Midwest Symposium on Volume 1, 4 - 7 Aug. 2002 Page(s) : I - 467-70 vol.1

Roy, K. and S.C. Prasad. 2000. **Low-Power CMOS VLSI Circuit Design**. Wiley-Interscience, New York.

Shalem, R., E. John and L. K. John. 1999. **A Novel Low Power Energy Recovery Full Adder Cell**. VLSI, 1999. Proceedings. Ninth Great Lakes Symposium on 4 - 6 March 1999 Page(s) : 380 - 383

Weste, Neil H.E. and Harris D. 2005. **CMOS VLSI Design : A Circuits and Systems Perspective**. 3<sup>rd</sup> ed. Addison Wesley, USA.

## ประวัติการศึกษา และการทำงาน

ชื่อ –นามสกุล	นายสุทธินันท์ ลิ้มทอง
วัน เดือน ปี ที่เกิด	24 เมษายน 2524
สถานที่เกิด	อำเภอท่าศาลา จังหวัดนครศรีธรรมราช
ประวัติการศึกษา	วศ.บ. (ไฟฟ้า) มหาวิทยาลัยวลัยลักษณ์
ตำแหน่งหน้าที่การงานปัจจุบัน	-
สถานที่ทำงานปัจจุบัน	-
ผลงานดีเด่นและรางวัลทางวิชาการ	-
ทุนการศึกษาที่ได้รับ	ได้รับทุนผู้ช่วยสอนจากภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษตรศาสตร์ (พ.ศ. 2548 และ พ.ศ. 2549)