

สุทธินันท์ ลิ้มทอง 2550: การออกแบบวงจรบวกขนาด n บิต ที่ใช้กำลังงานต่ำ ปรินูญา
วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชา
วิศวกรรมไฟฟ้า ปรธานกรรมการที่ปรึกษา: ผู้ช่วยศาสตราจารย์ชูเกียรติ ภาระเกตุ,
Ph.D. 111 หน้า

งานวิจัยนี้นำเสนอการออกแบบวงจรบวกขนาด n บิต ที่ใช้กำลังงานต่ำ โดยวงจรบวกที่
ทำการออกแบบจะมี 3 รูปแบบ คือ วงจรบวกแบบตัวทดเลื่อน (Ripple Carry Adder), วงจรบวก
แบบคิดตัวท่วงหน้า (Carry Lookahead Adder) และวงจรบวกแบบเลือกตัวทด (Carry Select
Adder) โดยการออกแบบวงจรจะใช้ Pass transistor โดยวงจรที่ทำการออกแบบจะนำมา
เปรียบเทียบกับวงจรที่ทำการออกแบบโดยใช้ Static Complementary CMOS ซึ่งเป็นเกตที่ใช้ใน
การออกแบบวงจรรวมแบบมอส โดยผลจากการทดสอบการทำงานของวงจรที่ระดับแรงดันไฟ
เลี้ยง 5 V จะให้ผลการทำงานของวงจรมีความถูกต้องตรงกัน โดยที่วงจรที่ออกแบบโดยใช้ Pass
transistor พบว่าบางวงจรลดการใช้กำลังงานลงมาสูงสุดได้ถึง 80 % และในบางวงจรลดลงมาได้
ต่ำสุดเพียง 54 % เมื่อเปรียบเทียบกับวงจรที่ออกแบบโดยใช้ Static Complementary CMOS

นอกจากนี้ในงานวิจัยนี้ได้มีการนำเทคนิคการลดระดับแรงดันไฟเลี้ยงมาใช้ร่วมกันด้วย
ซึ่งจากการทดสอบพบว่าระดับแรงดันไฟเลี้ยงต่ำสุดที่วงจรที่ทำการออกแบบสามารถทำงานได้
ถูกต้องนั้นเท่ากับ 3.3 V และพบว่าวงจรที่ทำการออกแบบโดยใช้ Pass transistor นั้นสามารถลด
กำลังงานลงได้สูงสุดถึง 72 % และลดกำลังงานลงได้ต่ำสุดเพียง 33 % ในบางวงจร เมื่อทำการ
เปลี่ยนระดับแรงดันไฟเลี้ยงจาก 5 V เป็น 3.3 V นอกจากนี้เมื่อทำการทดสอบตัวแปรที่มีผลต่อการ
ทำงานของวงจร ได้แก่ ค่าหน่วงเวลา (Delay time) และค่าป้องกันการรบกวนสัญญาณเอาท์พุท
(Noise Margin) พบว่าค่าตัวแปรมีค่าเป็นที่ยอมรับได้สำหรับการใช้งานทั่วไป

ดังนั้นสามารถสรุปได้ว่าวงจรบวกขนาด n บิต สามารถออกแบบให้ใช้กำลังงานต่ำด้วย
การออกแบบโดยใช้ Pass transistor และวิธีการลดระดับแรงดันไฟเลี้ยงร่วมกัน โดยสามารถลด
การใช้กำลังงานได้สูงสุดถึง 80 % ขึ้นอยู่กับชนิดของวงจรและรูปแบบการต่อวงจร โดยการ
ทนทานต่อสัญญาณรบกวนและค่าหน่วงเวลาของวงจร ยังอยู่ในเกณฑ์ที่ใช้งานได้จริงได้

ลายมือชื่อนิสิต

ลายมือชื่อประธานกรรมการ