สุทธินันท์ ลิ้มทอง 2550: การออกแบบวงจรบวกขนาด n บิต ที่ใช้กำลังงานต่ำ ปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า ประธานกรรมการที่ปรึกษา: ผู้ช่วยศาสตราจารย์ชูเกียรติ การะเกตุ, Ph.D. 111 หน้า

งานวิจัยนี้นำเสนอการออกแบบวงจรบวกขนาด n บิต ที่ใช้กำลังงานต่ำ โดยวงจรบวกที่ทำการออกแบบจะมี 3 รูปแบบ คือ วงจรบวกแบบตัวทดเลื่อน (Ripple Carry Adder), วงจรบวกแบบคิดตัวทดล่วงหน้า (Carry Lookahead Adder) และวงจรบวกแบบเลือกตัวทด (Carry Select Adder) โดยการออกแบบวงจรจะใช้ Pass transistor โดยวงจรที่ทำการออกแบบจะนำมาเปรียบเทียบกับวงจรที่ทำการออกแบบโดยใช้ Static Complementary CMOS ซึ่งเป็นเกตที่ใช้ในการออกแบบวงจรรวมแบบมอส โดยผลจากการทดสอบการทำงานของวงจรที่ระดับแรงดันไฟเลี้ยง 5 V จะให้ผลการทำงานของวงจรมีความถูกต้องตรงกัน โดยที่วงจรที่ออกแบบโดยใช้ Pass transistor พบว่าบางวงจรลดการใช้กำลังงานลงมาสูงสุดได้ถึง 80 % และในบางวงจรลดลงมาได้ต่ำสุดเพียง 54 % เมื่อเปรียบเทียบกับวงจรที่ออกแบบโดยใช้ Static Complementary CMOS

นอกจากนี้ในงานวิจัยนี้ได้มีการนำเทคนิคการลดระดับแรงดันไฟเลี้ยงมาใช้ร่วมกันด้วย ซึ่งจากการทดสอบพบว่าระดับแรงดันไฟเลี้ยงต่ำสุดที่วงจรที่ทำการออกแบบสามารถทำงานได้ถูกต้องนั้นเท่ากับ 3.3 V และพบว่าวงจรที่ทำการออกแบบโดยใช้ Pass transistor นั้นสามารถลดกำลังงานลงได้สูงสุดถึง 72 % และลดกำลังงานลงได้ต่ำสุดเพียง 33 % ในบางวงจร เมื่อทำการเปลี่ยนระดับแรงดันไฟเลี้ยงจาก 5 V เป็น 3.3 V นอกจากนี้เมื่อทำการทดสอบตัวแปรที่มีผลต่อการทำงานของวงจร ได้แก่ ค่าหน่วงเวลา (Delay time) และค่าป้องกันการรบกวนสัญญาณเอาท์พุท (Noise Margin) พบว่าค่าตัวแปรมีค่าเป็นที่ยอมรับได้สำหรับการใช้งานทั่วไป

ดังนั้นสามารถสรุปได้ว่าวงจรบวกขนาด n บิต สามารถออกแบบให้ใช้กำลังงานต่ำด้วยการออกแบบโดยใช้ Pass transistor และวิธีการลดระดับแรงดันไฟเลี้ยงร่วมกัน โดยสามารถลดการใช้กำลังงานได้สูงสุดถึง 80 % ขึ้นอยู่กับชนิดของวงจรและรูปแบบการต่อวงจร โดยการทนทานต่อสัญญาณรบกวนและค่าหน่วงเวลาของวงจร ยังอยู่ในเกณฑ์ที่ใช้งานจริงได้

สุทธินันท์ ลิ้มทอง | | 14 / พ.ค. / 50

ลายมือชื่อนิสิต

ลายมือชื่อประธานกรรมการ