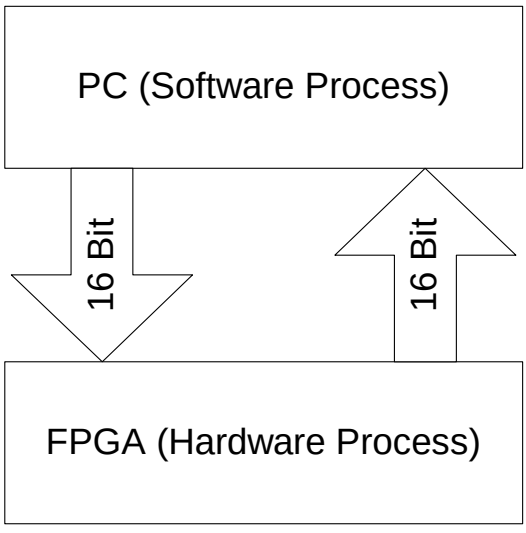
บทที่ 5
การพัฒนาวงจรประมวลผล

ในหัวข้อนี้จะเป็นการนำเสนอวิธีการนำอัลกอริทึมที่พัฒนาขึ้นมา มาสร้างเป็นวงจรประมวลด้วยวงจรดิจิตอล โดยเครื่องมือที่ใช้ในการพัฒนาวงจรดังกล่าวคือ ชิพเอฟพีจีเอ (FPGA) ซึ่งเป็นไอซีที่สามารถจะปรับเปลี่ยนโครงสร้างภายในให้สามารถประมวลผลได้ตามต้องการ

5.1 สภาพแวดล้อมของระบบที่ใช้ทำในการทดสอบ

ในการออกแบบวงจรดิจิตอลบนเอฟพีจีเอนั้นจำเป็นต้องมีการกำหนดสภาพแวดล้อมของระบบที่ใช้ในการพัฒนาให้เรียบร้อยเสียก่อน จึงจะทำการออกแบบแบบวงจรประมวลผลให้เข้ากับระบบทดสอบที่กำหนดไว้ เนื่องจากการประมวลผลด้วยวงจรดิจิตอลนั้นมีความยืดหยุ่นน้อย และมักจะออกแบบมาเพื่อให้รองรับกับระบบใดระบบหนึ่งเท่านั้น โดยระบบที่ใช้ในการพัฒนาอัลกอริทึมนี้จะใช้ชิพเอฟพีจีเอมาเชื่อมต่อเข้ากับพีซี ผ่านทางบัสพีซีไอ (PCI Bus) เนื่องจากว่าอินเตอร์เฟซของพีซีไอเป็นแบบขนานทำให้ง่ายต่อการออกแบบวงจร ซึ่งในการทดลองนี้จะใช้บัสข้อมูลขนาด 16 บิตในการเชื่อมต่อระหว่างพีซี และชิพเอฟพีจีเอ ดังรูปที่ 5.1



รูปที่ 5.1 การนำชิพเอฟพีจีเอมาช่วยประมวลผลผ่านทางบัสพีซีไอ

ในส่วนของชิพเอฟพีชีเอนั้นจะใช้ชิพตระกูล Sparton-3 ของบริษัท Xilinx เบอร์ XC3S200 ซึ่งมีความจุวงจรภายในอยู่ที่ 200,000 เกต ซึ่งเหมาะสำหรับใช้ในการออกแบบวงจรขนาดใหญ่ นอกจากจำนวนเกตที่มากแล้ว ไอซีเบอร์ดังกล่าวยังมีหน่วยความจำแบบแรม (RAM) ภายในชิพซึ่ง

มีความจุรวมมากถึง 216Kb ซึ่งสามารถนำไปประยุกต์ใช้ในการประมวลผลข้อมูลขนาดใหญ่ เช่น รูปภาพ ภาพเคลื่อนไหว และข้อมูลเสียง โดยที่การประมวลผลโดยเก็บข้อมูลไว้ในหน่วยความจำภาพในชิพนั้นจะช่วยเพิ่มความเร็วในการประมวลผลได้อย่างมาก เนื่องจากเป็นการลดจำนวนครั้งในการดึงข้อมูลจากภายนอกเข้ามาประมวลผล

5.2 วัตถุประสงค์ในการออกแบบวงจร

หลังจากที่กำหนดสภาพแวดล้อมในการพัฒนาชิพประมวลผลสำหรับการประมาณการเคลื่อนที่เสร็จเรียบร้อยแล้ว ในขั้นตอนต่อมาจะเป็นการกำหนดวัตถุประสงค์และเงื่อนไขที่ใช้ในการออกแบบ

1. วงจรจะต้องเป็นวงจรที่มีการประมวลผลแบบขนาน 4 ชุด เนื่องจากอัลกอริทึมการค้นหา 1 มิติเป็นลำดับขั้นแบบขนาน และ อัลกอริทึมการค้นหา 1 มิติเป็นลำดับขั้นแบบขนาน 2 ระดับ มีจุดเด่นในด้านการประมวลผลแบบขนาน โดยสามารถแยกการประมวลผลในแกน X และ แกน Y แยกออกจากกันได้อย่างอิสระ ในขณะเดียวกัน ในแต่ละแกนจะมีการประมวลผลทั้งในทิศทางลบและทิศทางบวก ซึ่งสามารถที่จะคำนวณทั้ง 2 ทิศทางไปพร้อมกันได้ จึงทำให้เกิดเป็นวงจรประมวลผลขนานกัน 4 ชุด ซึ่งจะทำให้ได้ความเร็วในการประมวลผลสูงกว่าอัลกอริทึมแบบอื่น ๆ ถึง 4 เท่า

2. วงจรที่ออกแบบจะทำการประมวลผลในส่วนของการเปรียบเทียบบล็อค (Block matching) เท่านั้น เพื่อไม่ให้วงจรมีขนาดใหญ่มากเกินไปจนไม่สามารถจะบรรจุลงในชิพเอฟพีจีเอได้

3. ในการประมวลผลจะต้องทำการโหลดข้อมูลพื้นที่ค้นหา (Search area) และบล็อคย่อย (Macro block) เข้าไปในหน่วยความจำภายในตัวชิพเอฟพีจีเอ เพื่อความรวดเร็วในการประมวลผล โดยหน่วยความจำทั้ง 2 จะแยกจากกัน

4. ภาพที่ใช้ในการประมวลผลจะใช้ภาพที่มีความละเอียดสี 8 บิต เพื่อให้สามารถบรรจุภาพ 2 ภาพลงในหน่วยความจำภายในของชิพเอฟพีจีเอได้

5. ผลลัพธ์ที่ได้จะเป็นค่าพิกัด (X, Y) ซึ่งแสดงถึงค่าเวคเตอร์การเคลื่อนที่ (Motion Vector) ของบล็อคย่อยภายในพื้นที่ค้นหา

6. ในการพัฒนาวงจรประมวลผลนั้นจะพัฒนาขึ้นมาเพื่อให้ใช้กับอัลกอริทึมการค้นหา 1 มิติเป็นลำดับขั้นแบบขนาน ซึ่งสามารถนำไปประยุกต์ใช้สำหรับ อัลกอริทึมการค้นหา 1 มิติเป็นลำดับขั้นแบบขนาน 2 ระดับได้อีกด้วย

5.3 ลักษณะของข้อมูลที่ใช้ในการประมวลผล

เนื่องจากการประมวลผลด้วยวงจรดิจิตอลนั้นมีความยืดหยุ่นน้อยจึงต้องมีการระบุลักษณะของข้อมูลที่ใช้ประมวลผลให้ชัดเจน ดังนี้

1. รูปภาพที่ใช้ประมวลผลมีด้วยกัน 2 ขนาดคือ 16x16 พิกเซล และ 32x32 พิกเซล

2. รูปภาพใช้ความละเอียดของสี 8 บิต เพื่อลดขนาดของข้อมูลที่ต้องจัดเก็บในวงจร

3. ใช้ข้อมูลระบุพิกัด 2 ขนาดคือ 8 บิตสำหรับภาพขนาด 16x16 พิกเซล โดย 4 บิตแรกตั้งแต่บิตที่ 7 ถึงบิตที่ 4 เก็บค่า x และ 4 บิตหลังตั้งแต่บิตที่ 3 ถึงบิตที่ 0 เก็บค่า y และข้อมูลขนาด 10 บิตสำหรับภาพขนาด 32x32 พิกเซล โดยใช้ 5 บิตแรกตั้งแต่บิตที่ 9 ถึงบิตที่ 5 ในการเก็บค่า x และใช้ 5 บิตหลังตั้งแต่บิตที่ 4 ถึงบิตที่ 0 ในการเก็บค่า y

4. การจัดเก็บในหน่วยความจำจะใช้ค่า x และ y ที่นำมาต่อกันตามข้อที่ 3 มาใช้เป็นแอดเดรสอ้างอิงในหน่วยความจำ

5.4 โปรโตคอลสื่อสารระหว่างพีซีและเอฟพีจีเอ

ในการนำเอฟพีจีเอเข้ามาช่วยประมวลผลนั้นจำเป็นต้องกำหนดรูปแบบการส่งข้อมูลระหว่างกันให้ชัดเจนเพื่อให้ได้ผลลัพธ์ที่ถูกต้อง ในที่นี้ข้อมูลที่จะส่งระหว่างพีซีและเอฟพีจีเอมีขนาดข้อมูล 16 บิต โดยข้อมูลที่ส่งจากพีซีไปยังเอฟพีจีเอจะประกอบไปด้วย

1. ข้อมูลพื้นที่ค้นหา (Search Area) ที่มีขนาดข้อมูล 8 บิต กับแอดเดรส 10 บิต จำนวน 1024 ชุด

2. บล็อคย่อย (Macro block) ที่มีขนาดข้อมูล 8 บิต กับแอดเดรส 8 บิต จำนวน 256 ชุด

3. ข้อมูลที่ส่งจากเอฟพีจีเอมายังพีซีจะเป็นค่าพิกัด X,Y โดยจะเป็นค่า X จำนวน 9 บิต ค่า Y จำนวน 9 บิต ซึ่งสามารถไม่ส่งกลับมาได้ในชุดข้อมูล 16 บิตในครั้งเดียว จึงต้องมีการอ่านค่าผลลัพธ์ 2 ครั้ง โดยเริ่มส่งจากค่า X ก่อน แล้วจึงตามด้วยค่า Y

ในส่วนของการออกแบบโปรโตคอลของข้อมูล จึงมีความจำเป็นทั้งในส่วนของการส่งข้อมูลจากพีซีมายังชิพเอฟพีจีเอ และการส่งข้อมูลจาก เอฟพีจีเอกลับมายังพีซี โดยเฉพาะในส่งขอการส่งข้อมูลจากพีซีมายังชิพเอฟพีจีเอ เนื่องจากข้อมูลมี 2 กลุ่ม และมีขนาดของแอดเดรสที่ไม่เท่ากัน จึงต้องมีการกำหนดรูปแบบข้อมูลเพื่อให้แยกแยะได้ว่า ข้อมูลใดเป็นของพื้นที่ค้นหา และข้อมูลใดเป็นของบล็อคย่อย นอกจากนี้ข้อมูลของพื้นที่ค้นหายังมีแอดเดรสขนาด 10 บิต ซึ่งเมื่อรวมกับข้อมูลที่มีขนาด 8 บิตแล้ว ทำให้ไม่สามารถส่งผ่านบัสข้อมูลขนาด 16 บิตได้ ซึ่งหมายความว่าจะต้องใช้การส่งข้อมูล 2 ชุด ต่อข้อมูลภาพ 1 ตำแหน่ง จากการวิเคราะห์ข้อมูลทำให้ได้รูปแบบข้อมูลดังรูปที่ 5.2 และตารางที่ 5.1

MSB LSB

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

รูปที่ 5.2 แผนภาพแสดงข้อมูลขนาด 16 บิต

ตารางที่ 5.1 โปรโตคอลการส่งข้อมูลจากพีซีไปยังชิพเอฟพีจีเอ

ตำแหน่งของบิต	ความหมาย
15	RST (0 = Normal, 1 = Reset)
14	SYN (0 = Address, 1 = Data)
13	BLK (0 = Search area data, 1=Macro block)
12	END (0 = Normal, 1 = Load data complete)
9-0	Search area address
7-0	Macro block address
7-0	Pixel Data

การส่งข้อมูลจะเริ่มจากการส่งชุดแอดเดรสก่อนแล้วจึงตามด้วยชุดข้อมูล โดยจะใช้บิตที่ 14 เป็นตำแหน่งที่ใช้บอกว่าข้อมูลที่ส่งมาเป็นแอดเดรสของข้อมูลหรือว่าเป็นข้อมูลสีของภาพ ซึ่งหมายความว่าข้อมูลบิตที่ 14 จะมีค่าเป็น 0 และ 1 สลับกันไประหว่างที่มีการส่งข้อมูล นอกจากนี้ยังใช้บิตที่ 13 ในการระบุว่าข้อมูลที่ส่งมาเป็นข้อมูลของพื้นที่ค้นหาหรือว่าเป็นของบล็อคย่อย เพื่อให้สามารถนำข้อมูลดังกล่าวแยกเก็บไปยังหน่วยความจำของแต่ละส่วนได้อย่างถูกต้อง และยังใช้ในการระบุขนาดของแอดเดรสของข้อมูลด้วยว่าเป็นแอดเดรสขนาด 10 บิต หรือ 8 บิต โดยจะเริ่มนับจากบิต 0 เป็น LSB ของทั้งข้อมูลที่เป็นแอดเดรสและข้อมูลของภาพ นอกจากในส่วนที่เกี่ยวข้องกับการส่งข้อมูลแล้ว ยังมีส่วนของบิตควบคุม เพื่อใช้ในการควบคุมการทำงานของวงจรบนเอฟพีจีเอ ซึ่งมีด้วยกันอยู่ 2 ค่าคือบิตที่ 15 ใช้ในการกำหนดค่าเริ่มต้นของการประมวลผล ซึ่งจะต้องมีการใช้ทุกครั้งก่อนที่จะมีการส่งข้อมูลมายังระบบเพื่อล้างข้อมูลเดิมที่มีอยู่ในวงจรจากการประมวลผลในรอบก่อนหน้า รวมทั้งยังเป็นการแจ้งให้วงจรบนเอฟพีจีเอทราบว่ากำลังจะมีการส่งข้อมูลจากพีซี และข้อมูลบิตที่ 12 เป็นสัญญาณที่ใช้ในการแจ้งกับระบบว่าข้อมูลของภาพที่เป็นพื้นที่ค้นหา และภาพที่เป็นบล็อคย่อยได้ถูกจัดส่งมายังหน่วยความจำภายในของวงจรเอฟพีจีเอครบแล้ว ให้เริ่มการประมวลผลได้ ในส่วนของข้อมูลบิตที่ 10 และ 11 นั้นเป็นส่วนที่ไม่มีการใช้งาน ดังตัวอย่างในตารางที่ 5.2

ตารางที่ 5.2 ตัวอย่างข้อมูลจากพีซีไปยังชิพเอฟพีจีเอ

ข้อมูล	แอดเดรส	ข้อมูล	ชนิดของภาพ	คำสั่ง
1000000000000000	-	-	-	รีเซต
0000001111111111	1111111111	-	พื้นที่ค้นหา	-
0100000010101010	-	10101010	พื้นที่ค้นหา	-
0010000000000001	00000001	-	บล็อคย่อย	-
0110000000000000	-	00000000	บล็อคย่อย	-
0001000000000000	-	-	-	สิ้นสุดการส่ง

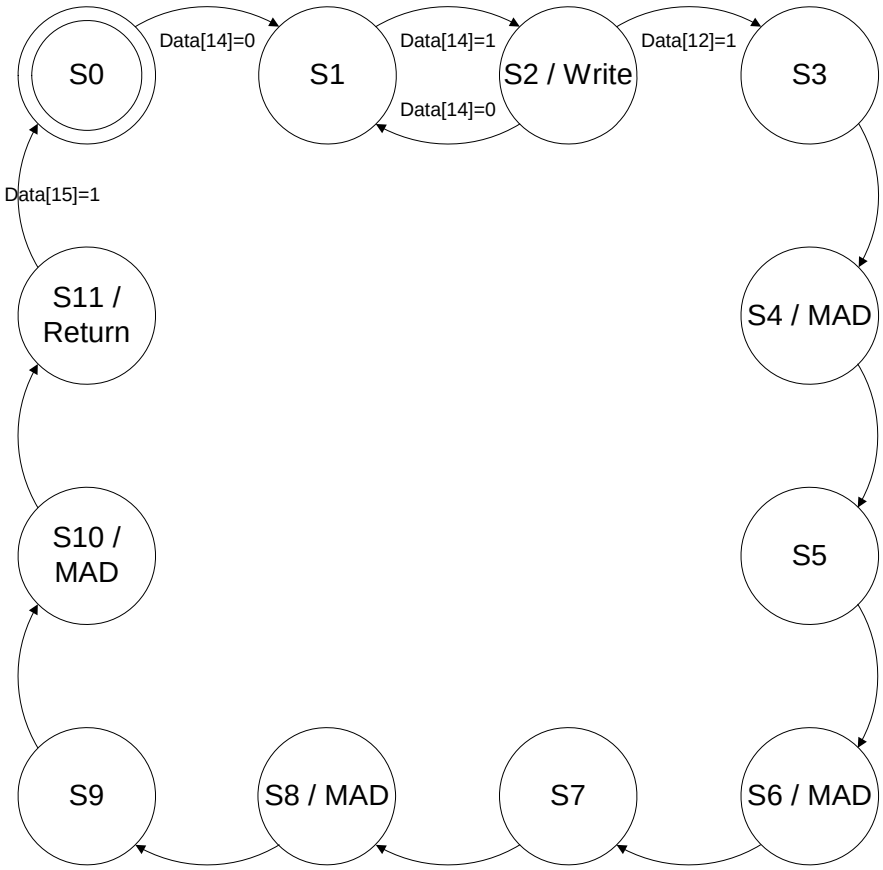
ในส่วนของการส่งข้อมูลผลลัพธ์จากชิพเอฟพีจีเอมายังพีซีนั้น มีรูปแบบที่ง่ายกว่า โดยจะใช้ข้อมูล บิตที่ 9 ถึงบิตที่ 0 ในการส่งข้อมูล และใช้บิตที่ 15 และบิตที่ 14 ในการระบุว่าข้อมูลนี้เป็นค่าแกน X หรือ ค่าแกน Y โดยกำหนดไว้ว่า ถ้าเป็นค่าแกน X ให้บิตที่ 15 เป็น 1 และถ้าเป็นค่าแกน Y ให้บิตที่ 14 เป็น 1

ตารางที่ 5.3 ตัวอย่างข้อมูลจากชิพเอฟพีจีเอไปยังพีซี

ข้อมูล	พิกัด X	พิกัด Y
1000001000010000	1000010000	-
0100001100001000	-	1100001000

5.5 ขั้นตอนในการประมวลผลเปรียบเทียบบล็อคของวงจรบนเอฟพีจีเอ

ในส่วนนี้จะเป็นการอธิบายขั้นตอนการประมวลผลของวงจรประมวลผลเปรียบเทียบบล็อค (Block matching) ตั้งแต่การรับข้อมูลรูปภาพทั้ง 2 รูปจากพีซี การจัดเก็บข้อมูลเข้าสู่หน่วยความจำ การประมวลผลข้อมูล และการจัดส่งผลลัพธ์ที่ได้ไปยังพีซี ในรูปของสเตทแมทชีน โดยกำหนดให้ข้อมูลจากพีซีเรียกว่า Data และจะใช้การระบุตำแหน่งบิตของข้อมูล เช่น ข้อมูลบิตที่ 15 จะแทนด้วย Data[15] เป็นต้น



รูปที่ 5.3 สเตทแมทชีน

S0 เป็นสถานะเริ่มต้น จะเป็นการรอสัญญาณ เมื่อสัญญาณ Data[14] มีค่าเป็น 0 จะเปลี่ยนสถานะไปยังสถานะ S1

S1 เป็นสถานะที่รับข้อมูลแอดเดรสจากพีซี โดยที่สถานะนี้จะทำการอ่านค่า Data[13] เพื่อหาชนิดของข้อมูลภาพที่ส่งมา แล้วทำการแยกหมายเลขแอดเดรสของข้อมูลตามชนิดของข้อมูลภาพ ถ้า Data[13]=0 หมายความเป็นแอดเดรสของพื้นที่ค้นหาแสดงว่าข้อมูลตั้งแต่ Data[9] ถึง Data[0] เป็นแอดเดรส และถ้า Data[13]=1 หมายความเป็นแอดเดรสของบล็อคย่อยแสดงว่าข้อมูลตั้งแต่ Data[7] ถึง Data[0] เป็นแอดเดรส ให้ทำการแยกข้อมูลดังกล่าวไว้ แล้วรอจนกว่าสัญญาณ Data[14] จะมีค่าเป็น 1 จึงเปลี่ยนไปยังสถานะ S2

S2 เป็นสถานะหลังจากที่ได้รับทั้งแอดเดรสและข้อมูลมาครบทั้ง 2 ค่าแล้ว ที่สถานะนี้จะทำการเขียนข้อมูลไปยังหน่วยความจำของข้อมูลภาพแต่ละประเภท ซึ่งภายในวงจรจะมีหน่วยความจำอยู่ 2 ชุด หน่วยความจำชุดที่ 1 สำหรับเก็บพื้นที่ค้นหามีขนาด 1024 ไบท์ และหน่วยความจำชุดที่ 4 มีขนาด 256 ไบท์สำหรับเก็บบล็อคย่อย หลังจากเขียนข้อมูลไปยังหน่วยความจำเสร็จแล้ว จะเป็นการรอสัญญาณ Data[12] มีค่าเป็น 1 เพื่อเปลี่ยนไปยังสถานะ S3 หรือสัญญาณ Data[14] เป็น 0 แล้วเปลี่ยนสถานะไปยัง S1 เพื่อทำการรับข้อมูลชุดต่อไป

S3 จัดเป็นสถานะเริ่มแรกสำหรับส่วนการประมวลผล โดยที่สถานะนี้จะเป็นการกำหนดจุดเริ่มต้นสำหรับการเปรียบเทียบบล็อคย่อยภายในพื้นที่ค้นหา สำหรับอัลกอริทึม PHODS ก็คือพิกัด (0, 0) หลังจากกำหนดจุดเริ่มต้นแล้ว จะทำการเปลี่ยนสถานะไปยัง S4

S4 เป็นสถานะที่ระบบจะเริ่มคำนวณหาค่า MAD ของวงจรทั้ง 4 ชุด ใน 4 ตำแหน่งพิกัด ซึ่งในการประมวลผลครั้งแรกนั้น ทั้ง 4 วงจรจะเปรียบเทียบที่พิกัดเดียวกัน เมื่อคำนวณเสร็จแล้ว ทำการจัดเก็บค่าผลลัพธ์ MAD ไว้ แล้วจึงเปลี่ยนไปยังสถานะ S5

S5 เป็นสถานะที่คำนวณในตำแหน่ง ± 4 ของตำแหน่งที่ดีที่สุดในแกน x และแกน y ซึ่งในที่นี้คือ (0, 0) ซึ่งจะทำให้ได้พิกัดที่ต้องเปรียบเทียบในทั้ง 4 ชุดของวงจรคือ (-4, 0), (4, 0), (0, -4) และ (0, 4)

S6 เป็นสถานะที่คำนวณค่า MAD ของทั้ง 4 จุด แล้วเปรียบเทียบผลในแต่ละแกน และค่าที่ได้จากการคำนวณในรอบก่อนหน้านั้น เพื่อหาค่าที่ดีที่สุดในแกน x และแกน y

S7 เป็นสถานะที่คำนวณในตำแหน่ง ± 2 ของตำแหน่งที่ดีที่สุดในแกน x และแกน y

S8 เป็นสถานะที่ทำการคำนวณหาค่า MAD และทำการเปรียบเทียบ

S9 เป็นสถานะที่คำนวณในตำแหน่ง ± 1 ของตำแหน่งที่ดีที่สุดในแกน x และแกน y

S10 เป็นสถานะที่ทำการคำนวณหาค่า MAD และทำการเปรียบเทียบ

S11 เป็นสถานะที่ทำการรวมค่าผลลัพธ์ในแต่ละแกนเข้าด้วยกัน แล้วส่งค่ากลับไปยังพีซี หลังจากส่งค่าค่าผลลัพธ์กลับไปยังพีซีเป็นที่เรียบร้อยแล้วจะทำการหยุดรอสัญญาณรีเซต Data[15]=1จากทางพีซีเพื่อกลับไปยังสถานะเริ่มต้นใหม่อีกครั้ง

จากสเตทแมทชีนดังกล่าวทำให้ทราบถึงจำนวนสัญญาณนาฬิกาที่ต้องใช้ในการทำงานเพื่อเปรียบเทียบบล็อครูปภาพ 2 ภาพ เพื่อหาการเปลี่ยนแปลงการเคลื่อนที่ โดยแยกย่อยเป็นส่วน ๆ จากขั้นตอนหลัก ๆ ได้ดังนี้

1. ขั้นตอนการรับข้อมูลรูปภาพจากพีซีมายังหน่วยความจำภายในของเอฟพีจีเอ

- สัญญาณรีเซตเพื่อเริ่มต้นการทำงาน 1 สัญญาณนาฬิกา
- ข้อมูลพื้นที่ค้นหาขนาด 1,024 ไบต์ แต่ละไบต์ใช้ 2 สัญญาณนาฬิกา รวมทั้งสิ้น 2,048 สัญญาณ
- ข้อมูลบล็อคย่อยขนาด 256 ไบต์ แต่ละไบต์ใช้ 2 สัญญาณนาฬิกา รวมทั้งสิ้น 512 สัญญาณ
- สัญญาณสิ้นสุดการส่งข้อมูล 1 สัญญาณนาฬิกา

รวมสัญญาณนาฬิกาที่ต้องใช้ในส่วนนี้ทั้งสิ้น 2,562 สัญญาณ

2. ขั้นตอนการการหาค่า MAD

- กำหนดพิกัดที่ต้องทำการเปรียบเทียบ 1 สัญญาณนาฬิกา

- อ่านข้อมูลจากพื้นที่ค้นหา 4 สัญญาณนาฬิกา ทำทั้งหมด 256 ครั้งต่อการคำนวณค่า MAD 1 ครั้ง เท่ากับ 1,024 สัญญาณนาฬิกา

- คำนวณค่า MAD ใช้สัญญาณนาฬิกา 2 สัญญาณต่อการคำนวณ 1 ตำแหน่ง ซึ่งต้องคำนวณ 256 ครั้ง รวมสัญญาณที่ต้องใช้ 512 สัญญาณ

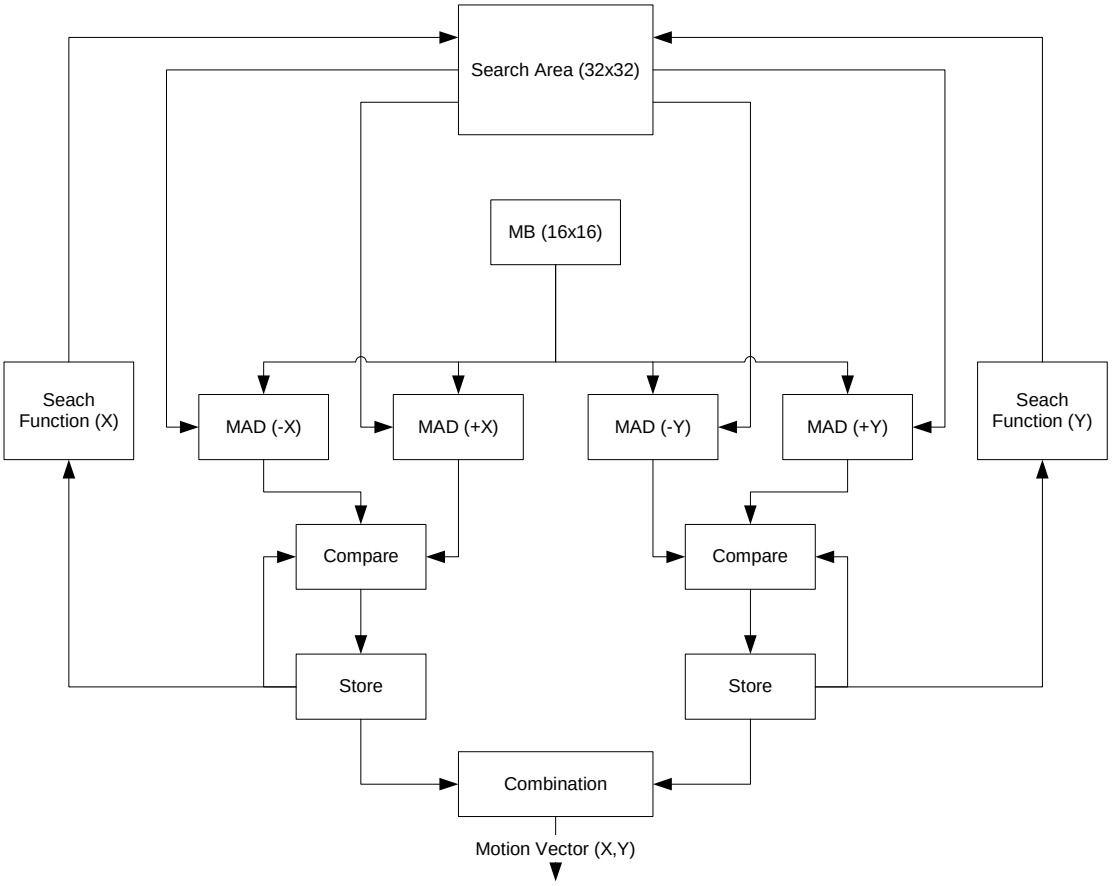
ในการคำนวณด้วยวิธีการ PHODS แบบขนาน 4 ชุด จะมีการคำนวณค่า MAD ทั้งหมด 4 ครั้ง ซึ่งคิดเป็นสัญญาณนาฬิกา 6,144 สัญญาณ

รวมสัญญาณนาฬิกาที่ต้องใช้ในการคำนวณเพื่อหาเวคเตอร์การเคลื่อนที่ทั้งสิ้น 8,706 สัญญาณ

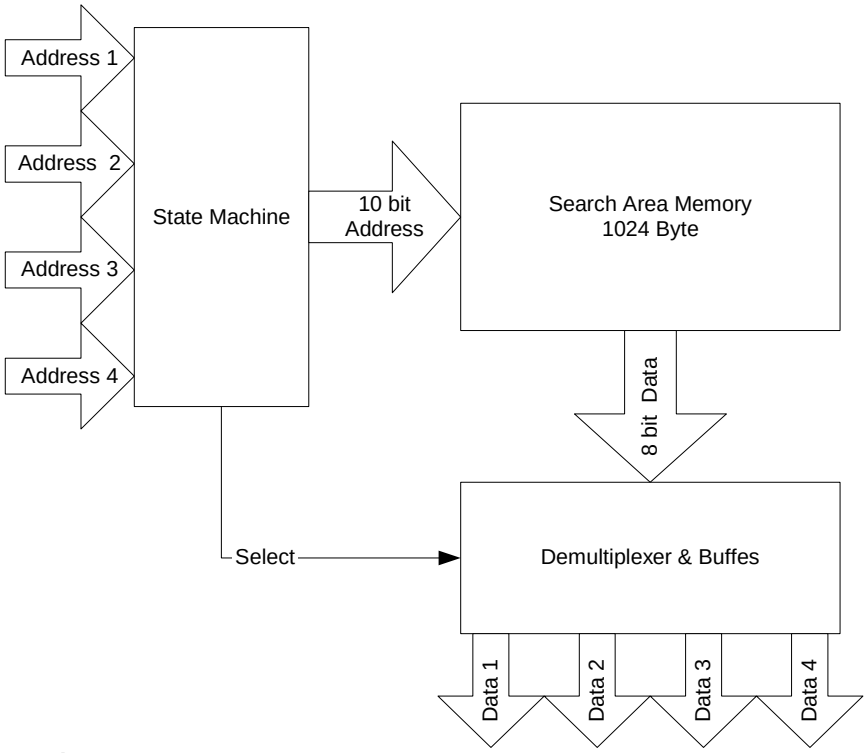
5.6 การพัฒนาระบบประมวลผลแบบขนาน

เพื่อให้การประมวลผลด้วยวงจรดิจิตอลมีประสิทธิภาพสูงยิ่งขึ้น การพัฒนาโครงสร้างการประมวลผลให้รองรับการประมวลผลแบบขนานจึงเป็นสิ่งที่สำคัญอย่างยิ่ง โดยการพัฒนาระบบการประมวลผลแบบขนานบนชิพเอฟพีจีเอนั้น มีข้อจำกัดที่สำคัญที่สุดคือความจุของวงจร เนื่องจากการประมวลผลแบบขนานเป็นการเพิ่มขนาดของวงจรขึ้นเป็นอย่างมาก ดังนั้นในการเลือกส่วนใดส่วนหนึ่งของงานมาปรับปรุงให้เป็นการประมวลผลแบบขนานนั้นจึงต้องพิจารณาให้ดี ถึงความเหมาะสม สำหรับการเปรียบเทียบบล็อคด้วยวิธีอัลกอริทึมการค้นหา 1 มิติเป็นลำดับขั้นแบบขนานนั้นจะทำในส่วนของการเปรียบเทียบบล็อค เพื่อหาค่า MAD ดังรูปที่ 5.4

ปัญหาที่พบในการเปรียบเทียบบล็อคแบบ 4 ชุดพร้อมกันคือ หน่วยความจำที่ใช้เก็บข้อมูลพื้นที่ค้นหาซึ่งใช้หน่วยความจำภายในของเอฟพีจีเอในการจัดเก็บ เป็นหน่วยความจำที่สามารถอ่านข้อมูลได้ทีละ 1 ตำแหน่ง และมีทางออกของข้อมูลเพียง 1 ช่องทางเท่านั้น ไม่สามารถที่จะให้วงจรคำนวณหาค่า MAD ทั้ง 4 วงจรเข้าไปอ่านค่าพร้อม ๆ กัน 4 ค่าได้ จึงต้องมีการปรับปรุงหน่วยความจำให้มีลักษณะเป็นการทำงานคล้ายแบบขนาน โดยนำสเตทแมทชีนมาใช้ในการเลือกแอดเดรสที่จะเข้าไปยังหน่วยความจำในลักษณะวนรอบ และนำบัฟเฟอร์มาใช้เก็บข้อมูลจากหน่วยความจำภายใน ดังรูปที่ 5.5



รูปที่ 5.4 แผนภาพแสดงการประมวลผลแบบขนาน 4 ชุดของ PHODS



รูปที่ 5.5 แผนภาพแสดงการปรับปรุงหน่วยความจำให้เป็นแบบขนาน 4 ชุด

จากการปรับปรุงหน่วยความจำด้วยวิธีการดังกล่าวทำให้ในขั้นตอนการอ่านข้อมูลจากหน่วยความจำต้องใช้สัญญาณนาฬิกา 4 สัญญาณ ต่อการอ่านข้อมูล 1 ครั้ง แต่วงจรคำนวณค่า MAD ทั้ง 4 ชุดจะสามารถทำงานได้พร้อมกัน โดยใช้สัญญาณนาฬิการ่วมกัน หลังจากการคำนวณหาค่า MAD ทั้ง 4 ชุดเสร็จแล้ว จะเป็นขั้นตอนการเปรียบเทียบหาค่าที่ดีที่สุดบนแต่ละแกน ซึ่งในขั้นตอนนี้วงจรที่ขนานกันจะเลือกเพียง 2 ชุด คือชุดของแกน x และชุดของแกน y และเมื่อเสร็จสิ้นการคำนวณทั้ง 4 รอบแล้ว ค่าจากวงจรทั้ง 2 ชุดจะถูกนำมารวมกันอีกครั้งเพื่อเป็นค่าเวคเตอร์การเคลื่อนที่

5.7 ข้อมูลสรุปของวงจร

ในหัวข้อนี้จะเป็นการนำเสนอรายละเอียดต่าง ๆ ของวงจรที่ได้จากการสังเคราะห์โค้ดของวงจรที่ทำการออกแบบด้วยภาษา VHDL บนเครื่องมือพัฒนา Xilinx ISE ซึ่งเป็นเครื่องมือที่รองรับการพัฒนาวงจรบน FPGA ด้วยภาษา VHDL และ Verilog ประกอบไปด้วยเครื่องมือในการเขียนโค้ดคำสั่งและการสังเคราะห์วงจร ซึ่งจากการสังเคราะห์วงจรด้วยเครื่องมือดังกล่าว ทำให้ทราบรายละเอียดการใช้งานเกทของชิพเอฟพีจีเอดังตารางที่ 5.4

ตารางที่ 5.4 จำนวนเกตที่ใช้ไปในการพัฒนาวงจร

	จำนวนที่ใช้ไป	จำนวนที่รองรับได้	อัตราส่วน
Slices	711	1920	37%
Flip Flops	279	3840	7%
4 input LUTs:	1352	3840	35%
bonded IOBs:	27	97	27%
GCLKs:	4	8	50%

5.8 ค่าความถูกต้องของการประมวลผลด้วยวงจรดิจิตอล

ในหัวข้อนี้จะเป็นการเปรียบเทียบค่าความถูกต้องระหว่างการประมาณการเคลื่อนที่ด้วยอัลกอริทึมการค้นหา 1 มิติเป็นลำดับขั้นแบบขนาน (PHODS) ในแบบที่ใช้ซอฟต์แวร์ประมวลผลบนเครื่องพีซีแต่เพียงอย่างเดียว กับแบบที่ใช้ชิพเอฟพีจีเอมาช่วยประมวลผลในส่วนของการเปรียบเทียบบล็อค โดยแสดงทั้งในรูปของตาราง และให้รูปของกราฟเพื่อให้สามารถเปรียบเทียบความแตกต่างระหว่างการประมวลผลทั้ง 2 รูปแบบได้อย่างชัดเจน ทั้งค่าความแตกของผลลัพธ์ที่ได้

และแนวโน้มการเปลี่ยนแปลงของค่าความแตกต่างของผลลัพธ์ดังกล่าว โดยแสดงผลไว้ในตารางที่ 5.5 ถึง 5.9 และ รูปที่ 5.6 ถึง 5.10

ตารางที่ 5.5 ค่า PSNR ระหว่างอัลกอริทึม PHODS ที่เป็นซอฟต์แวร์และฮาร์ดแวร์ ของลำดับภาพมาตรฐาน akiyo

ลำดับภาพที่	2	3	4	5	6	7	8	9	10
ซอฟต์แวร์	45.82	45.31	44.61	39.75	37.48	37.33	37.52	39.07	38.41
ฮาร์ดแวร์	45.60	45.08	44.51	40.15	37.51	37.57	37.52	38.44	38.01

ตารางที่ 5.6 ค่า PSNR ระหว่างอัลกอริทึม PHODS ที่เป็นซอฟต์แวร์และฮาร์ดแวร์ ของลำดับภาพมาตรฐาน coastguard

ลำดับภาพที่	2	3	4	5	6	7	8	9	10
ซอฟต์แวร์	29.98	25.96	23.99	23.05	22.18	21.66	21.31	20.99	20.67
ฮาร์ดแวร์	27.72	23.54	21.94	21.08	20.55	20.27	19.95	19.93	19.73

ตารางที่ 5.7 ค่า PSNR ระหว่างอัลกอริทึม PHODS ที่เป็นซอฟต์แวร์และฮาร์ดแวร์ ของลำดับภาพมาตรฐาน container

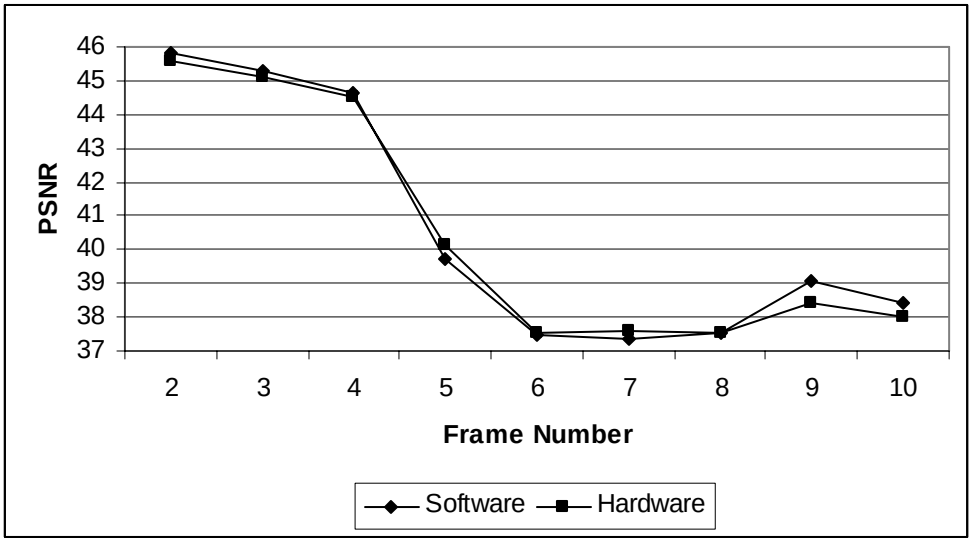
ลำดับภาพที่	2	3	4	5	6	7	8	9	10
ซอฟต์แวร์	36.43	31.99	32.87	33.54	32.49	30.38	30.05	30.23	29.62
ฮาร์ดแวร์	36.04	31.54	32.33	32.86	29.97	28.58	28.07	27.23	26.90

ตารางที่ 5.8 ค่า PSNR ระหว่างอัลกอริทึม PHODS ที่เป็นซอฟต์แวร์และฮาร์ดแวร์ ของลำดับภาพมาตรฐาน mobile

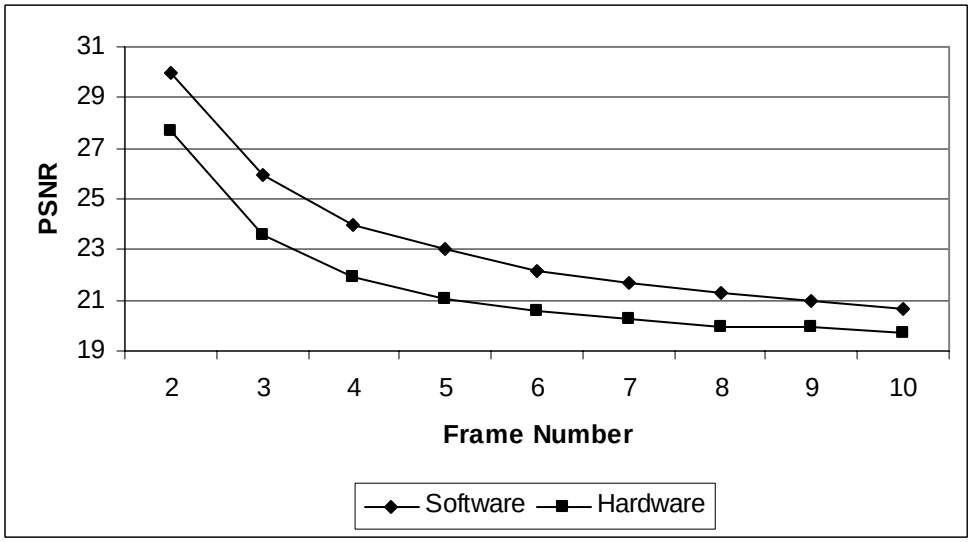
ลำดับภาพที่	2	3	4	5	6	7	8	9	10
ซอฟต์แวร์	20.93	18.28	16.01	15.31	14.88	14.29	14.07	13.74	13.53
ฮาร์ดแวร์	19.78	16.71	14.94	14.67	14.28	13.71	13.42	13.03	12.64

ตารางที่ 5.9 ค่า PSNR ระหว่างอัลกอริทึม PHODS ที่เป็นซอฟต์แวร์และฮาร์ดแวร์ ของลำดับภาพมาตรฐาน tempete

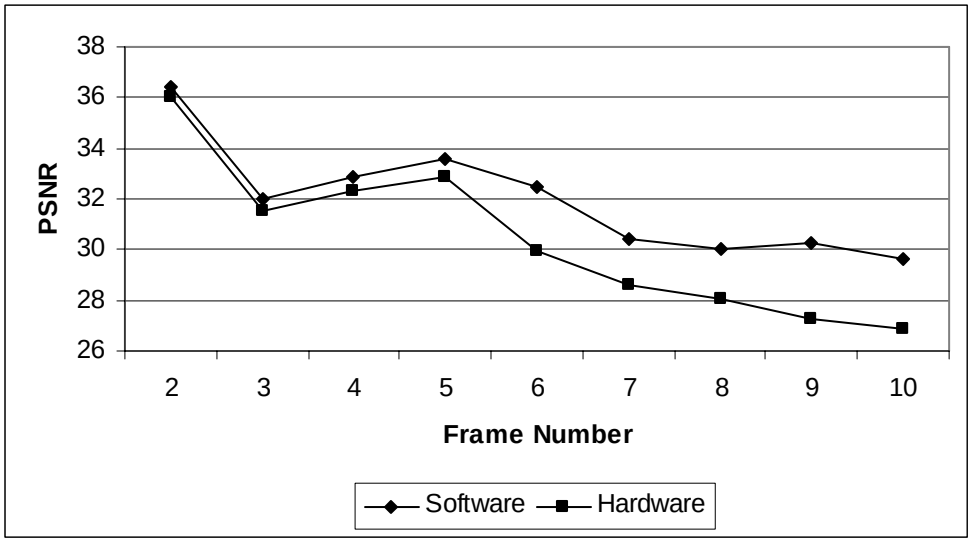
ลำดับภาพที่	2	3	4	5	6	7	8	9	10
ซอฟต์แวร์	25.94	23.70	22.76	21.96	20.67	19.90	19.51	19.02	18.56
ฮาร์ดแวร์	25.70	23.13	22.09	20.84	19.66	19.15	18.87	18.75	18.02



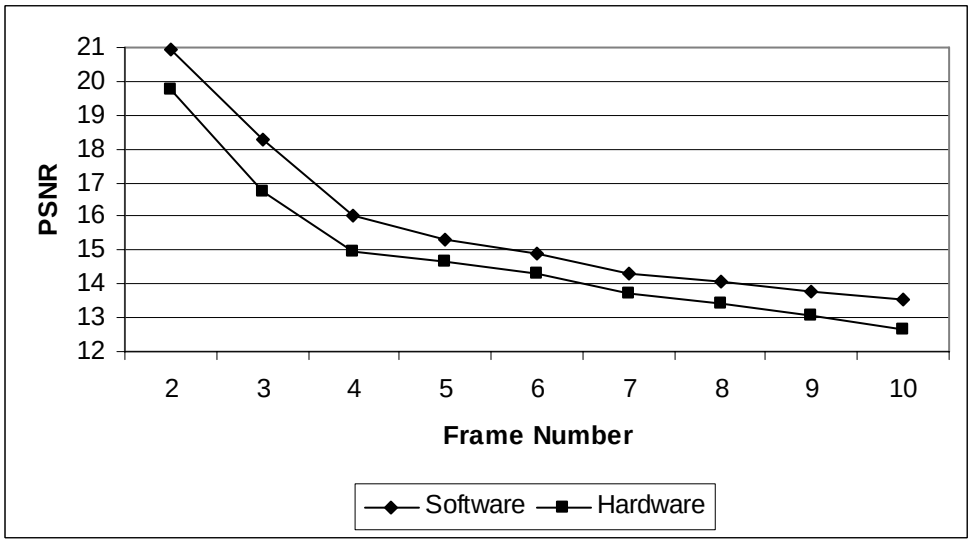
รูปที่ 5.6 กราฟเปรียบเทียบค่า PNSR ของลำดับภาพ akiyo ที่คำนวณโดยซอฟต์แวร์และฮาร์ดแวร์



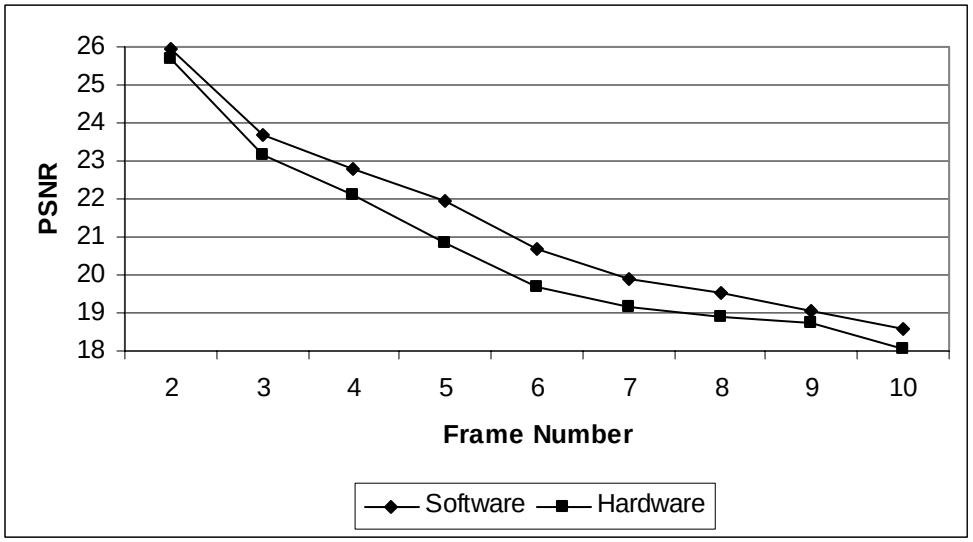
รูปที่ 5.7 กราฟเปรียบเทียบค่า PNSR ของลำดับภาพ coastguard ที่คำนวณโดยซอฟต์แวร์และฮาร์ดแวร์



รูปที่ 5.8 กราฟเปรียบเทียบค่า PNSR ของลำดับภาพ container ที่คำนวณโดยซอฟต์แวร์และฮาร์ดแวร์



รูปที่ 5.9 กราฟเปรียบเทียบค่า PNSR ของลำดับภาพ mobile ที่คำนวณโดยซอฟต์แวร์และฮาร์ดแวร์



รูปที่ 5.10 กราฟเปรียบเทียบค่า PNSR ของลำดับภาพ tempete ที่คำนวณโดยซอฟต์แวร์และฮาร์ดแวร์

จากข้อมูลค่าความถูกต้องดังกล่าวจะเห็นได้ว่าค่าความถูกต้องของการประมวลผลด้วยฮาร์ดแวร์มีน้อยกว่าการใช้ซอฟต์แวร์แต่เพียงอย่างเดียว เนื่องมาจากโครงสร้างการคำนวณของวงจรที่ออกแบบไว้ให้เป็นการคำนวณเลขจำนวนเต็ม จึงทำให้มีความคลาดเคลื่อนกว่าการคำนวณด้วยซอฟต์แวร์ซึ่งเป็นการคำนวณด้วยระบบจำนวนจริง