174574

หัวข้อวิทยานิพนธ์	วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์กำลังสูญเสียต่ำโดยใช้วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียม
นักศึกษา	นางสาววิลาสินี เจริญลาภ
รหัสนักศึกษา	44611308
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.อภินันท์ ธนชยานนท์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ นำเสนอเกี่ยวกับการออกแบบวงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ที่มีกำลังงานสูญเสียต่ำ โดยใช้วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียมเพื่อลดกำลังงานสูญเสียที่เกิดจากวงจรขยาย วงจรขยายทรานส์คอนดักเตอร์ผลต่างคลาสเอบีแบบเทียมใช้การป้อนกลับแบบบวกในการเพิ่มค่าทรานส์คอนดักแตนซ์ ทำให้ได้อัตราขยายแรงดันสูงที่แรงดันไฟเลี้ยงต่ำได้ถึง $V_{TH} + 2V_{DSAT}$ และมีการแกว่งของสัญญาณเอาต์พุตสูงสุดประมาณ V_{DD} วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอลแบบไพพ์ไลน์ออกแบบโดยใช้ความละเอียด 6 บิต ที่อัตราการสุ่ม 15.36 เมกกะเฮิรตซ์ โดยใช้เทคโนโลยี CMOS ขนาด 0.35 ไมโครเมตร

174574

Thesis Title	Low-power pipelined ADC using class-AB pseudo-differential OTA
Student	Ms.Wilasinee Chaloenlarp
Student ID.	44611308
Degree	Master degree
Programme	Electronics engineering
Year	2006
Thesis Advisor	Assoc. Prof. Dr.Apinunt Thanachayanont

ABSTRACT

This thesis presents the design of a low-voltage low-power pipelined analog-to-digital converter using a new class-AB pseudo-differential operational transconductance amplifier (OTA). The new class-AB OTA makes use of partial positive feedback to enhance its transconductance, which allows large gain-bandwidth product with low power dissipation. A 6-bit 15.36-MS/s pipelined ADC has been designed using a 0.35-μm CMOS process.