บทที่ 5
สรุปผลการวิจัย

วงจรป้อนกลับกระแสแรงดันต่ำ ตามจุดประสงค์ของงานวิจัยคือ สามารถที่แสดงให้เห็นผลของการจำลองวงจรโดยการใช้โปรแกรม P-SPICE (OrCad) วงจรที่นำเสนอมีเสถียรภาพที่สูงและได้แบนด์วิดธ์ที่กว้างมาก ค่าของสลูเลท (slew rate) ของวงจรการป้อนกลับกระแส CFA มี rise time และ fall time มีความเร็วที่มากกว่า วงจรการป้อนกลับแบบแรงดัน VFA และสามารถใช้แรงดันที่ต่ำลงเพื่อให้วงจรขยายทำงานได้ ซึ่งสรุปได้ดังนี้

5.1 ในการต่อวงจรขยายแบบ Non-inverting และ Inverting

จากการทดสอบวงจรโดยการต่อวงจรทั้ง Non-inverting และ Inverting โดยมีแหล่งจ่ายแรงดันป้อนวงจร ± 0.75 ในทุกการทดลอง แสดงให้เห็นว่าอัตราการขยายของวงจรแบบ Inverting ตามอัตราส่วนการขยายของ R_G ต่อ R_f มากกว่าวงจรแบบ Non-inverting เมื่อเปรียบเทียบระหว่างข้อมูลจากรูปที่ 4.7 และรูปที่ 4.13

วิเคราะห์สัญญาณทรานเซียนท์ซึ่งมีอินพุตแบบไซด์ (Sinusoidal input)มีขนาดสัญญาณ 0.2 V และอินพุตแบบ (Square- wave input) ขนาด 0.1 V ที่ความถี่ 100 MHz ทั้ง Inverting และ Non-inviting ขนาดของสัญญาณไซด์และสัญญาณสี่เหลี่ยม มีขนาดต่ำลง แต่สัญญาณสี่เหลี่ยมรูปสัญญาณจะผิดเพี้ยนไปจากอินพุต เมื่อเปรียบเทียบข้อมูลตามรูปที่ 4.8 – 4.9 และ รูปที่ 4.13 -4.14

การตอบสนองทางด้านความถี่(frequency response) ของวงจรคัทออฟที่ – 3 dB การต่อวงจรแบบ Inverting ให้ความถี่สูงถึง 219 MHz ส่วน Non-inverting ให้ความถี่สูงเพียงถึง 140 MHz นั้นแสดงว่าการต่อวงจรแบบ Inverting แบนด์วิดต์ที่กว้างมาก เมื่อเปรียบเทียบข้อมูลตามรูปที่ 4.10 และรูปที่ 4.16

5.2 วงจรขยายทรานซิสเตอร์มอส

ทรานซิสเตอร์ชนิดมอสมีอินพุตอิมพิแดนซ์ที่สูงมากทำให้มีความต้องการกำลังสถิตเพียงเล็กน้อยซึ่งสามารถที่จะนำไปออกแบบวงจรที่ต้องการกำลังและแรงดันต่ำ ๆ ได้เป็นอย่างดี ส่วน ค่าเอาท์พุตอิมพิแดนซ์ ในการทำงานที่สัญญาณขนาดเล็ก มีค่าต่ำมากแต่จะแปรผันกับกระแสไบแอสดีซี ซึ่งคุณสมบัติทั้งสอง เป็นคุณสมบัติทางอุดมคติของออปแอมป์ คือ อินพุตอิมพิแดนซ์ ที่ขา Inverting และ Non-inverting มีค่าเป็นอนันต์ (∞) และ เอาท์พุตอิมพิแดนซ์ที่ขาInverting และ Non-inverting มีค่าเป็นศูนย์

จากคุณสมบัติลักษณะสถิตของทรานซิสเตอร์ MOS ทำให้เกิดผลกระทบผลกระทบของ V_{DS} ต่อ I_D ในบริเวณพิณซ์ออฟ จะเห็นว่าความต้านทานเอาท์พุตเป็นสัดส่วนกลับต่อกระแสไบแอสดีซี (I_D) ตามสมการที่ 3.14 คือ $r_o \cong \left[\frac{I_D}{V_A}\right]^{-1} \cong \frac{V_A}{I_D}$ นั้นแสดงว่าเมื่อ มีกระแสจ่ายเข้าวงจรน้อยความต้านทานที่เกิดขึ้นเพิ่มมากขึ้น

จากคุณสมบัติการหาอัตราการขยายของ Inverting ตามสมการ 5.1

$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_G\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}{1+\frac{Z}{Z_F\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}} \tag{5.1}$$

เมื่อค่าของ Z_B มีค่าเข้าใกล้ศูนย์มาก ที่สมการที่ 5.1 สามารถลดรูปเป็นสมการที่ 5.2

$$\frac{V_{OUT}}{V_{IN}} = -\frac{\frac{1}{Z_G}}{\frac{1}{Z}+\frac{1}{Z_F}} \tag{5.2}$$

และสามารถลดรูปเป็นสมการที่

$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_F}{Z_G} \tag{5.3}$$

แต่เมื่อกระแสของวงจรน้อยลง ทำให้ Z_B มีค่าสูงมากขึ้นไม่สามารถตัดออกจากสมการได้ ทำให้อัตราการขยายของวงจรไม่เป็นไปตามสมการที่ 5.3 ส่งผลให้อัตราการขยายของ Inverting ค่าของ Z_f ต่อ Z_g ไม่เป็นไปตามอัตราส่วนสูตรการคำนวณ และมีผลกระทบต่อทุกวงจรที่นำไปใช้งานสำหรับอัตราการขยาย แต่ก็มีผลไม่มากสำหรับการนำไปใช้งาน จากการทดสอบของวงจร Inverting ที่อัตราการขยายเท่ากับ 2 เท่า ต้องใช้ $Z_g = 1k\Omega$ และ $Z_f = 2.7k\Omega$

จากการทดสอบเรื่อง CMRR พิจารณาตามตารางที่ 5.2 วิเคราะห์ตามอัตราการขยายสัญญาณแสดงให้เห็นว่าเมื่อมีอัตราการขยายเพิ่มมากขึ้น ค่าของ CMRR ลดลง แสดงการเมื่อมีอัตราการขยายสูงมากขึ้นการขจัดสัญญาณรบกวนจะต่ำลง วงจรจึงเหมาะสมการงานที่ไม่ต้องการอัตราการขยายสูง