บทที่ 4

ผลการทดสอบ

4.1 คุณสมบัติพื้นฐานของวงจรขยายป้อนกลับกระแส

เนื่องจากปัจจุบันมีการนำเอาวงจรขยายป้อนกลับกระแส Current feedback Amplifier (CFA) มาใช้แทน Voltage Feedback Amplifier (VFA) กันมาในวงการอุตสาหกรรมอิเล็กทรอนิกส์ที่ต้องการวงจรอิเล็กทรอนิกส์ที่ทำงานได้ดีในงานที่มีความถี่สูงและต้องการสมรรถนะที่ดีกว่าเดิม CFA ยังมีคุณสมบัติพิเศษที่สามารถเพิ่มอัตราการเปลี่ยนแปลงความต่างศักย์ต่อหน่วยเวลา(Slew rate) ได้อย่างไม่มีข้อจำกัด และ Bandwidth อิสระต่อการเปลี่ยนแปลงของอัตราการขยายวงจรปิด(Close loop gain) สูงกว่า VFA อีกทั้งในอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ CFA ยังถูกว่าอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ VFA มาก

หลักการสำคัญของ CFA คือ ตัวต้านทานป้อนกลับ (Feedback Resistance) ใน VFA จะมีขนาดของความต้านทานป้อนกลับ $\left(R_F\right)$ สูงมาก แต่ใน CFA มีขนาดของตัวต้านทานป้อนกลับต่ำ$\left(R_f < 10k\Omega\right)$ ซึ่งส่งผลให้วงจรมีประสิทธิภาพมากว่าเดิม ขนาดของตัวต้านทานป้อนกลับมีส่วนสำคัญมาก ถ้าขนาดของ R_F ไม่เหมาะสมจะทำให้การทำงานของ CFA ไม่มีเสถียรภาพ เพราะฉะนั้นในการออกแบบวงจร ในการเลือกค่าความต้านทานจึงต้องมีเทคนิคในการเลือกใช้ขนาดตัวต้านทานป้อนกลับเพื่อให้วงจรมีเสถียรภาพ ในกรณีที่ต้องใช้งานในสภาวะที่ต้องการอัตราการขยายสูง และ Bandwidth กว้างมากๆ นั้นคือจะต้องลดตัวค่าความต้านทานทางขาเข้า $\left(R_G\right)$ มากกว่าที่จะเพิ่มขนาดของความต้านทานป้อนกลับ $\left(R_F\right)$

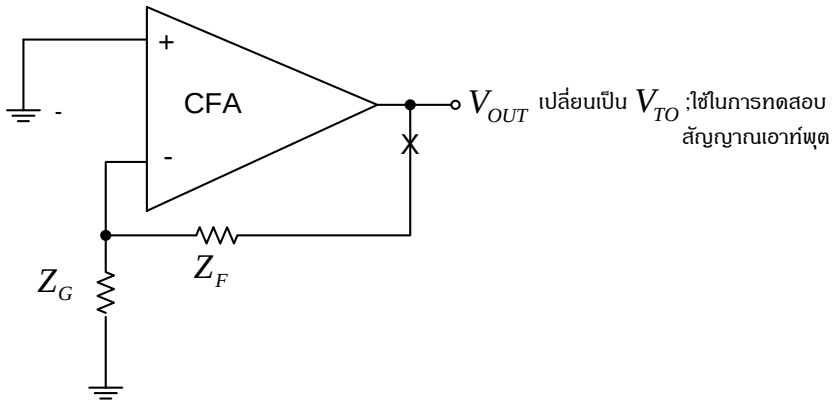
ข้อสังเกตคือการลดตัวต้านทานป้อนกลับจะทำให้ Bandwidth เพิ่มมากขึ้นในขณะเดียวกันก็ทำให้ Bandwidth เกิดการแกว่ง และเกิด Overshoot ในช่วงที่มีความถี่สูงมากๆ (ประมาณ $\left(GHz\right)$ขึ้นไป) แต่ในการออกแบบวงจรจะไม่ลดค่าความต้านทานป้อนกลับมากนัก อย่างไรก็ตามยังมีปัจจัยอื่นๆ ที่ส่งผลให้วงจรไม่มีเสถียรภาพเมื่อใช้ CFA แทน VFA เช่น ค่าประจุไฟฟ้าที่มากเกินไปบริเวณอินพุตทางลบ หรือเอาท์พุตของวงจรขยาย

วงจรขยายป้อนกลับกระแส CFA มีพื้นฐานโครงสร้างที่แตกต่างกัน และมีข้อดีในการเลือกใช้สูงกว่า วงจรขยายป้อนกลับแรงดัน VFA คุณสมบัติของ CFA มีค่าของ slew rate และ band width ที่สูงมากขึ้น ซึ่งค่าทั้งสองจะไม่ขึ้นต่อกันเมื่อต่อแบบ close loop gain จากผลของการให้ค่า slew rate ที่สูงส่งผลให้ ช่วงเวลาการขึ้นลง rise time และ fall time ของสัญญาณสูงขึ้นด้วย และ การเพี้ยนของ

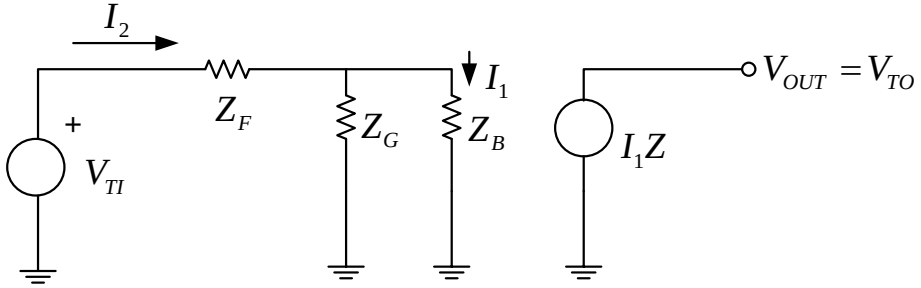
สัญญาณการมอดูเลท น้อยมาก จากข้อดีของวงจรดังกล่าว สามารถนำมาออกแบบให้ทำงานที่แรงดันต่ำ สำหรับอุปกรณ์แสดงสัญญาณวิดีโอ อุปกรณ์ที่พกพา หรืออุปกรณ์ไร้สาย เช่น โทรศัพท์มือถือ

4.2 วิเคราะห์สมการเสถียรภาพของวงจร

สมการเสถียรภาพสามารถพิจารณาตามรูปที่ 4.1 ความมีเสถียรภาพไม่ได้ขึ้นอยู่กับอินพุต แต่ความมีเสถียรภาพขึ้นอยู่กับ loop gain $(A\beta)$ เพียงอย่างเดียว สมการการมีเสถียรภาพสามารถพิจารณาโดยการโดยการตัดลูปของที่ตำแหน่ง X และต่อจุดการทดสอบสัญญาณ (V_{TI}) และสามารถคำนวณสัญญาณการย้อนกลับ (V_{TO}) วงจรตามรูปที่ 4.2 เป็นวงจรโครงสร้างของ CFA ประกอบไปด้วย input buffer gain , output buffer gain และ output buffer ส่วนเอาท์พุตอิมพิแดนซ์ ตัดออกจากวงจรเพื่อง่ายต่อการคำนวณ



รูปที่ 4.1 วงจรวิเคราะห์การมีเสถียรภาพ



รูปที่ 4.2 โครงสร้างของวงจรวิเคราะห์เสถียรภาพ

สมการการถ่ายโอนเป็นตามสมการที่ 4.1 และใช้กฎของ Kirchhoff's law ในการเขียนสมการที่ 4.2 และ สมการที่ 4.3

$$V_{TO} = I_1 Z \tag{4.1}$$

$$V_{TI} = I_2 \left(Z_F + Z_G \parallel Z_B \right) \tag{4.2}$$

$$I_2 \left(Z_G \parallel Z_B \right) = I_1 Z_B \tag{4.3}$$

สมการที่ 4.2 แทนค่าในสมการที่ 4.3 ซึ่งเป็นสมการที่ 4.4

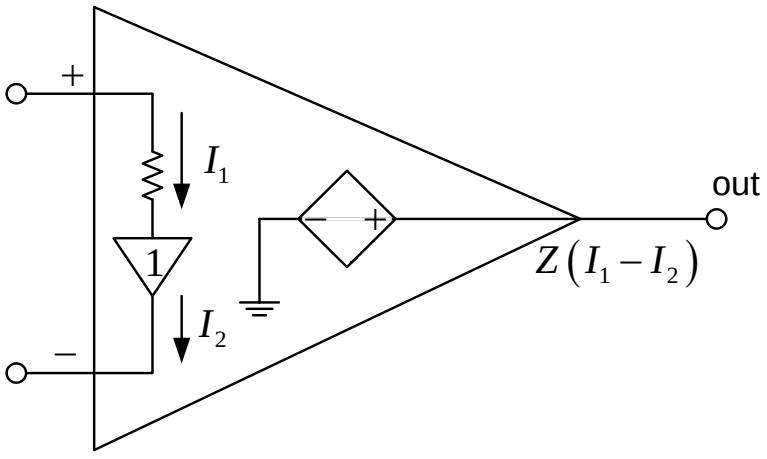
$$V_{TI} = I_1 \left(Z_F + Z_G \parallel Z_B \right) \left(1 + \frac{Z_B}{Z_G} \right) = I_1 Z_F \left(1 + \frac{Z_B}{Z_F \parallel Z_G} \right) \tag{4.4}$$

จากสมการที่ 4.1 แทนค่าในสมการที่ 4.4 เป็นสมการที่ 4.5 ซึ่งเป็นสมการ open loop transfer สมการนี้เป็นสมการที่รู้จักในชื่อของ loop gain

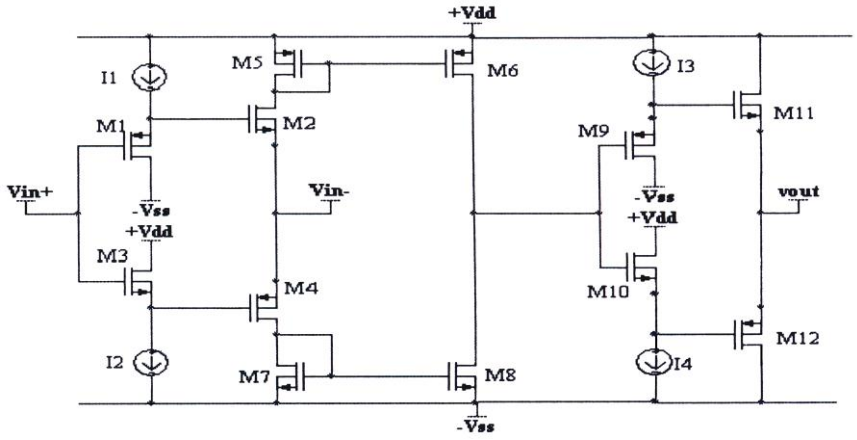
$$A\beta = \frac{V_{TO}}{V_{TI}} = \frac{Z}{\left(Z_F \left(1 + \frac{Z_B}{Z_F \parallel Z_G} \right) \right)} \tag{4.5}$$

4.3 วงจรขยายป้อนกลับกระแสแรงดันต่ำ

จากรูปที่ 4.3 (a) แสดงโครงสร้างรูปแบบของ CFA วงจรพื้นฐานที่ใช้ในการออกแบบ unity gain buffer เป็นการต่อระหว่างสองขาอินพุต (+ และ -) ซึ่งจ่ายแรงดันให้แก่ขา inverting (-) เหมือนกับขา non–inverting (+) ในทางอุดมคติ unity gain buffer มีเอาท์พุต impedance เป็นศูนย์และ อินพุต impedance มีค่าเป็นอนันต์ จากผลการทำงานของวงจร เอาท์พุต impedance เป็นศูนย์ส่วนอินพุต impedance มีค่าเป็นอนันต์ วงจรมีกระแสที่แตกต่างกัน ดังนั้น สามารถที่จะจ่ายกระแสเพื่อควบคุมแรงดันแหล่งจ่าย ซึ่งมีค่าเอาท์พุต impedance มีค่าเป็นศูนย์เพื่อที่จะขับสัญญาณภาคเอาท์พุตทำให้ได้สัญญาณที่ตรงข้ามกันกับ V_{in} ตาม gain โครงสร้าง โดยเครือข่ายการต่อวงจรป้อนกลับ



(a)

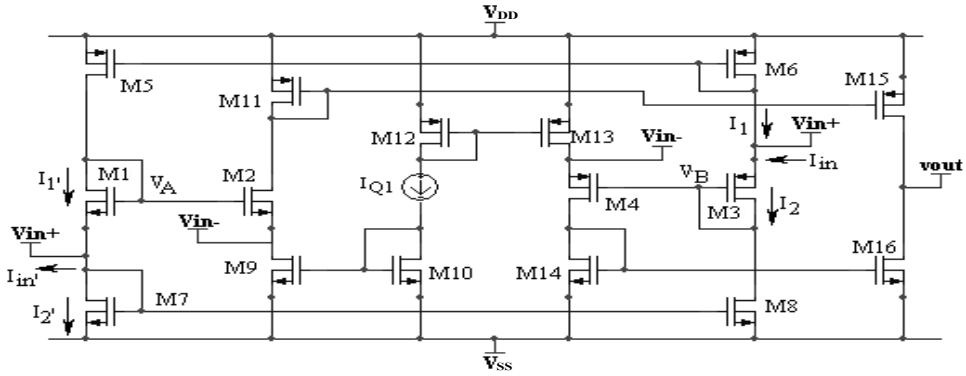


(b)

รูปที่ 4.3 (a) Ideal–CFA (b) Conventional–CFA

โครงสร้าง CFA แสดงดังรูปที่ 4.3 (b) ทรานซิสเตอร์คู่ (M1-M2) และ (M3-M4) เป็นรูปแบบการต่อแบบ unity gain buffer ซึ่งทำหน้าที่ไบอัสกระแส I1 และ I2 ตามลำดับ เมื่อแหล่งจ่ายมีแรงดันที่เพิ่มมากขึ้น M1 และ M3 เริ่มทำงานและทำงานควบคู่กัน กระแสเอาท์พุตของ unity gain buffer ($I_{ds(M2)}$ และ $I_{ds(M4)}$) ดังนั้น จากลักษณะเดียวโครงสร้างเดียวกันเป็นภาค high gain $(M9-M10)$ และภาคเอาท์พุต $(M11-M12)$ ตามลำดับ

ข้อเสียของวงจร จากโครงสร้างวงจรไม่สามารถที่จะออกแบบให้ทำงานที่แรงดันต่ำ ต้องการแรงดันที่สูงที่ภาคอินพุต (the unity gain buffer) จุดประสงค์ของการวิจัยต้องการให้ระบบ CFA แบบใหม่ที่ใช้แรงดันต่ำ ซึ่งภาคอินพุตถูกออกแบบเป็นแบบ folded–cascade class AB โดยจะออกแบบเป็นสองส่วน



รูปที่ 4.4 โครงสร้างของ FCFA ที่นำเสนอ

รูปที่4.4 แสดงการวงจรขยายสัญญาณป้อนกลับกระแสแบบโฟลด Folded Current Feedback Amplifier (FCFA) ประกอบด้วยทรานซิสเตอร์สองคู่ (M1-M2) และ (M3-M4) เป็นรูปแบบการต่อวงจร folded – cascade แบบ unity gain buffer ซึ่งต่อวงจรไบอัสด้วยตัวเองเป็นแบบกระแสลูป (M5-M8). กำหนดให้ของ PMOS และ NMOS มีค่าแรงดัน threshold ใกล้เคียงกันและเท่ากับ V_{th} ได้สมการดังนี้

$$I_1 = \frac{\beta_p}{2}\left(V_{dd} - V_{in}^{+} - V_{th}\right)^2$$

และ $$I_2 = \frac{\beta_p}{2}\left(V_{in}^{+} - V_B - V_{th}\right)^2 \qquad (4\text{-}6)$$

$$I_1^{'} = \frac{\beta_n}{2}\left(V_A - V_{in}^{+} - V_{th}\right)^2$$

และ $$I_2^{'} = \frac{\beta_n}{2}\left(V_{in}^{+} - V_{ss} - V_{th}\right)^2 \qquad (4\text{-}7)$$

กระแส Current mirror จาก (M5-M6) และ (M7-M8) ขับให้ $\left(I_1^{'} = I_1\right)$ และ $\left(I_2^{'} = I_2\right)$ มีความสัมพันธ์ดังต่อไปนี้

$$V_A = \left(V_{in}^{+} + V_{th}\right)\left[V_{dd}\sqrt{\frac{\beta_p}{\beta_n}} - 1\right] \qquad (4\text{-}8)$$

$$V_B = \left(V_{in}^{+} - V_{th}\right)\left[V_{ss}\sqrt{\frac{\beta_n}{\beta_p}} + 1\right] \qquad (4\text{-}9)$$

กระแสอินพุตหาได้จาก

$$I_{in} = I_2 - I_1 \qquad \text{และ} \qquad I_{in}^{'} = I_1^{'} - I_2^{'} \qquad (4\text{-}10)$$

เมื่อแหล่งจ่ายมีแรงดันเพิ่มมากขึ้น

$$\left(\left|V_{dd} - V_{ss}\right| > 2V_{th} + V_{ds(sat)} + V_{in(swing)}\right)$$

ทรานซิสเตอร์ทุกตัวเริ่มทำงานและเข้าสู่สภาวะอิ่มตัว จากลูปกระแสและสมการที่ (1) กระแสอินพุตและที่ขาของ V_{in}^{+} มีค่าเท่ากับ $2I_{in}$

ในทางกลับกัน เมื่อ แหล่งจ่ายมีแรงดันต่ำลง $\left(\left|V_{dd} - V_{ss}\right| \le 2V_{th} + V_{ds(sat)} + V_{in(swing)}^{+}\right)$ขับสัญญาณของวงจรโดยการใช้วงจร class–AB เมื่อ $\left(V_{in}^{+} > V_{dd} - V_{th}\right)$ ส่งผลให้ M5-M6 สามารถขับวงจรให้ทำงานใน sub-threshold และกระแสที่ต่ำลงของ (I_1 และ $I_1^{'}$) ซึ่งเป็นช่วงที่แสดงให้เห็นว่ากระแสที่ลดตอนลงไป (I_Q) ในการขับสัญญาณของวงจร class –AB ในขณะเดียวกัน M3 และ M7-M8 ยังคงทำงานเข้าสู่งสภาวะอิ่มตัวและ ค่าจะได้ค่า V_B ตามสมการที่ 4.9 ในลักษณะเดียวกัน เมื่อ

$\left(V_{in}^{+} < \left[V_{th} - |V_{SS}|\right]\right)$ ทำให้ M7-8 ทำงานอยู่ในช่วงของ sub-threshold ในขณะที่ M1 และ M5-6 อยู่ในสภาวะอิ่มตัวตามสมการที่4.8

การไบอัสของวงจร (M9-10 และ M12-13) เกิดกระแสที่น้อย $\left(I_{Q1}\right)$ เพื่อที่จะรักษาการทำงานของ M11 และ M14 ให้สามารถขับวงจรขยาย class-AB ส่วนของภาคเอาท์พุตเป็นการทำงานของทรานซิสเตอร์ M15-16

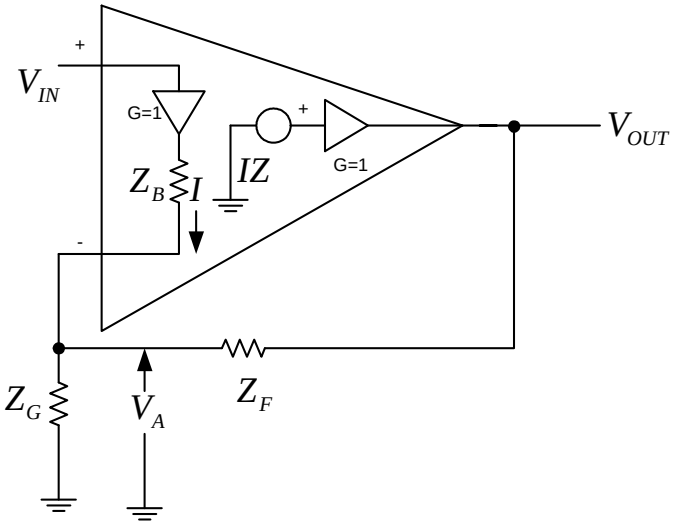
ออกแบบวงจรโดยการใช้งาน MOSIS 0.5 μm เป็นจุดจ่ายแรงดันคู่ (V_{dd} และ V_{ss}) ซึ่งในการทำงานของวงจรให้แรงดันที่ 0.75V และ -0.75 V ตามลำดับ จากตารางที่1. แสดงค่าขนาดของทรานซิสเตอร์ กำหนดค่าของกระแส I_{Q1} ให้มีค่า $10\mu A$ และ $20k\Omega$ โหลดค่าความต้านทาน $\left(R_{load}\right)$ ซึ่งใช้ในการจำลองการทำงาน

ตารางที่ 4.1 ค่าขนาดทรานซิสเตอร์ที่เลือกใช้ FCFA (L=0.5 μm)

TR	W(μm)	TR	W(μm)
M1	4	M9	5
M2	4	M10	5
M3	25	M11	15
M4	25	M12	15
M5	15	M13	15
M6	15	M14	5
M7	5	M15	360
M8	5	M16	90

4.4 วงจรขยายแบบ Non–inverting CFA

สมการ close loop gain สำหรับวงจรขยายแบบ Non-inverting CFA สามารถอธิบายได้ตามรูปที่ 4.5 โดยการกำหนดค่าความต้านทานของ gain จากภายนอกซึ่งเพิ่มเข้าไป ส่วนของบัฟเฟอร์ที่มีค่าเท่ากับ 1 เพราะฉะนั้นในการวิเคราะห์จะไม่นำมาคำนวณ



รูปที่ 4.5 วงจรขยายสัญญาณแบบ Non-inverting CFA

สมการที่ 4.11 เป็นสมการถ่ายโอน สมการที่ 4.12 เป็นสมการของกระแส ที่ตำแหน่งของขา inverting และสมการที่ 4.12 เป็นสมการของ input loop เมื่อแทนค่าสมการเข้าด้วยกันจะได้เป็นสมการที่ 4.14 ซึ่งเป็นสมการ close loop gain

$$V_{OUT} = IZ \tag{4.11}$$

$$I = \left(\frac{V_A}{Z_G}\right) - \left(\frac{V_{OUT} - V_A}{Z_F}\right) \tag{4.12}$$

$$V_A = V_{IN} - IZ_B \tag{4.13}$$

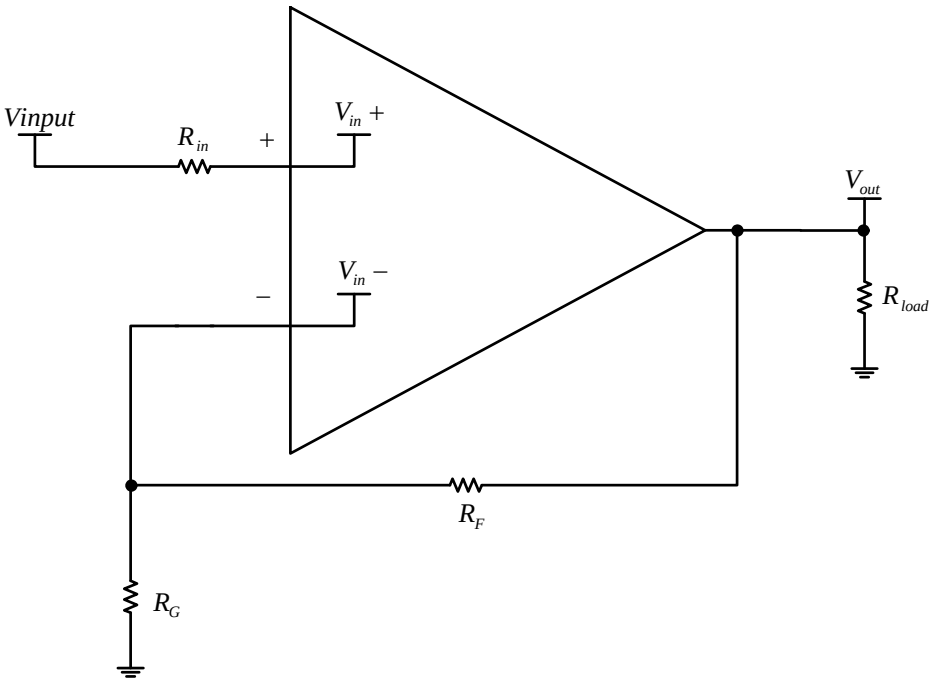
$$\frac{V_{OUT}}{V_{IN}} = \frac{\dfrac{Z\left(1+\dfrac{Z_F}{Z_G}\right)}{Z_F\left(1+\dfrac{Z_B}{Z_F \parallel Z_G}\right)}}{1+\dfrac{Z}{Z_F\left(1+\dfrac{Z_B}{Z_F \parallel Z_G}\right)}} \tag{4.14}$$

เมื่ออินพุตอิมพีแดนซ์บัฟเฟอร์ $\left(Z_B\right)$ มีค่าเข้าใกล้ศูนย์ ดังนั้นจากสมการที่ 4-14 สามารถลดรูปของสมการที่ 4.16

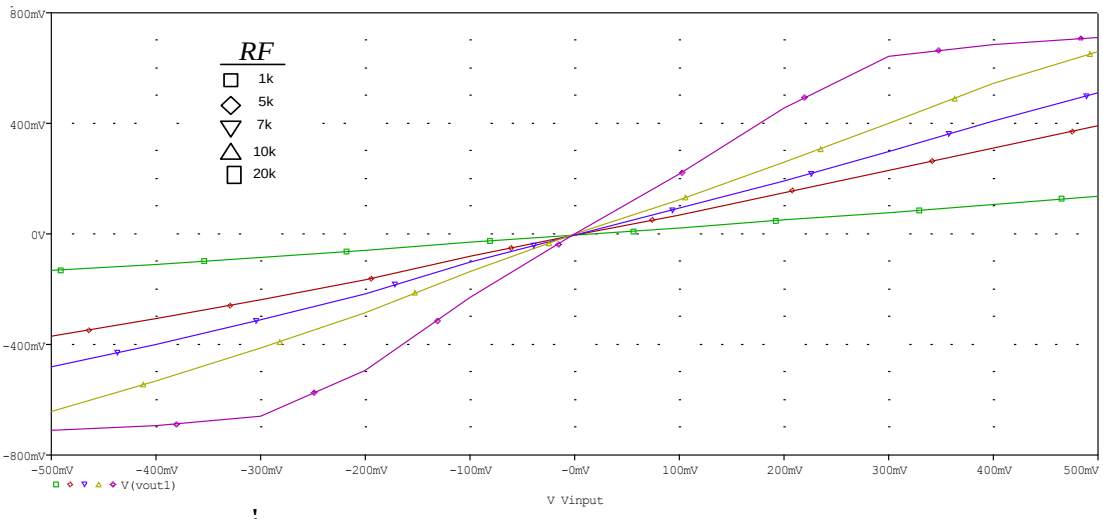
$$\frac{V_{OUT}}{V_{IN}} = \frac{\dfrac{Z\left(1+\dfrac{Z_F}{Z_G}\right)}{Z_F}}{1+\dfrac{Z}{Z_F}} = \frac{1+\dfrac{Z_F}{Z_G}}{1+\dfrac{Z_F}{Z}} \tag{4.15}$$

เมื่อค่าของ transimpedance (Z) มีค่าสูงมาก ในเทอมของ Z_F / Z ในสมการที่ 4.15 จึงมีค่าเข้าใกล้ศูนย์ และสมการที่ 4.15 สามารถลดรูปเป็นสมการที่ 4.16 ซึ่งสมการทางอุดมคติของ close loop gain ของวงจรขยายแบบ CFA และ VFA มีลักษณะทางอุดมที่เหมือนกัน แต่สมมุติฐานทางอุดมคติของทั้งสองแตกต่างกัน กล่าวคือ VFA มีหนึ่งสมมุติฐาน คือมี direct gain ที่มีค่าสูงมาก ในขณะที่ CFA มีสองสมมุติฐานทางอุดมคติคือ ค่า transimpedance ที่สูงมาก และ อินพุตบัฟเฟอร์และเอาท์พุตอิมพีแดนซ์มีค่าต่ำมาก จากสมมุติฐานดังกล่าว ทำให้การออกแบบวงจรที่มีสมมุติฐานทางอุดมคติสองข้อยากกว่าที่มีเพียงหนึ่ง ดังนั้น CFA สมมุติฐานทางอุดมคติมากกว่า VFA

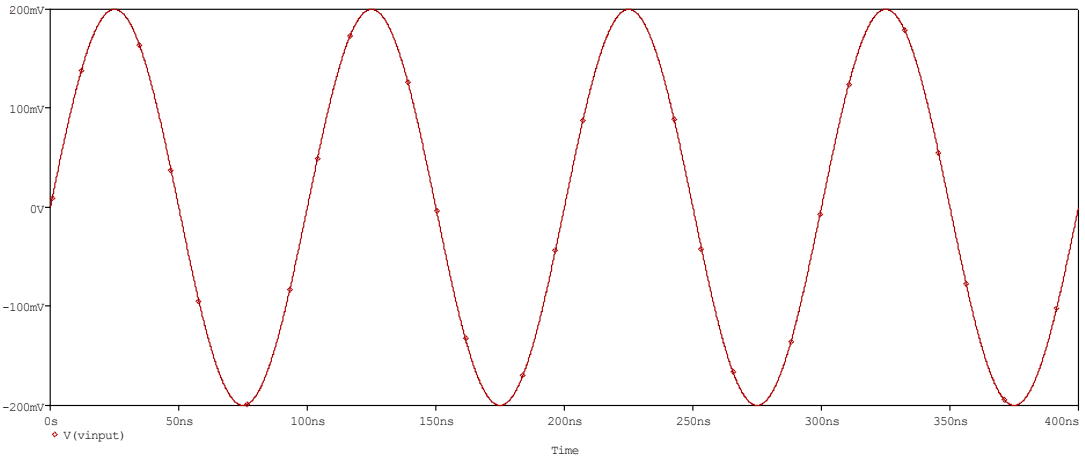
$$\frac{V_{OUT}}{V_{IN}} = 1+\frac{Z_F}{Z_G} \tag{4.16}$$

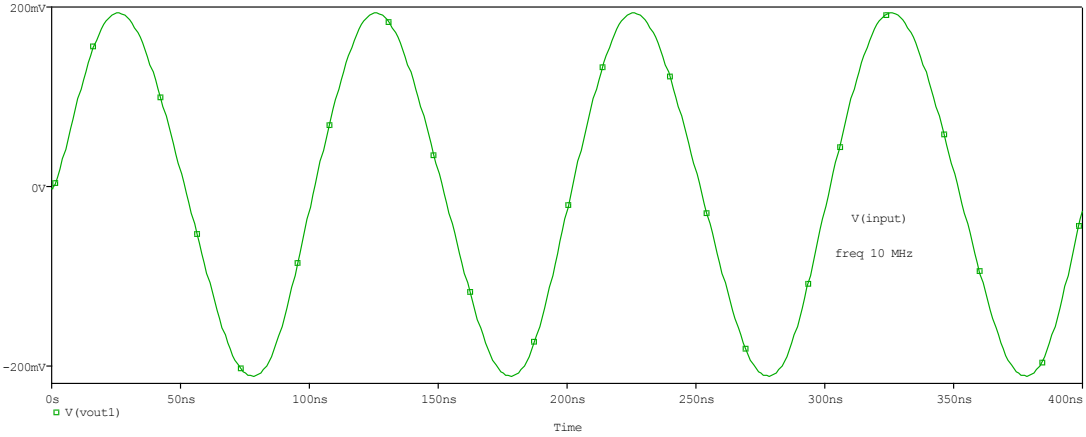


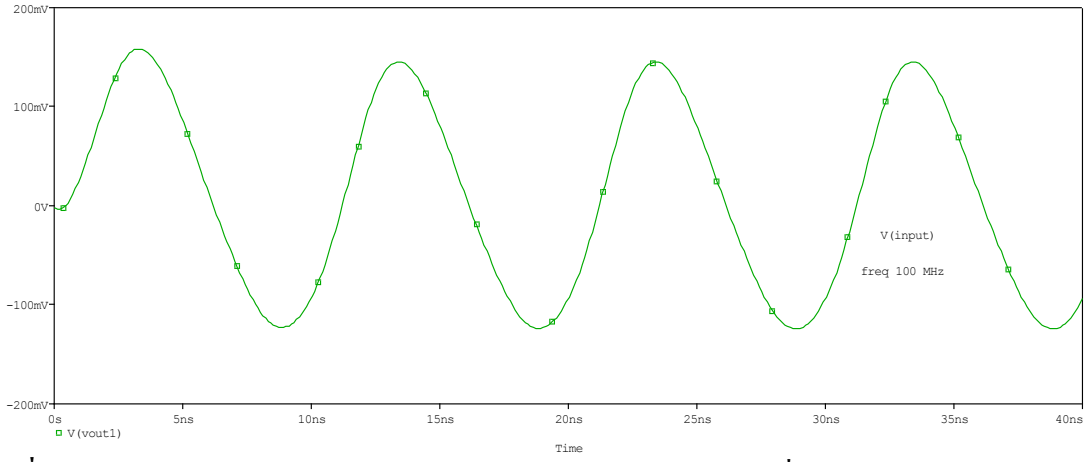
รูปที่ 4.6 วงจรขยายแบบ Non-inverting amplifier โปรแกรมที่ทดสอบ



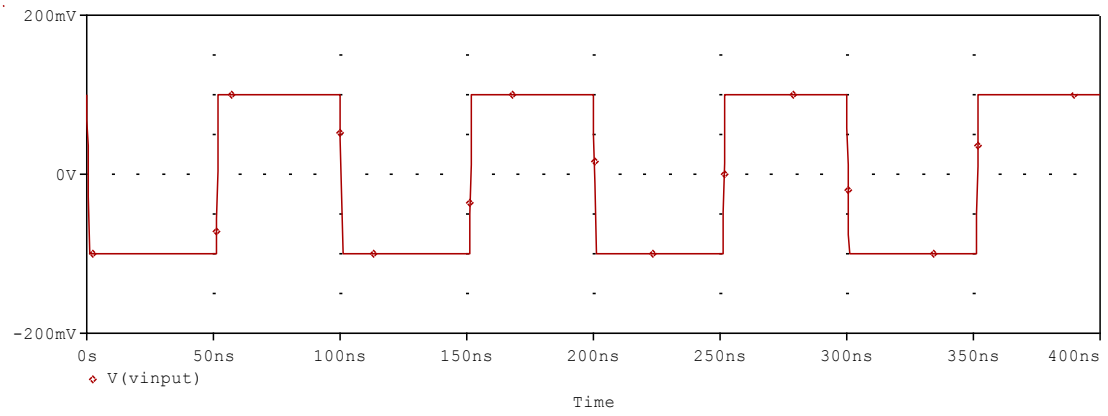
รูปที่ 4.7 คุณสมบัติทาง DC ของวงจรขยายแบบ Non-inverting

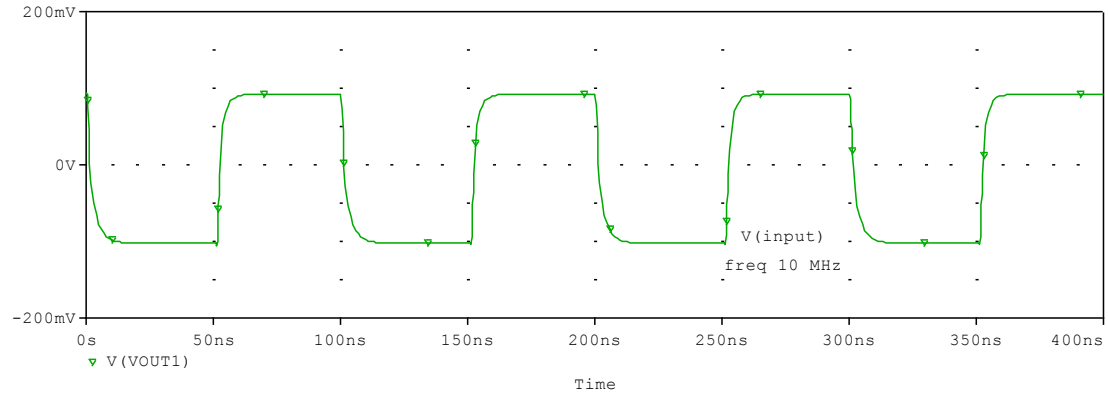


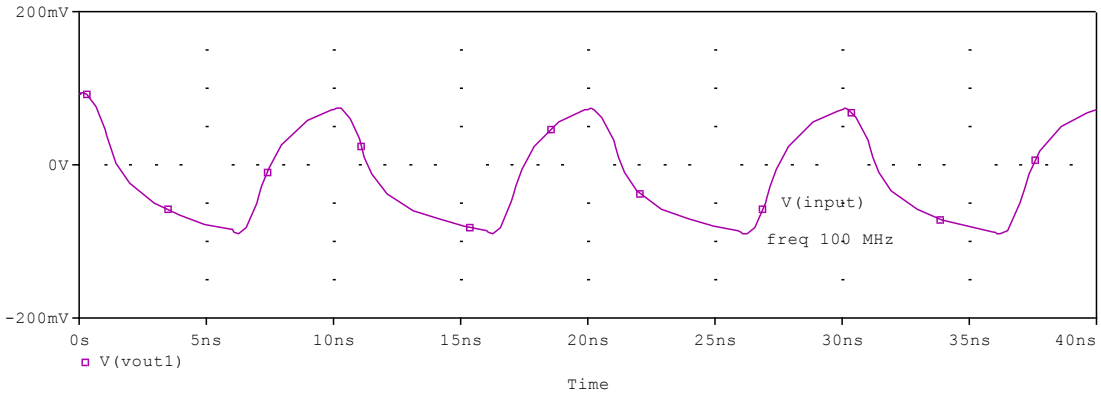




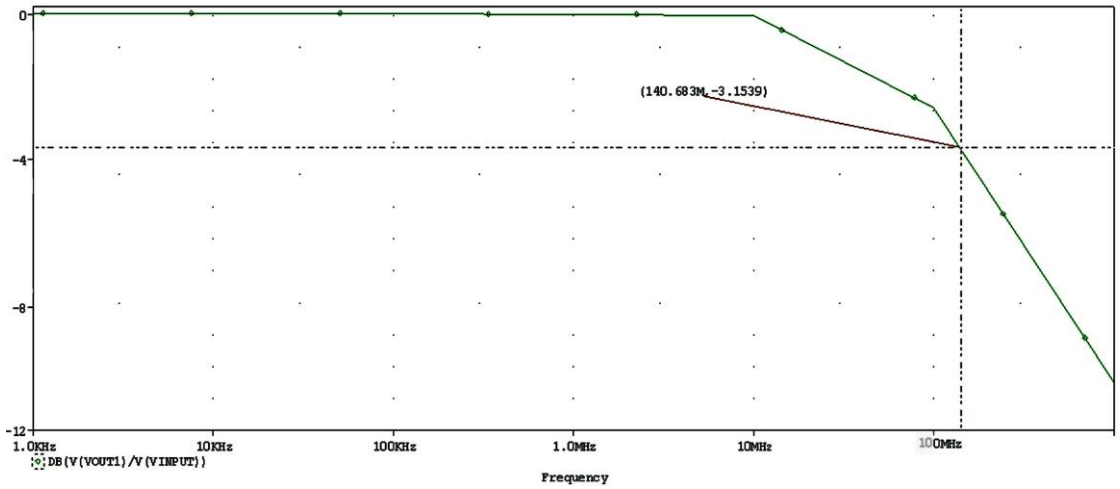
รูปที่ 4.8 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non–inverting เมื่อป้อนอินพุตเป็นสัญญาณซายน์ (Sinusoidal input)







รูปที่ 4.9 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non –inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input)



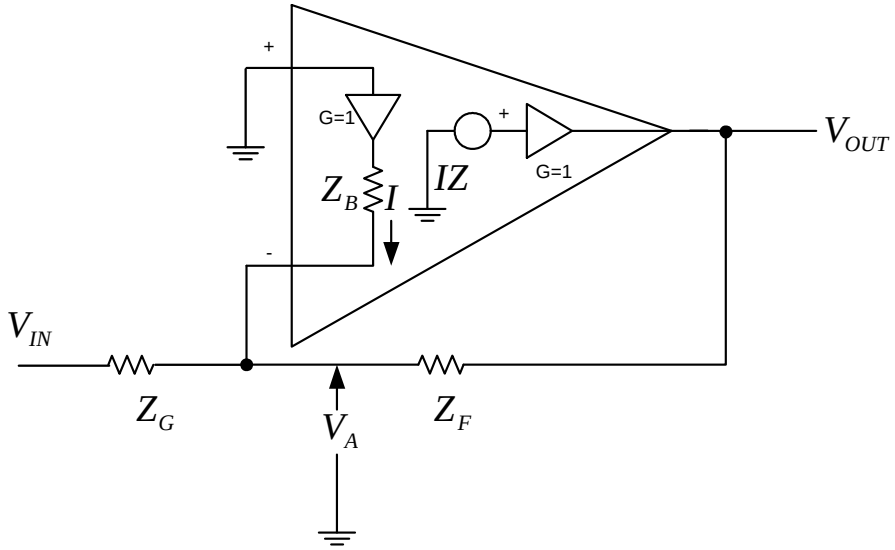
รูปที่ 4.10 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Non – inverting

รูปที่4.6 เป็นการต่อวงจรแบบ non-inverting amplifier โดยการกำหนดค่า R_G มีค่าเท่ากับ 1k และเปลี่ยนค่า R_F ($1k\Omega, 5k\Omega, 7k\Omega, 10k\Omega$ และ $20k\Omega$) ผลที่ได้ อัตราการขยาย(0.3,0.8,1,1.3 และ 2.5) ตามลำดับ ดังรูปที่ 4.7

การจ่ายสัญญาณในการทดลองแบ่งเป็นสองชนิด คือแบบ สัญญาณซายด์ (Sinusoidal input) และสัญญาณสี่เหลี่ยม (Square input) ทดสอบความสัมพันธ์แบบ transient โดยการกำหนด ค่าสัญญาณอินพุต 10MHz และ 100MHz ดังรูปที่ 4.8 และรูปที่ 4.9 แสดงผลการทดลองซึ่งต่อวงจรขยายแบบ unity gain non-inverting กำหนดให้ $(R_F = 7k\Omega)$ จ่ายสัญญาณไซน์ขนาด $\pm 0.2V$ และสัญญาณสี่เหลี่ยม $\pm 0.1V$ ตามลำดับ รูปที่4.10 แสดงความสัมพันธ์ของแรงดันของวงจรขยาย unity gain non-inverting และ cut-off (-3dB) ที่ความถี่ 140MHz

4.5 วงจรขยายแบบ Inverting CFA

วงจรขยายแบบ Inverting CFA ถูกนำมาใช้งานค่อนข้างน้อยเพราะอินพุตอิมพิแดนซ์ มีขนาดที่ต่ำมาก $(Z_B \parallel Z_F + Z_G)$ เมื่อค่าของ Z_G ที่เลือกใช้งานมีค่าความต้านทานที่สูง ทำให้มีผลตามค่าของ Z_B, Z_F จะต้องสูงตามไปด้วย ทำให้ค่า unit gain จากวงจรมีค่าลดน้อยลง การเลือกใช้ค่า Z_F ที่มีค่าสูงมาก มีผลทำให้ Bandwidth ลดต่ำลงอย่างเห็นได้ชัด ถ้าเลือกค่าของ Z_G , Z_B มีค่าที่ต่ำลง มีผลต่อความไวของความถี่ ซึ่งก็คือ gain ที่เพิ่มขึ้นสามารถรับความถี่เพิ่มขึ้นตาม แต่ถึงอย่างไรก็มีข้อจำกัดตามลักษณะการนำไปใช้งานของวงจรขยาย Inverting CFA



รูปที่ 4.11 วงจรขยายสัญญาณแบบ Inverting CFA

สมการกระแสของโหนดอินพุตอธิบายสมการตามสมการที่ 4.17 และ สมการที่ 4.18 เป็นค่าชี้วัดแรงดันส่งผ่าน dummy variable (V_A) และสมการที่ 4.19 เป็นสมการส่งผ่าน transfer equation ของวงจรขยายสัญญาณแบบ CFA เมื่อนำสมการดังกล่าวมาคำนวณร่วมกันเป็นสมการเพื่อฐานสำหรับวิเคราะห์วงจร คือสมการที่ 4.20 ซึ่งก็คือสมการ close loop gain ที่ใช้ในการวิเคราะห์วงจรขยายสัญญาณแบบ inverting CFA

$$I + \frac{V_{IN} - V_A}{Z_G} = \frac{V_A - V_{OUT}}{Z_F} \tag{4.17}$$

$$IZ_B = -V_A \tag{4.18}$$

$$IZ = V_{OUT} \tag{4.20}$$

$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_G\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}{1+\frac{Z}{Z_F\left(1+\frac{Z_B}{Z_F \parallel Z_G}\right)}} \tag{4.19}$$

เมื่อค่าของ Z_B มีค่าเข้าใกล้ศูนย์มาก ที่สมการที่ 4.19 สามารถลดรูปเป็นสมการที่ 4.20

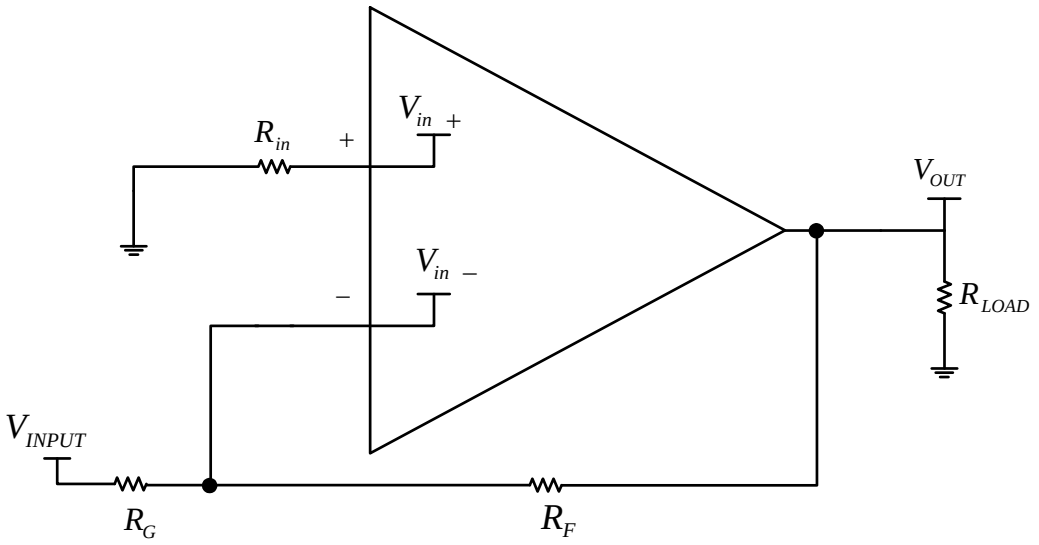
$$\frac{V_{OUT}}{V_{IN}} = -\frac{\frac{1}{Z_G}}{\frac{1}{Z}+\frac{1}{Z_F}} \tag{4.20}$$

โดยทั่วไปของการทำงานในวงจรแล้วค่า Z มีค่าที่สูงมากในสมการที่ 4.20 สามารถลดรูปลงได้อีกเป็นสมการที่ 4.21 ซึ่งเป็นสมการ close loop gain ทางอุดมคติของวงจรขยายสัญญาณ inverting CFA

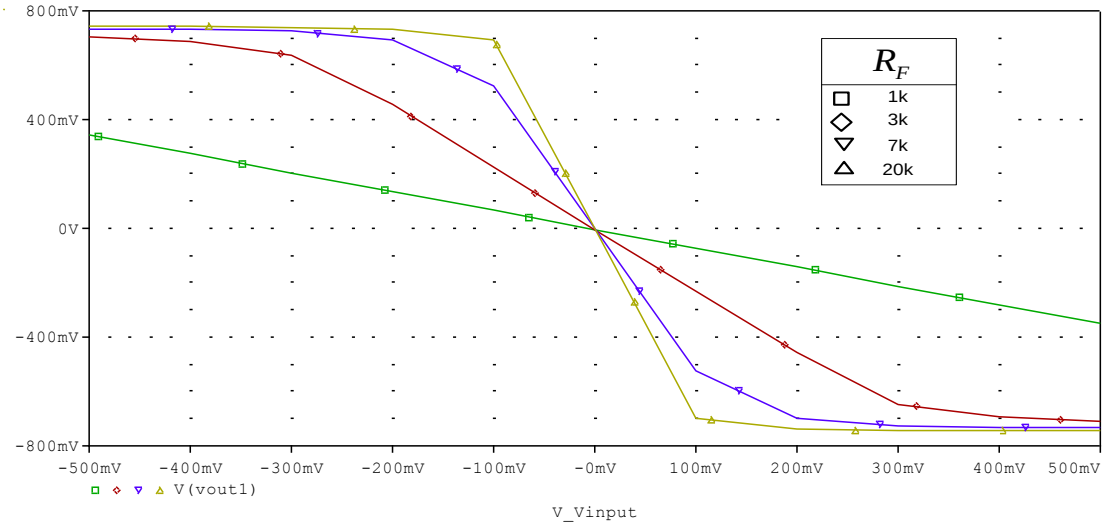
$$\frac{V_{OUT}}{V_{IN}} = -\frac{Z_F}{Z_G} \tag{4.21}$$

ในทางอุดมคติสมการ close loop gain ของวงจรขยายสัญญาณแบบ Inverting ทั้งที่เป็นลักษณะของ VFA และ CFA มีลักษณะคุณสมบัติทางอุดมคติที่เหมือนกันที่ โครงสร้างทั้งสองมีอินพุตอิมพิแดนซ์ที่ต่ำกว่าโครงสร้างการต่อวงจรขยายแบบ Non-inverting จากข้อมูลทางอุดมคติคือ VFA มีหนึ่งสมมุติฐานทางอุดมคติ คือมี direct gain ที่มีค่าสูงมาก ในขณะที่ CFA มีสองสมมุติฐานทางอุดมคติคือค่า transimpedance ที่สูงมากกับอินพุตบัฟเฟอร์และเอาท์พุตอิมพีแดนซ์มีค่าต่ำมาก

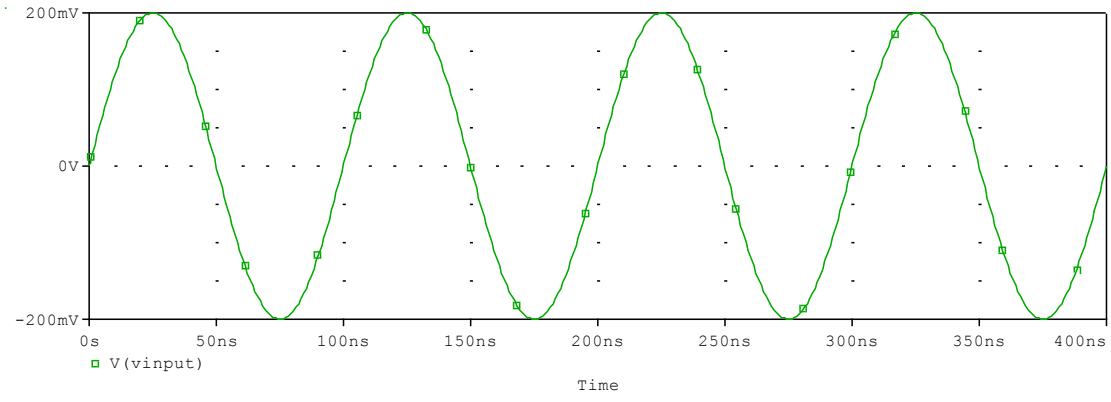
จากคุณลักษณะของวงจรขยายแบบ CFA ค่าของ Z_B เข้าใกล้ศูนย์ ทำให้เกิดการ break down ในส่วนของ bipolar-junction ของทรานซิสเตอร์ที่อยู่ในภาคอินพุตของวงจรขยาย ทำให้วงจรขยายที่นำไปใช้งานเป็นแบบ Differential amplifier จะไม่นิยมนำมาใช้งานเนื่องมากจากค่าของอินพุตอิมพิแดนซ์ที่สูงมากจนเข้ากันไม่ได้กับการใช้งาน

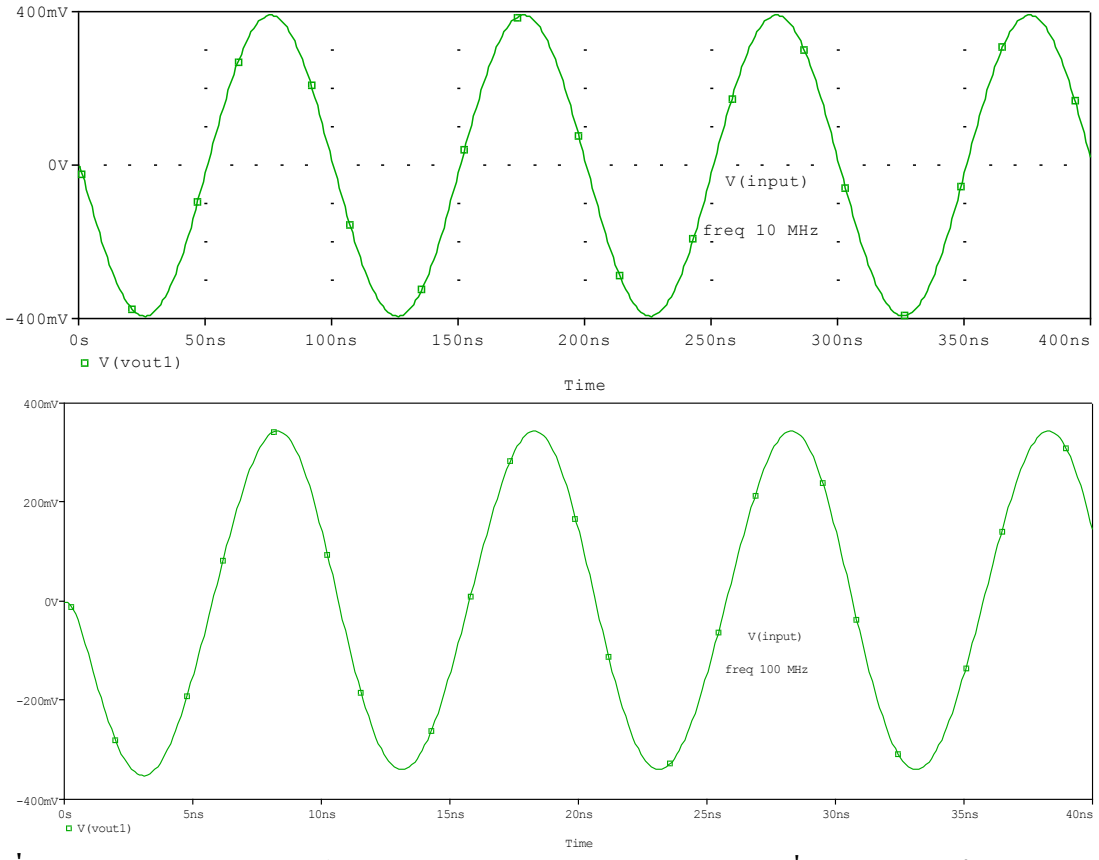


รูปที่ 4.12 วงจรขยายแบบ Inverting amplifier สำหรับทดสอบวงจร

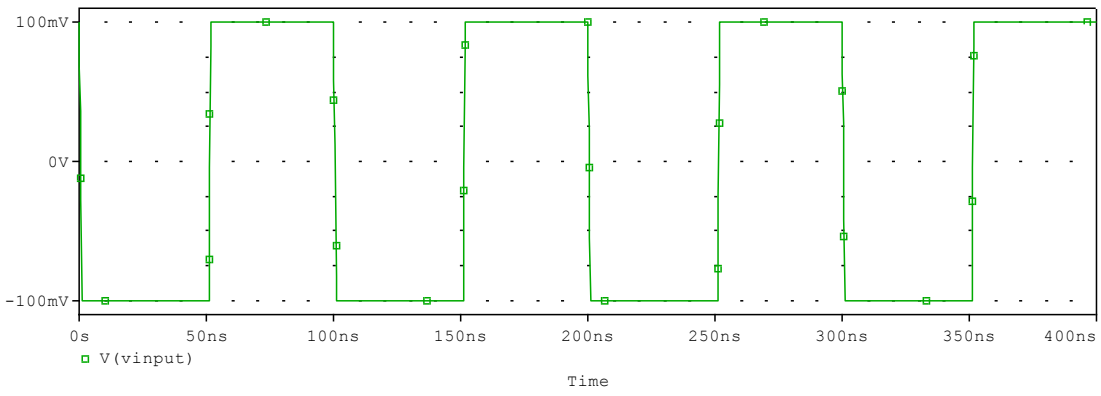


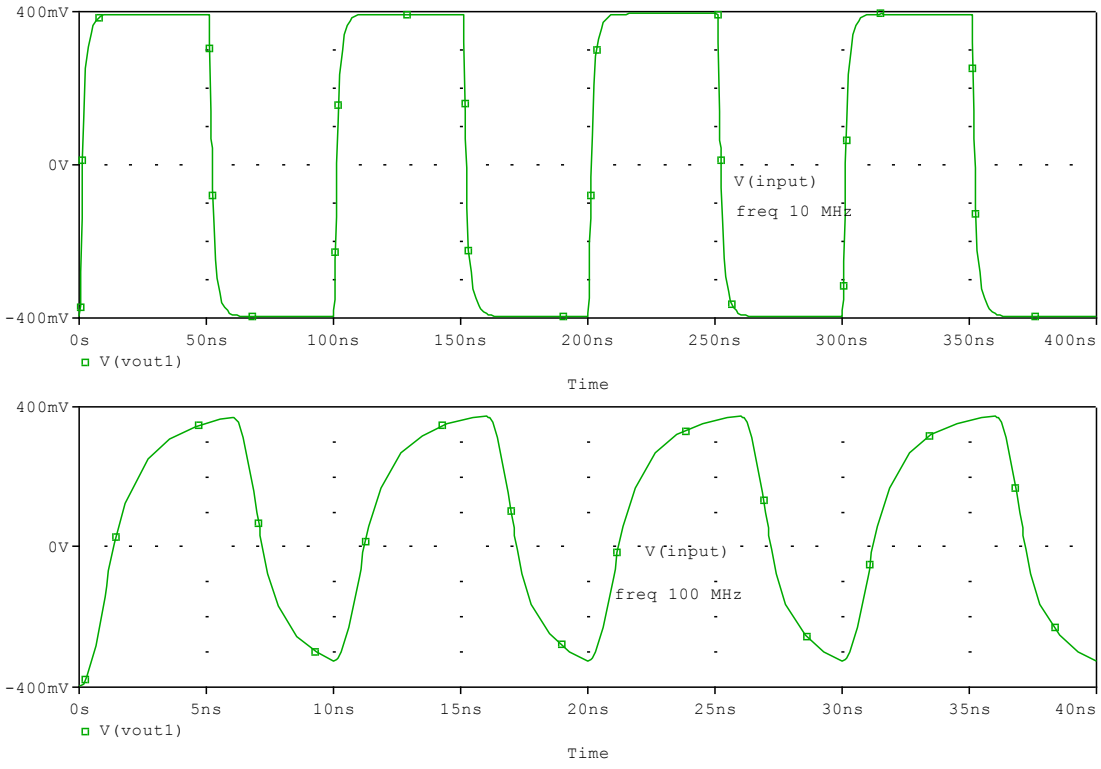
รูปที่ 4.13 คุณสมบัติทาง DC ของวงจรขยายแบบ Inverting



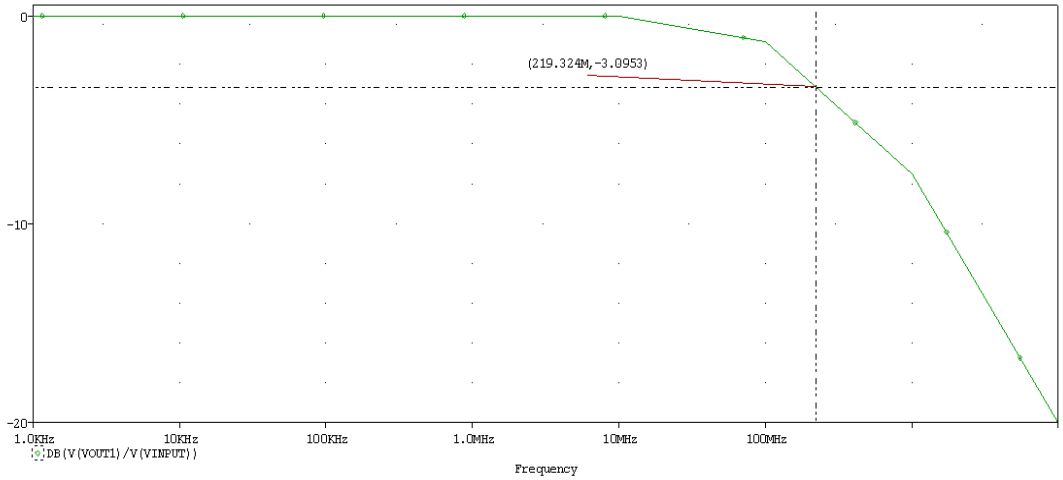


รูปที่ 4.14 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Non –inverting เมื่อป้อนอินพุตเป็นสัญญาณซายน์ (Sinusoidal input)





รูปที่ 4.15 สัญญาณทรานเซียนท์ของวงจรขยายสัญญาณ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input)

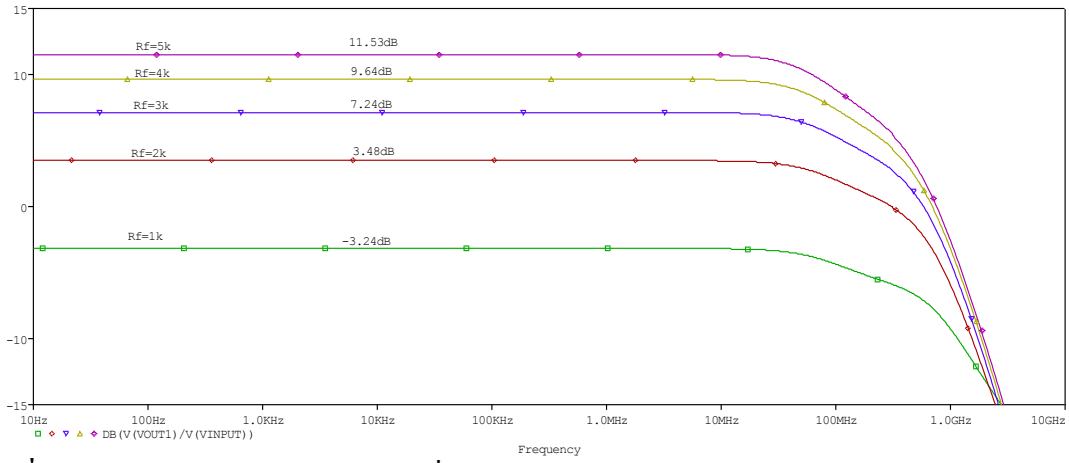


รูปที่ 4.16 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Inverting

รูปที่ 4.12 แสดงไดอะแกรมของวงจรขยาย Inverting โดยการกำหนดค่า เหมือนกับ non-inverting amplifier รูปที่ 4.13 ผลการทดลองของ Inverting amplifier dc-characteristic โดยการกำหนดค่าของ

R_G เท่ากับ $1\,k\Omega$ และเปลี่ยนค่าของ R_F เท่ากับ ($1k\Omega, 3k\Omega, 7k\Omega$ และ $20k\Omega$) ผลของการทดลองมีอัตราการขยายของวงจร -0.85 , -4 , -5.5 และ -13.5 ตามลำดับ

รูปที่ 4.14 แสดงความสัมพันธ์ของสัญญาณแบบ transient ที่อินพุตเป็นสัญญาณซายน์ (Sinusoidal input) และรูปที่ 4.15 จ่ายอินพุตเป็นแบบสัญญาณสี่เหลี่ยม(Square input) ซึ่งจ่ายสัญญาณอินพุต 10MHz และ 100MHz ต่อวงจรการทดสอบแบบ Inverting ให้มีอัตราการขยายเท่ากับ 2 โดยการกำหนดให้ R_G เท่ากับ $1k\Omega$ และ R_F เท่ากับ $2.7k\Omega$ สัญญาณอินพุตเท่ากับ $\pm 0.2V$ ความถี่ cutoff ที่ – 3 dB มีความถี่มีค่าเท่ากับ 219 MHz แสดงดังรูปที่ 4.14



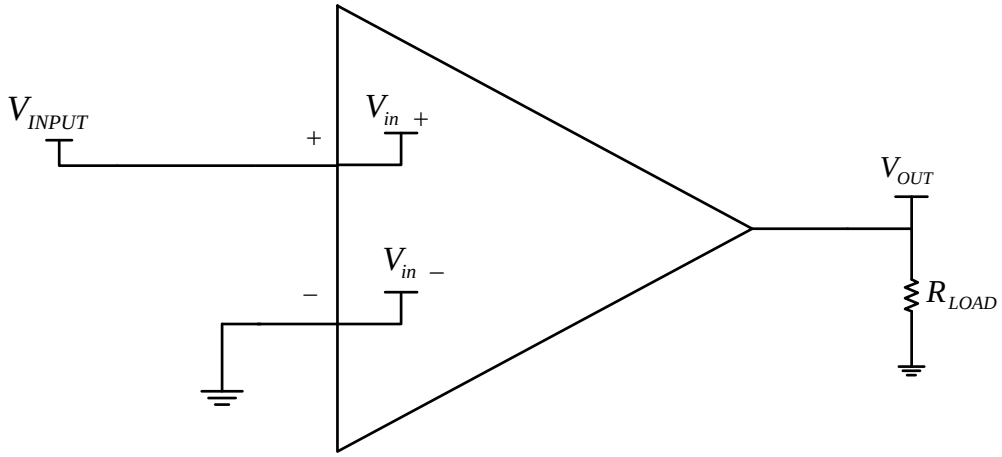
รูปที่4.17 แสดงความสัมพันธ์ทางความถี่ของวงจรขยาย Inverting เปรียบเทียบอัตราการขยายไม่ขึ้นอยู่กับความกว้างของ Bandwidth

รูปที่ 4.17 กราฟแสดงคุณลักษณะของ CFA นั้นคือ Bandwidth อิสระต่อการเปลี่ยนแปลงของอัตราการขยายวงจรปิด (Close loop gain) โดยการกำหนด $R_g = 1k\Omega$ แล้วทำการเปลี่ยนแปลงค่า R_f เป็น $1k\Omega, 2k\Omega$ และ $3k\Omega$ ผลการทดสอบจากกราฟแสดงให้เห็นว่าอัตราการขยายจะไม่ขึ้นอยู่กับ Bandwidth แต่เมื่ออัตราการขยายต่ำกว่า 0 dB ความกว้างของ Bandwidth เพิ่มมากขึ้น

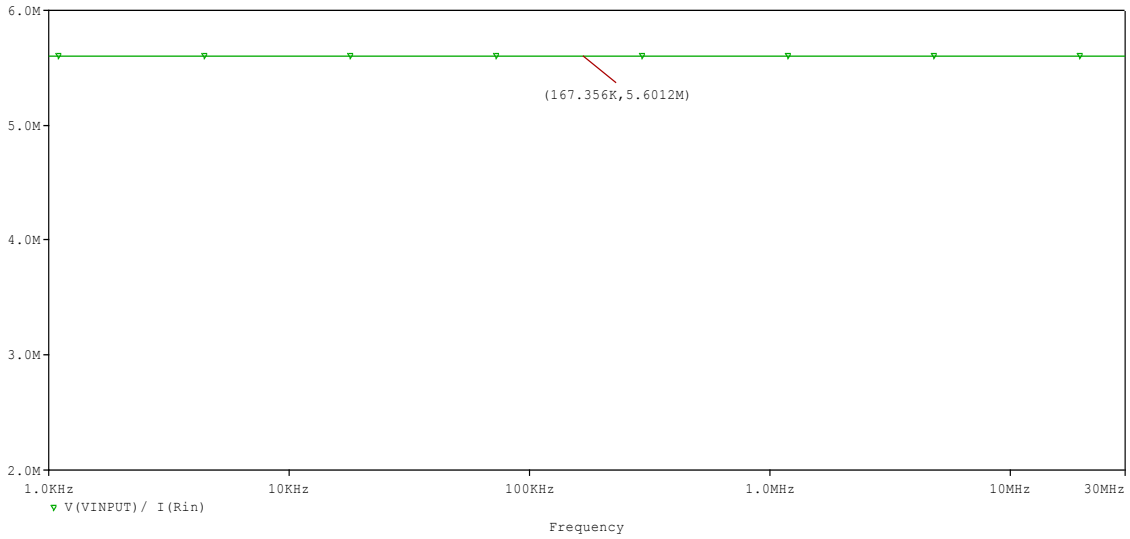
4.6 ความต้านทานอินพุตและเอาท์พุต

4.6.1 ความต้านทานอินพุต

จากรูปที่ 4.18 กำหนด จ่ายV_{INPUT} สัญญาณอินพุตขนาด 200 mV ความถี่ 10 MHz



รูปที่ 4.18 วงจร Non-inverting ทดสอบความต้านทานอินพุต



รูปที่ 4.19 แสดงรูปสัญญาณเอาท์พุตของวงจร Non-inverting ทดสอบความต้านทานอินพุต

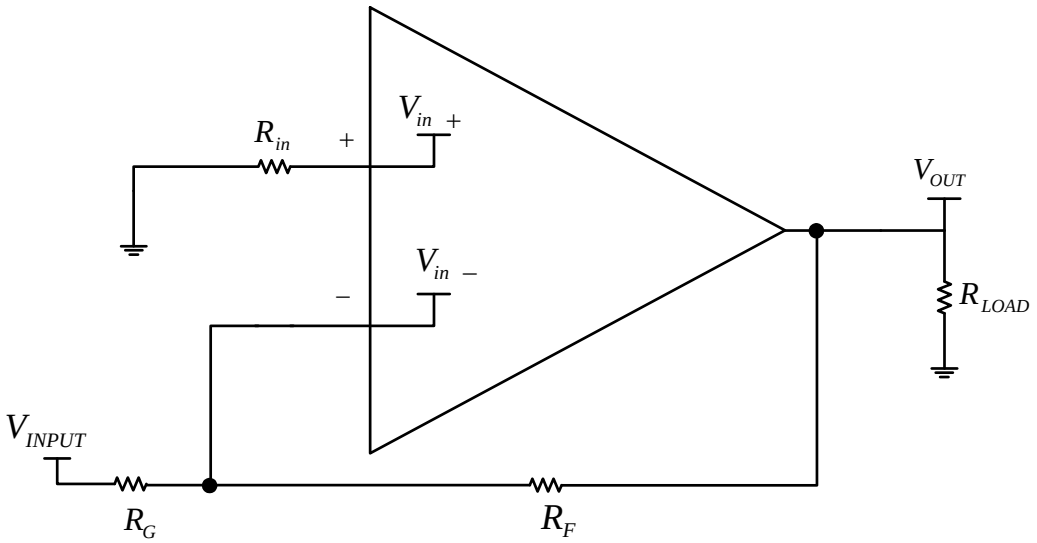
จากสมการกฎโอห์ม $Z = V / I$ (4.22)

เพราะฉะนั้น ค่าอินพุตพิแดนซ์ โดยวิเคราะห์จากกราฟของรูปที่ 4.19

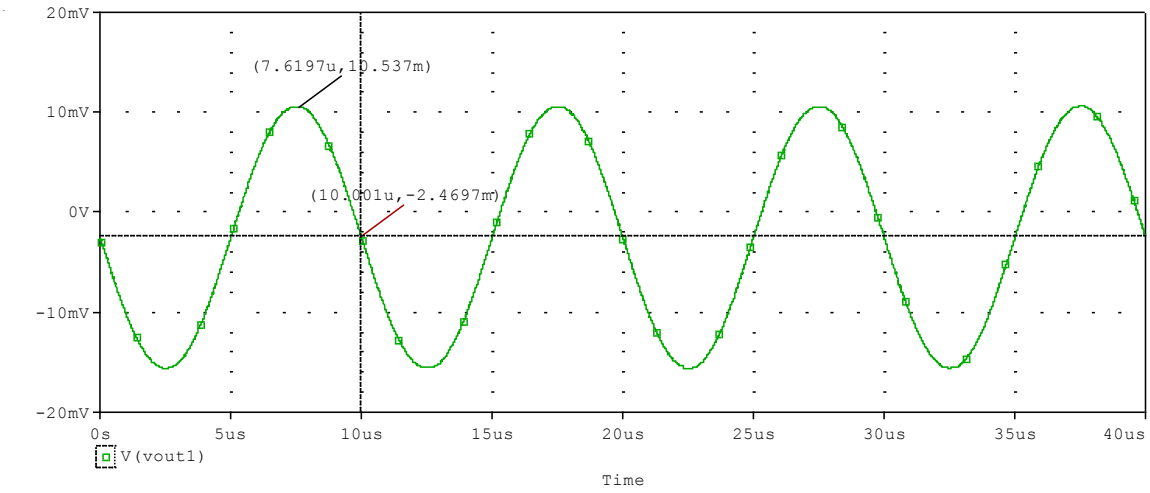
$$Z_i = \frac{V_{input}}{I_{input}}$$

4.6.2 ความต้านทานเอาท์พุต

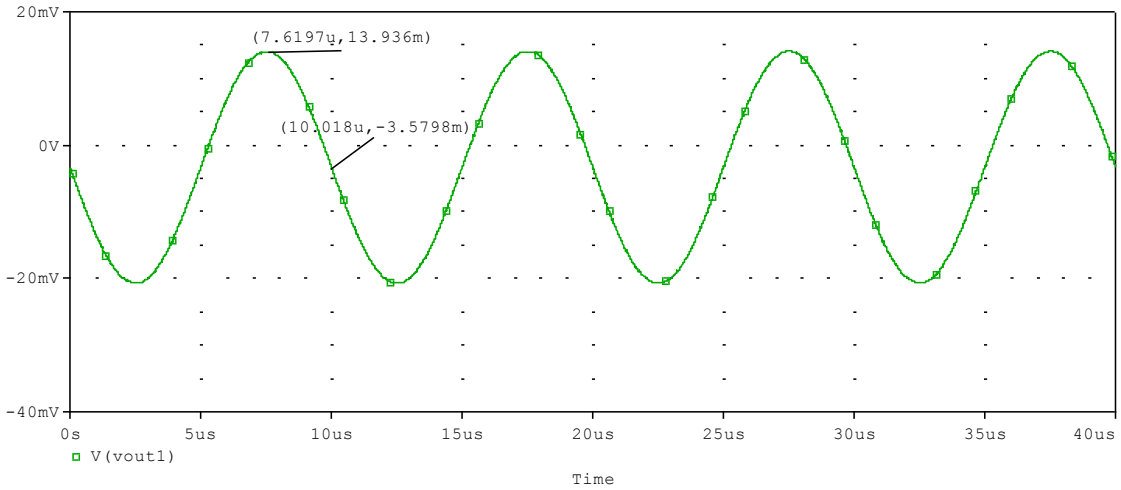
โดยกำหนดค่า R_{LOAD} เท่ากับ $1k\Omega$, $100M\Omega$ และ $R_G = 1k\Omega$, $R_F = 1.2k\Omega$ จ่าย V_{INPUT} สัญญาณอินพุตขนาด 20 mV ความถี่ 100 kHz



รูปที่ 4.20 วงจร Non-inverting ทดสอบความต้านทานเอาท์พุต



รูปที่ 4.21 แสดงรูปสัญญาณเอาท์พุตของวงจร Non-inverting ทดสอบความต้านทานเอาท์พุต โดยที่กำหนดให้ $R_{LOAD} = 1k\Omega$ มีขนาด $V_L = 13.058mV$



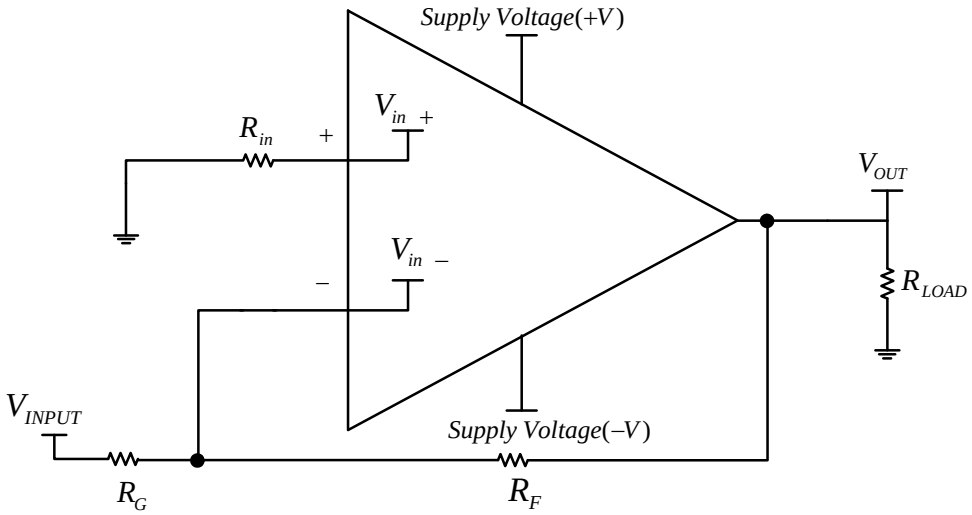
รูปที่ 4.22 แสดงรูปสัญญาณเอาท์พุตของวงจร Non-inverting ทดสอบความต้านทานเอาท์พุต โดยที่กำหนดให้ $R_{LOAD} = 100M\Omega$ มีขนาด $V_L = 17.284mV$

$$Z_o = \frac{V_o - V_L}{V_L} R_{LOAD} \tag{4.23}$$

$$Z_o = \frac{17.284mV - 13.058mV}{13.058mV} 1k\Omega$$

$$Z_o = 323.63\Omega$$

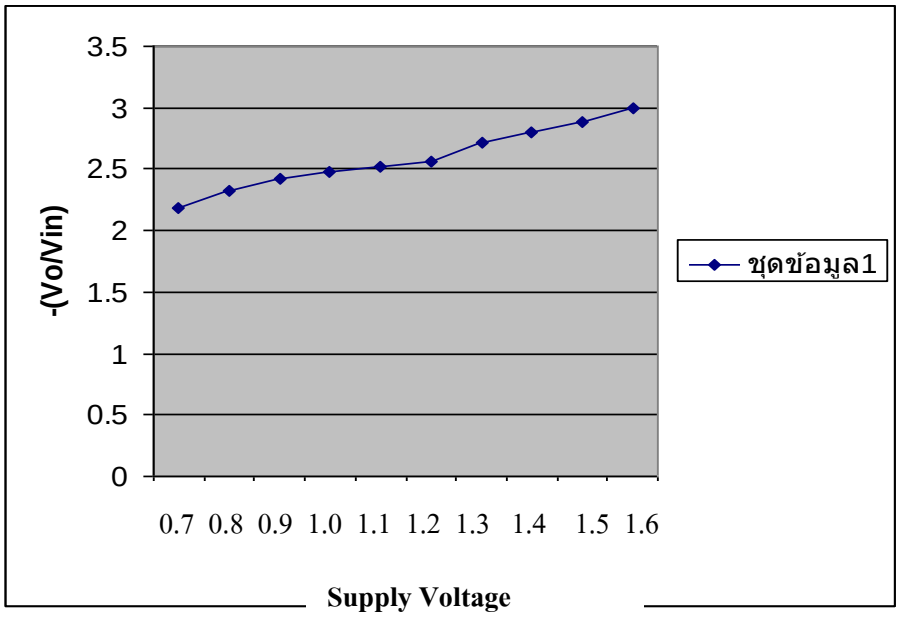
4.7 ความสัมพันธ์ของ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยาย



รูปที่ 4.23 แสดงการต่อวงจรออปแอมป์เพื่อหาความสัมพันธ์ของ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$

ตารางที่ 5.1 แสดงความสัมพันธ์ของแหล่งจ่ายไฟ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$ โดยต่อวงจรตามรูปที่ 4.23 กำหนดให้ $R_G = 1k\Omega$, $R_F = 3k\Omega, R_{LOAD} = 20k\Omega$

± Supply Voltage (V)	V_{out}/V_{in}
0.70	-2.18
0.80	-2.33
0.90	-2.42
1.00	-2.48
1.10	-2.52
1.20	-2.56
1.30	-2.71
1.40	-2.80
1.50	-2.88
1.60	-3.00



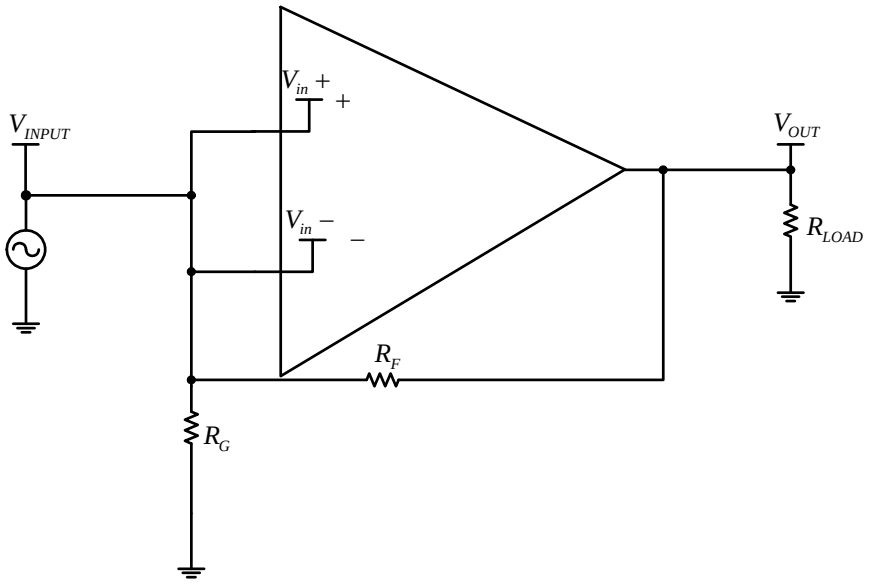
รูปที่ 4.24 แสดงกราฟความสัมพันธ์ของแหล่งจ่ายไฟ ± Supply Voltage (V) ของออปแอมป์กับอัตราการขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$

จากการทดสอบความสัมพันธ์ของแหล่งจ่ายไฟ ± Supply Voltage (V) ของออปแอมป์กับอัตรา

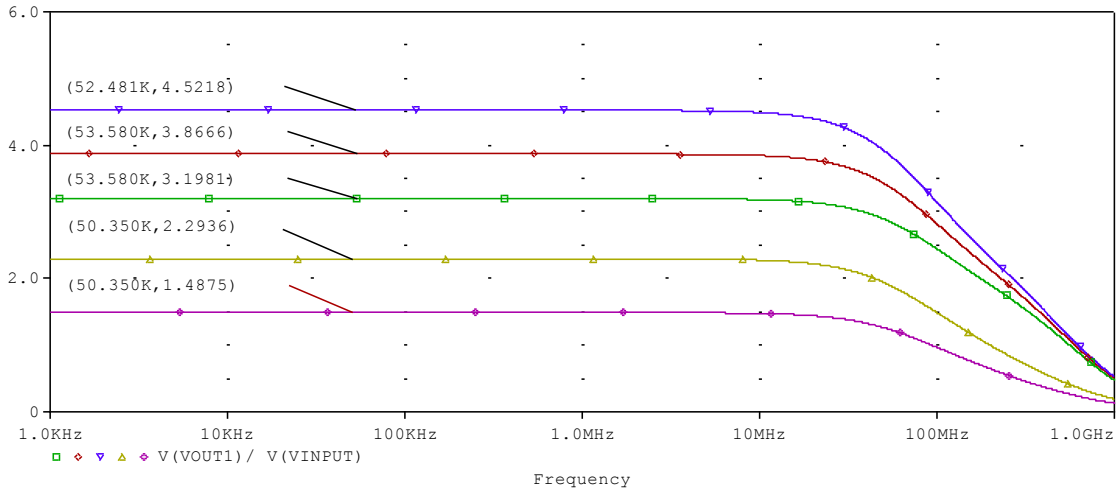
การขยายจากสูตร $\frac{V_{out}}{V_{in}} = -\frac{R_F}{R_G}$ อัตราส่วนของ $-R_f / R_g = -3$ ที่ ± Supply Voltage มีค่าเท่ากับ 1.6 V จึงสามารถให้อัตราการขยาย $V_{out} / V_{in} = -3$

4.8 Common-Mode Rejection Ratio (CMRR)

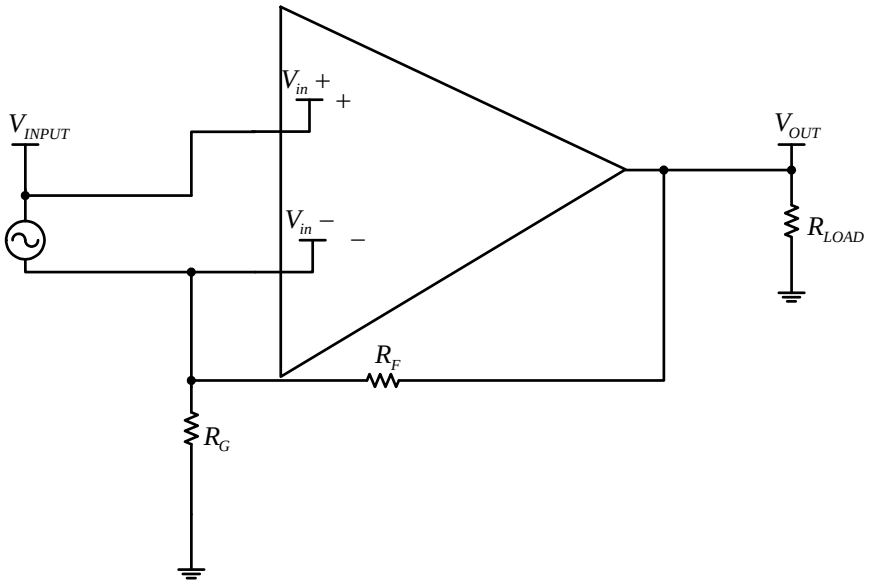
ลักษณะของสัญญาณที่จ่ายให้กับการต่อวงจรแบบเมื่อมีการต่อแบบ differential connection คือ สัญญาณอินพุตที่ตรงข้ามกันซึ่งจะให้อัตราการขยายที่สูง ในขณะที่ต่อแบบ common connect อินพุตทั้งสองของออปแอมป์ ลักษณะสัญญาณที่เหมือนกัน จะให้อัตราการขยายที่ต่ำ เป็นการต่อวงจรเพื่อที่จะขยายผลต่างและขจัดสัญญาณร่วมที่ทั้งสองอินพุต เพราะฉะนั้นสัญญาณรบกวนที่เกิดขึ้นจากการจ่ายสัญญาณของทั้งสองอินพุต การต่อแบบ differential connection เพื่อต้องการที่จะลด(noise) สัญญาณที่ไม่ต้องการ ในขณะที่สามารถขยายสัญญาณเอาท์จากผลต่างของสัญญาณเอาท์พุตซึ่งก็คือการต่อวงจรแบบ Common-Mode Rejection



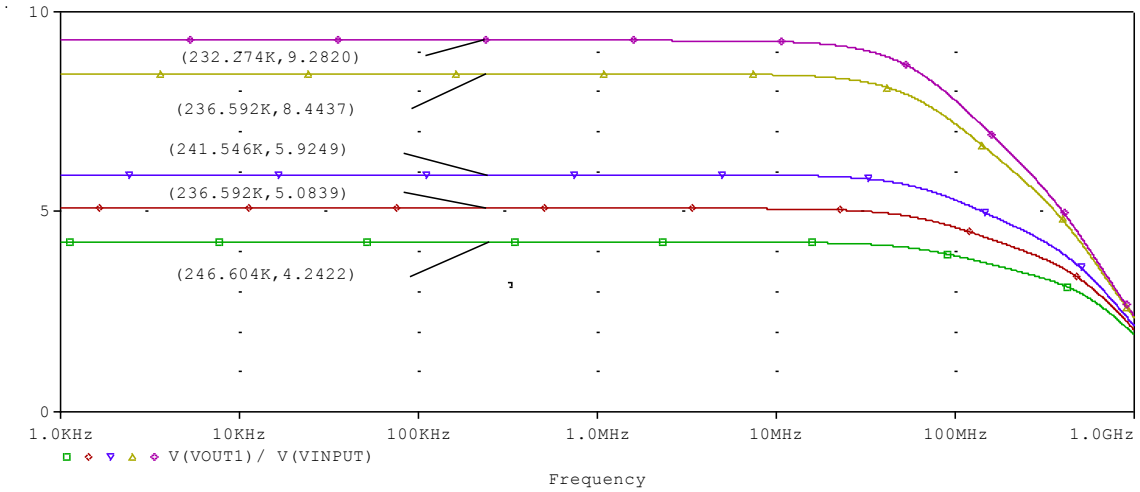
รูปที่4.25 การต่อวงจรแบบ Common-mode โดยจ่ายสัญญาณซายด์อินพุต 0.2 V ความถี่ 10MHz , $R_G = 1k\Omega$, $R_F (5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$



รูปที่4.26 รูปสัญญาณของการต่อวงจรแบบ Common-mode



รูปที่4.27 การต่อวงจรแบบ Differential-mode โดยจ่ายสัญญาณอินพุต 0.2 V ความถี่ 10MHz ,
$R_G = 1k\Omega$, $R_F (5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$



รูปที่4.28 รูปสัญญาณของการต่อวงจรแบบ Differential-mode

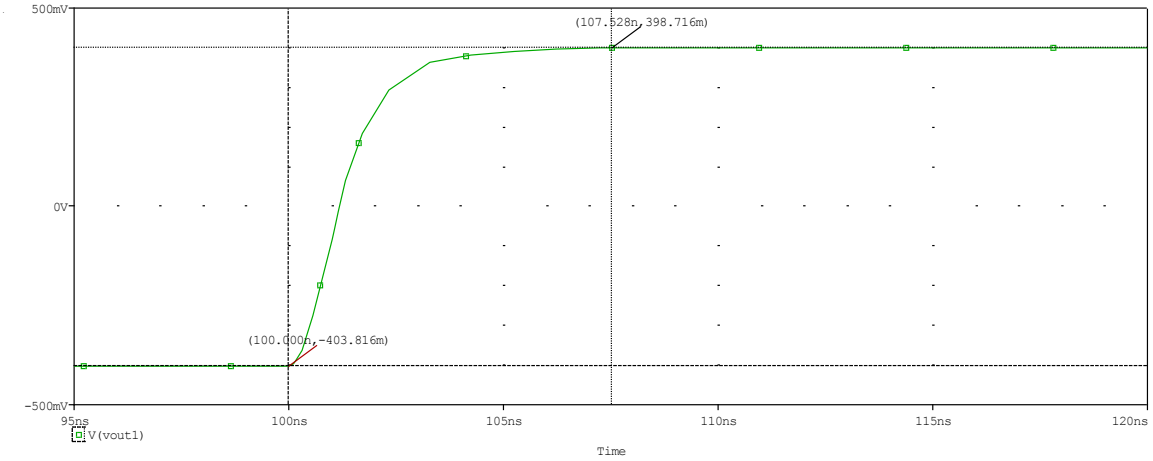
สามารถคำนวณค่าของ Common-mode rejection ratio (CMRR) เมื่อ A_d คืออัตราการขยายของวงจรแบบ Differential Mode และ A_c คืออัตราการขยายของวงจรแบบ Common-modeดังสมการที่ 4.24

$$CMRR = \frac{A_d}{A_C} \tag{4.24}$$

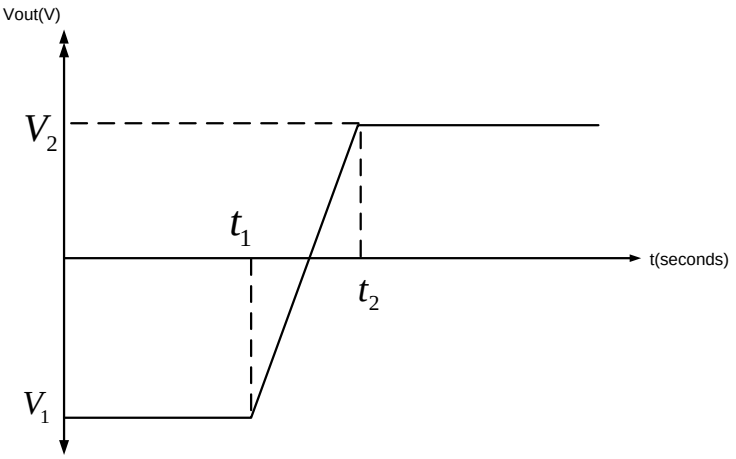
ตารางที่5.2 แสดงค่าของ CMRR เมื่อมีการเปลี่ยนแปลง Gain การขยายสัญญาณ ตามการเปลี่ยนแปลงค่าของ $R_G = 1k\Omega$, $R_F (5k\Omega, 6k\Omega, 7k\Omega, 10k\Omega, 11k\Omega)$

Gain ($\frac{V_o}{V_i}$)	A_c	A_d	CMRR	CMRR(dB)
3.771	3.198	4.242	1.326	2.451
4.483	3.866	5.083	1.314	2.371
5.163	4.521	5.924	1.310	2.345
1.542	2.293	8.443	3.682	11.322
1.235	1.487	9.282	6.242	15.906

4.9 อัตราการสลูว์ (Slew Rate)



รูปที่ 4.29 สัญญาณเอาท์พุตของวงจรขยายแบบ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input)



รูปที่ 4.30 กราฟสัญญาณเอาท์พุตเพื่อใช้ในการวิเคราะห์อัตราการสลูว์ (SlewRate)

อัตราการสลูว์ (SlewRate) ของตัวออปแอมป์เป็นค่าที่บอกถึงความสามารถในการเปลี่ยนแปลงแรงดันเอาท์พุตทันทีเมื่อออปแอมป์ได้รับอินพุตเข้ามา ถ้าออปแอมป์มีอัตราการสลูว์เท่ากับ 0.5 โวลต์ต่อไมโครวินาที หมายถึง แรงดันเอาท์พุตสามารถเปลี่ยนแปลงได้สูงสุด 0.5 โวลต์ ในเวลา 1 ไมโครวินาที จากรูปที่ 4.30 เป็นกราฟวิเคราะห์สัญญาณเอาท์พุตเพื่อหาอัตราการสลูร์ โดยสามารถคำนวณตามสมการที่ 4.25

$$Slew\,Rate = \frac{V_2 - V_1}{t_2 - t_1} = \frac{\Delta V}{\Delta t}\left(V/s\right) \qquad (4.25)$$

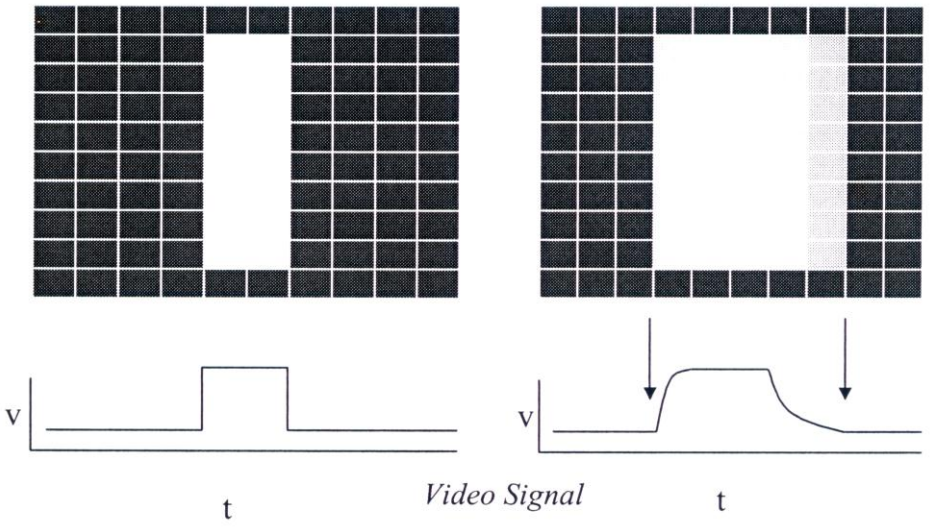
รูปที่ 4.29 เป็นรูปสัญญาณเอาท์พุตของวงจรขยายแบบ Inverting เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม (Square input) โดยมีอัตราการขยาย 2 เท่า จากสมการที่ 4.22 สามารถหาค่าได้คือ $V_1 = -403.816mV$, $V_2 = 398.714mV$, $t_1 = 100.000ns$ และ $t_2 = 107.528ns$

$$\begin{aligned} Slew\,Rate &= \frac{398.716mV - (-403.816mV)}{107.528ns - 100.000ns} \\ &= \frac{802.532mV}{7.528ns} \\ &= \frac{802.532mV}{0.007528\mu s} \\ &= 106.6 \quad V/\mu s \end{aligned}$$

อัตราการสลูว์ที่ได้จากกราฟผลการทดสอบ 106.6 $V/\mu s$ จากรูปที่ 4.16 แสดงความกว้างของแบนด์วิธด์ 219 MHz เมื่อเปรียบเทียบกับตารางที่ 4.3 อัตราการสลูว์ที่ได้จากวงจรการทดสอบ 106.6 $V/\mu s$ สามารถใช้งานได้ที่วงจรขยายสัญญาณของจอภาพแบบ VGA ซึ่งต้องการอัตราการสลูว์ 95 $V/\mu s$ และต้องการแบนวิธด์ 24 MHz อัตราการสลูว์ที่มีค่าสูงเมื่อนำมาใช้งานกับวงจรทางด้านการส่งสัญญาณวิดีโอ ทำให้การแสดงภาพของจอภาพมีความชัดเจนมากขึ้นตามรูปที่ 4.31

ตารางที่4.3 แสดงการใช้งานของจอภาพวิดีโอโดยการใช้วงจรขยายสัญญาณความเร็วสูง เมื่ออัตราการขยาย เท่ากับ 2 เท่า ให้เอาท์พุตเท่ากับ $1.4V_{p-p}$ ของบริษัท National Semiconductor

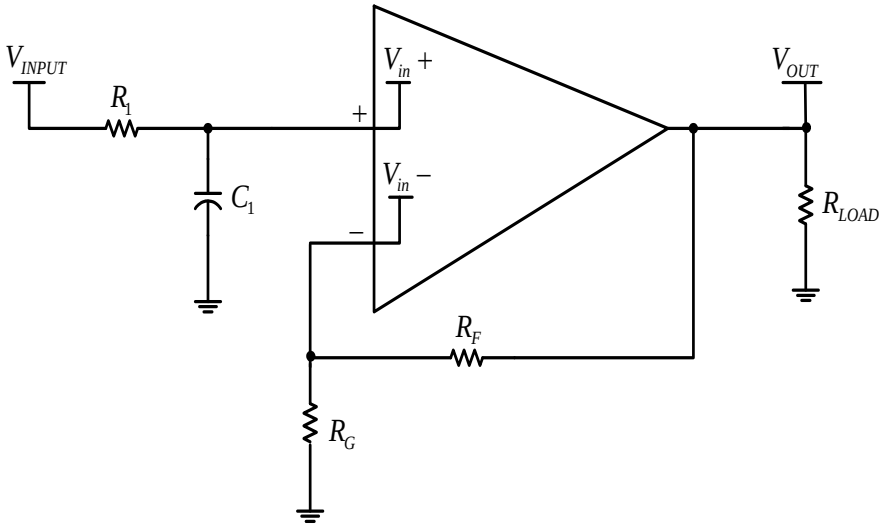
Line Rate	**Name**	**BW**	**SR**
(HXV)		(MHz)	($V/\mu s$)
451x483	TV_NTSC	9	36
640x480	VGA	24	95
1024x768	XGA	86	343
1600x1200	UXGA	215	860



รูปที่ 4.31 แสดงความสัมพันธ์ของสัญญาณวิดีโอ (Video Signal) กับการแสดงภาพของจอภาพ

4.10 วงจรฟิลเตอร์ผ่านความถี่สูง (High Pass Filter Circuit)

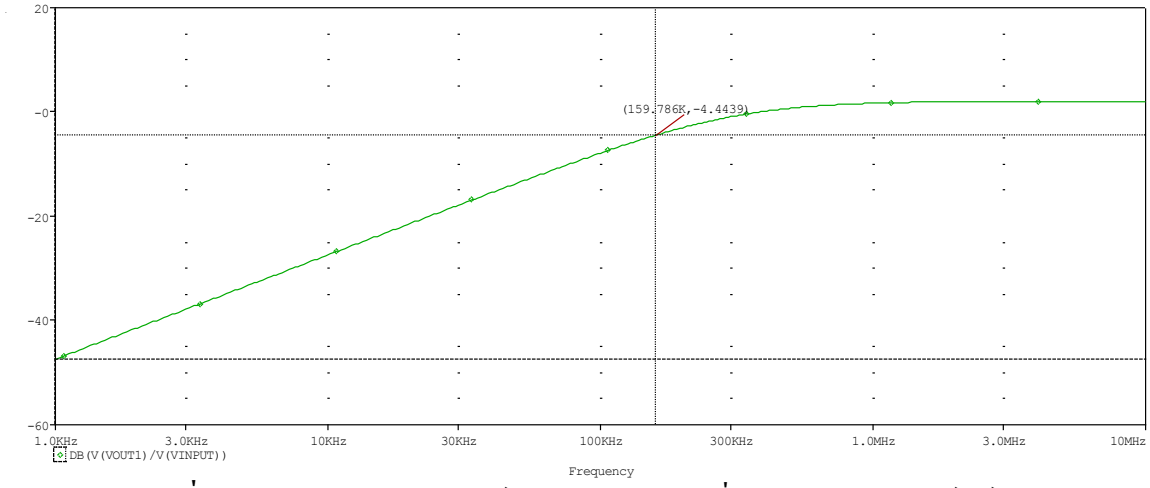
ลักษณะการทำงานของวงจรกรองความถี่สูงผ่านคือ วงจรที่จะทำการลดทอนสัญญาณความถี่ต่ำๆ ให้หมดไป โดยให้เลือกไว้เฉพาะสัญญาณความถี่สูงเท่านั้น ช่วงความถี่ที่เป็นช่วงผ่านอยู่ในช่วงตั้งแต่



รูปที่4.32 วงจรกรองความถี่สูงผ่านแบบบัตเตอร์เวิร์ท

ความถี่คัตออฟ ขึ้นไปคือ ตรงข้ามกับวงจรกรองความถี่สูง จากรูปที่ 4.33 เป็นการต่อวงจรกรองความถี่สูงผ่านแบบบัตเตอร์เวิร์ท กำหนดให้ $C_1 = 0.001\mu F$, $R_1 = 1k\Omega$, $R_G = 1k\Omega$ และ $R_F = 2.7k\Omega$ โดยการจ่ายสัญญาณอินพุต $0.1MHz$ ขนาด 0.2 V สามารถคำนวณหาความถี่คัตออฟ ตามสมการ 4.26

$$f_c = \frac{1}{2\pi R_1 C_1} \qquad (4.26)$$



รูปที่4.33 รูปกราฟสัญญาณเอาท์พุตของกรองความถี่สูงผ่านแบบบัตเตอร์เวิร์ท

แทนค่าลงในสมการเพื่อหาความถี่คัตออฟ

$$f_C = \frac{1}{2\pi R_1 C_1}$$

$$= \frac{1}{2\pi(1k\Omega)(0.001\mu F)}$$

$$= 159.15 \quad kHz$$

จากการคำนวณความถี่คัตออฟ 159.15 kHz เมื่อเปรียบเทียบกับกราฟสัญญาณเอาท์รูปที่4.29 ความถี่ 159 kHz จะได้อัตราการขยายอยู่ที่ -4.4 dB โดยทฤษฎีแล้วจะอยู่ที่ -3 dB วงจรให้ค่าผิดพลาดไป -1.4 dB