

## บทที่ 2

# วงจรป้อนกลับกระแส

### 2.1 บทนำ

แนวคิดเกี่ยวกับวงขยายสัญญาณ (Amplifier) เริ่มเกิดขึ้นในปี ค.ศ.1954 โดย Tellegen ซึ่งเป็นการอธิบายถึง Ideal Amplifier ต่อมาในปี ค.ศ.1964 Carlin ได้เสนอแนวคิดเพิ่มเติมเกี่ยวกับ Nullor และ Norton element เพื่อที่จะอธิบาย Ideal Amplifier ได้เหมาะสมยิ่งขึ้น แต่แนวคิดนี้ไม่มีการนิยามเกี่ยวกับระดับความต้านทานที่ Input และ Output ของ Amplifier ซึ่งยากต่อการนำไปสร้างในการปฏิบัติด้วยเหตุนี้จึงได้มีการประยุกต์ Nullor element ใน 4 ลักษณะคือ Voltage Controlled-Voltage Source (VCVS), Current Controlled-Current Source (CCCS), Voltage Controlled-Current Source (VCCS) และ Current Controlled-Voltage Source (CCVS) จากการประยุกต์ Nullor element นี้ทำให้เกิด Amplifier 4 แบบ ที่รู้จักในชื่อ Voltage Amplifier, Current Amplifier, Transconductance Amplifier และ Transresistance Amplifier ตามลำดับ ระดับความต้านทาน Input และ Output ของ Amplifier ทั้ง 4 แบบแตกต่างกันเป็นลักษณะเฉพาะในแต่ละแบบ

Feedback Amplifier เป็นรูปแบบการประยุกต์ใช้งานในลักษณะ Closed loop ของ Amplifier ทั้ง 4 แบบที่กล่าวมาข้างต้นใน 4 ลักษณะคือ Voltage-to-Voltage, Current-to-Current, Voltage-to-Current และ Current-to-Voltage Converter รูปแบบหนึ่งของ Feedback amplifier ที่ได้รับความนิยมคือ Voltage-to-Voltage Converter และได้รับความนิยมอย่างยิ่งเมื่อ Op-Amp (Voltage Feedback Op-Amp) สามารถผลิตเป็นวงจรรวมแบบโมโนลิทิกได้ (Fairchild's uA709 ในปี ค.ศ.1965) และได้รับความนิยมอย่างมากจนถึงปัจจุบัน

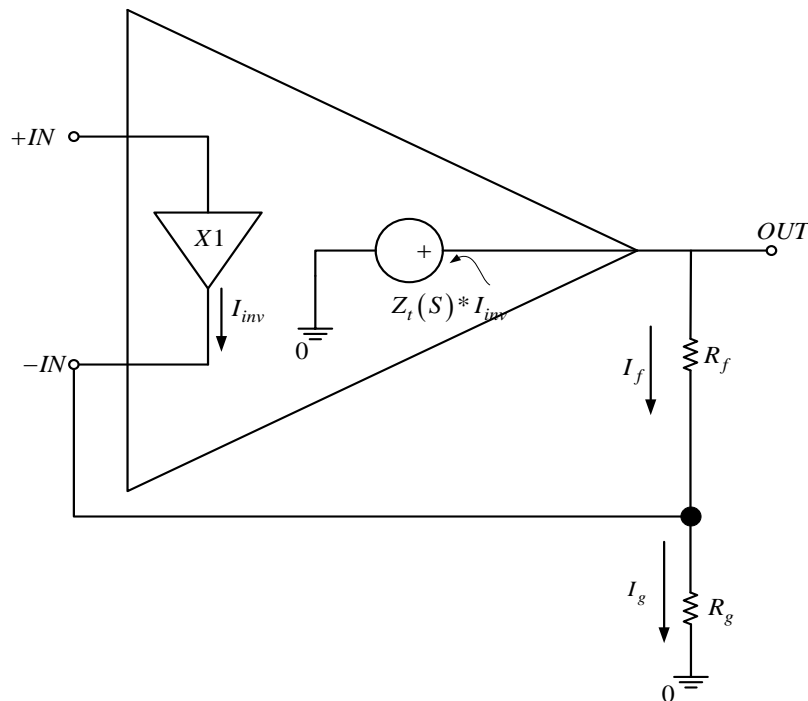
อย่างไรก็ตามลักษณะโครงสร้างของ Voltage Feedback Op-Amp (VFA) จะทำให้เกิดข้อจำกัดหลายด้านซึ่ง Bowers[6] ได้แสดงและอธิบายข้อจำกัดเหล่านี้อย่างชัดเจนเช่น ข้อจำกัดด้าน Slew Rate (SR) และ Gain-Bandwidth Product (GBW) ที่มีลักษณะคงที่เป็นต้น

### 2.2 Current Feedback Op-Amp

เนื่องจากโครงสร้างของ VFOA ทำให้เกิดข้อจำกัดเช่น SR มีค่าต่ำเมื่อ GBW ที่มีลักษณะคงที่จึงได้มีการออกแบบโครงสร้างของ OP-Amp แบบใหม่ขึ้นโดยอาศัยแนวคิด Constant Bandwidth Follower Base Voltage Amplifier ซึ่งมีอธิบายโดย Toumazou และ Lidgey[1] ซึ่งแนวคิดนี้จะใช้การ

ขยายที่เป็นลักษณะ Unity Gain เป็นผลทำให้ Bandwidth กว้างโดย GBW มีลักษณะเป็นเป็นเชิงเส้น นอกจากนี้ลักษณะโครงสร้างของ OP-Amp แบบใหม่ยังทำให้มีค่า SR ที่สูงกว่า VFOA มาก OP-Amp แบบใหม่ก็คือ Constant-Feedback Op-Amp (CFOA)

Constant-Feedback Op-Amp ในอุดมคติ โครงสร้างของ CFOA แบบออกเป็น 2 ส่วนคือ Voltage Amplifier และ Transimpedance Amplifier, Voltage Amplifier เป็น Input Stage ต่ออยู่ระหว่างขา Non-Inverting กับขา Inverting ทำหน้าที่ส่งแรงดันจากขา Non-Inverting ไปยังขา Inverting ซึ่งมีอัตราขยายแรงดันเท่ากับ 1 (หรือมากกว่า Input Buffer) Transimpedance Amplifier เป็น Output Stage ทำหน้าที่เปลี่ยนสัญญาณกระแสผิดพลาดซึ่งเป็นความต่างของกระแสอ้างอิงกับกระแสป้อนกลับไปเป็นแรงดันขาออกแบบจำลองเบื้องต้นของ CFA แสดงในรูปที่ 2.1



รูปที่ 2.1 แบบจำลองเบื้องต้นของ CFA กับวงจรขยายแบบไม่กลับเฟส

โดยต่อลักษณะการขยายแบบไม่กลับเฟสซึ่ง Input Buffer อยู่ระหว่างขา Non-Inverting กับขา Inverting ทำหน้าที่ส่งแรงดันขาเข้า ( $V_{in}$ ) จากขา Non-Inverting สู่ขา Inverting หรือ Feedback Network ( $R_f, R_g$ ) ทำให้เกิดกระแสอ้างอิง ( $I_g$ ) ไหลผ่าน ( $R_g$ ) ส่วนกระแสป้อนกลับ ( $I_f$ ) ที่ไหลผ่าน  $R_f$  จะเกิดความต่างของแรงดันขาเข้าและขาออก ส่วนความต่างของกระแสอ้างอิงและกระแสป้อนกลับคือกระแสผิดพลาด ( $I_{inv}$ )

คุณสมบัติต่าง ๆ ของ CFA เมื่อใช้งานเป็นวงจรถยายแบบไม่กลับเฟสสามารถที่จะแสดงได้โดยการวิเคราะห์ทรานเฟอร์ฟังก์ชันนี้ที่ Output Node แรงดันขาออกจะมีค่าเท่ากับผลคูณของกระแสผิดพลาด ( $I_{inv}$ ) กับ Open Loop Gain หรือ Dynamic Forward Transfer Impedance ( $Z_t$ )

$$V_{out} = Z_t \times I_{inv} \quad (2.1)$$

พิจารณาที่ Node โดยใช้ KCL จะได้

$$\frac{V_1}{R_g} + \frac{V_{out} - V_1}{R_f} - \frac{V_{out}}{Z_t} = 0 \quad (2.2)$$

แทน  $V_1 = V_{in}$  และสมมุติ  $Z_t$  ด้วย 1<sup>st</sup> order RC Network

$$Z_t(j\omega) = \frac{R_t}{1 + j\omega R_t C_t} \quad (2.3)$$

แทนที่สมการที่ (2-1) และ (2-3) ลงในสมการที่ (2-2) จะได้

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{\left[1 + \frac{R_f}{R_g}\right]}{1 + \frac{R_f}{R_t} + j\omega R_f C_t} \quad (2.4)$$

เนื่องจาก Dynamic Forward Transfer Impedance นั้นมีค่าสูงกว่า  $R_f$  มาก ดังนั้นสมการที่ (2.4) สามารถรูปได้เป็น

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{\left[1 + \frac{R_f}{R_g}\right]}{1 + j\omega R_f C_t} \quad (2.5)$$

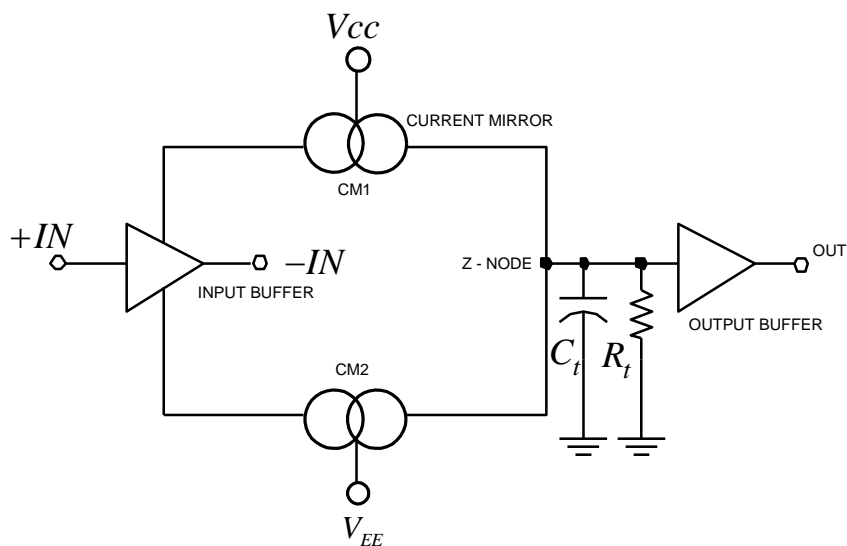
จากสมการที่ (2.5) สามารถสรุปคุณสมบัติได้สองประการคือ Closed Loop Gain ( $A_{CL}$ ) ของวงจรถยายแบบไม่กลับเฟสที่ใช้ CFA มีค่าไม่ต่างกับกับใช้ VFA คือ

$$A_{CL} = \left( 1 + \frac{R_f}{R_g} \right) \quad (2.6)$$

และ BW ของวงจรถยายแบบไม่กลับเฟสที่ใช้ CFA ขึ้นอยู่กับความต้านทานป้อนกลับ

$$BW = \frac{1}{2\pi C_t R_f} \quad (2.7)$$

คุณสมบัติเด่นอีกประการของ CFA คือ SR เกิดจากลักษณะ โครงสร้างของ CFA ดังรูปที่ 2.2 ในรูปที่ 2.2 เป็นแบบจำลองโครงสร้างของ CFA ที่ขยายความเพิ่มเติมจากรูปที่ 2.1



รูปที่ 2.2 แบบจำลองโครงสร้างของ CFA

ภาคแรกจะเป็น Input Buffer ส่วนภาค Transimpedance Amplifier จะสร้างขึ้นจาก Current Mirrors (CM1, CM2) และ Output Buffer ตามลำดับ ซึ่งมีค่าปาสซีเตอร์ ( $C_t$ ) และความต้านทาน ( $R_t$ ) เป็นอิมพีแดนซ์สมมูลหรือ Dynamic Forward Transfer Impedance ที่ Z-node ของ CFA ซึ่งทรานเฟอร์

ฟังก์ชันของอิมพีแดนซ์สมมูลนี้สามารถกำหนดได้จากสมการที่ (2-3) ส่วน SR ของ CFOA สามารถพิจารณาจากการเปลี่ยนแปลงแรงดันขาออก ( $V_{out}$ ) เทียบกับเวลาหรือ

$$SR = \frac{d(V_{out})}{dt} \quad (2.8)$$

ซึ่งก็คือ

$$SR \approx \frac{I_{inv}}{C_t} \quad (2.9)$$

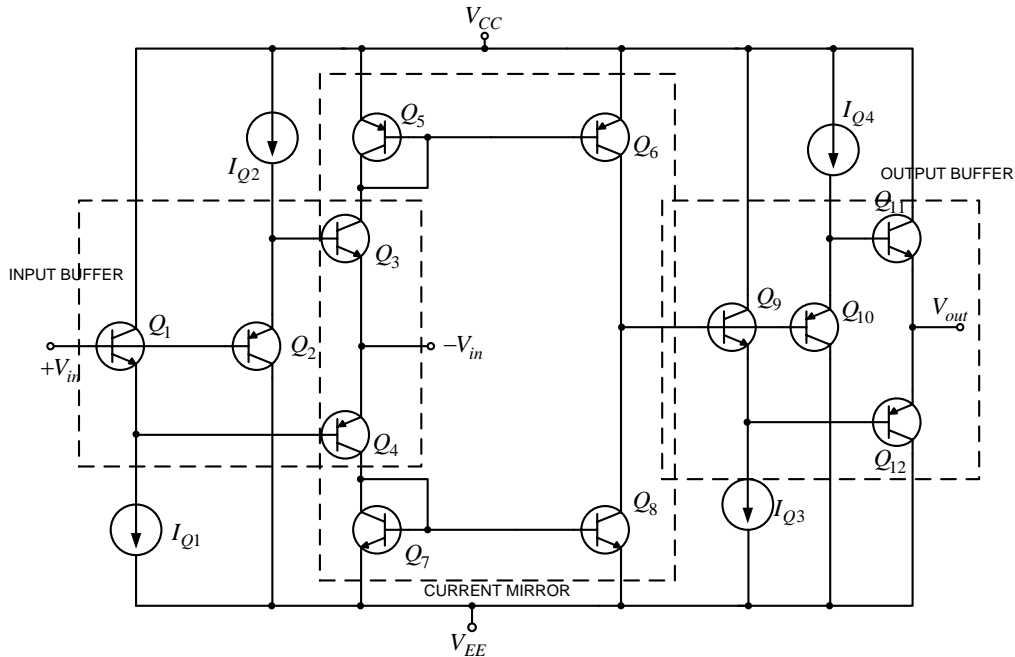
จากโครงสร้างของ CFOA ในรูปที่ 2.2 จะเห็นได้ว่า  $I_{inv}$  เป็นกระแสที่ซาร์จสู่คาปาซิเตอร์  $C_t$  ได้โดยตรงทำให้ SR ของ CFOA มีค่าสูง หรือถ้าพิจารณา SR ตามการจัดวงจรแบบขยายไม่กลับเฟส สามารถแสดงสมการ SR ไว้ว่า

$$SR = \omega_a V_o \text{ (final)} \quad (2.10)$$

ตัวอย่างเช่น  $f_t = 100 \text{ MHz}$  และ  $V_o = 5 \text{ V}$  ดังนั้น SR จะมีค่าเท่ากับ  $3100 \text{ V}/\mu\text{s}$  ซึ่งมีค่าสูงกว่าการใช้งาน VFOA มาก

### 2.2.2 โครงสร้างระดับทรานซิสเตอร์เบื้องต้นของ Current Feedback Op-Amp

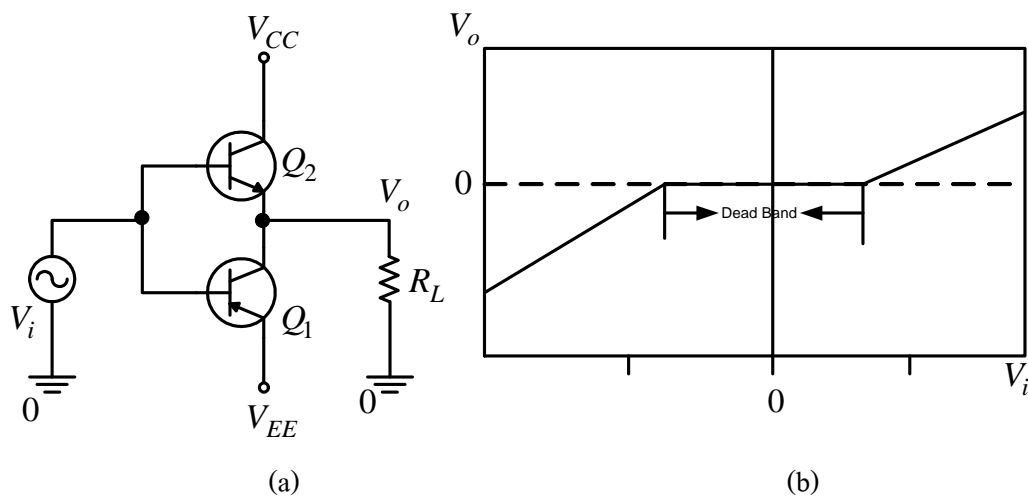
โครงสร้างของ CFA แบ่งออกเป็น 3 ส่วนดังรูปที่ 2.2 คือ Input Buffer, Output Buffer และ Current mirror เป็น Input Buffer และ  $Q_9 - Q_{12}$  เป็น Output Buffer การทำงานของทั้ง Input และ Output จะเป็นลักษณะ Class AB ทรานซิสเตอร์  $Q_1, Q_2$  และ  $Q_9, Q_{10}$  จะถูกไบแอสด้วยแหล่งจ่ายกระแสคงที่  $I_o$  เพื่อให้มีแรงดันไบแอสแก่ Complementary Transistor  $Q_3, Q_4$  และ  $Q_1, Q_{12}$  ให้ทำงานใน Class AB ส่วน Current mirror นั้นแทนด้วยทรานซิสเตอร์  $Q_5, Q_6, Q_7, Q_8$  ซึ่งเป็น Simple Current mirror



รูปที่ 2.3 การสร้าง Input, Output Buffer และ Current mirror ด้วยทรานซิสเตอร์

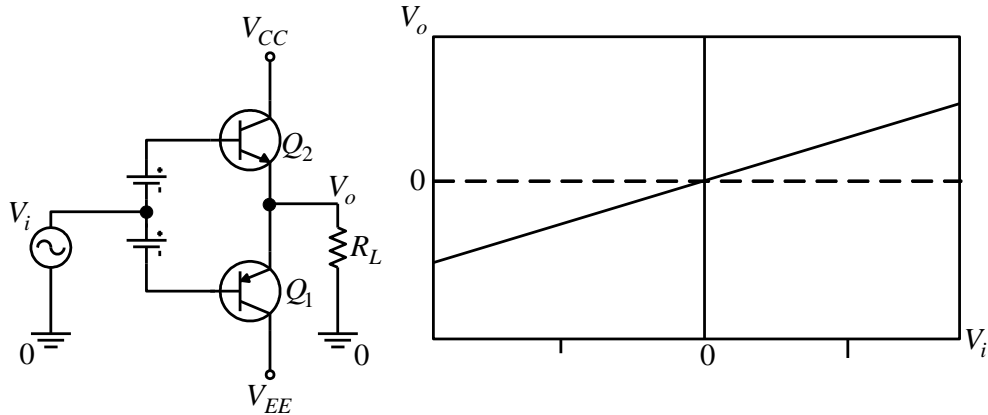
### 2.3 Buffer และการไบแอส

กรณีที่กระแส  $I_{Q1}, I_{Q2}$  หรือ  $I_{Q3}, I_{Q4}$  ของ Input และ Output Buffer มีค่าเป็นศูนย์ หรือ Buffer ไม่มีกระแสไบแอส วงจร Buffer สามารถแสดงได้ดังรูปที่ 2.4(a) ส่วน Transfer Characteristic ของวงจรดังรูปที่ 2.4 (b) ซึ่งจะเห็นได้ว่ามีช่วง “Dead Band” ซึ่งทั้ง  $Q_1$  และ  $Q_2$  อยู่ในภาวะ cut off



รูปที่ 2.4 (a) วงจร Buffer ที่ไม่มีกระแสไบแอส (b) Transfer Characteristic

ทำให้อัตราขยายแรงดันในช่วงนี้มีค่าน้อยมาก เพื่อจะทำให้อัตราขยายแรงดันในช่วง Dead Band นี้มีค่าใกล้เคียงหนึ่งมากขึ้นจึงจำเป็นต้องให้ไบแอสแก่ทรานซิสเตอร์  $Q_1, Q_2$  ซึ่งทำได้โดยการจ่ายแรงดันไบแอส ( $V_{B1}, V_{B2}$ ) ระหว่างขาเบสของทรานซิสเตอร์ทั้งสองตัวดังรูปที่ 2.5 (a) และผลของ Transfer Characteristic เปลี่ยนแปลงไปดังรูปที่ 2.5 (b)



รูปที่ 2.5 (a) การไบแอสเพื่อแก้ Dead Band (b) Transfer Characteristic

เพื่อให้ค่า Distortion มีค่าน้อยที่สุด ค่าแรงดันไบแอส  $V_{B1}$  และ  $V_{B2}$  ต้องมีค่าสูงพอที่จะทำให้ทรานซิสเตอร์  $Q_1$  และ  $Q_2$  อยู่ในสภาวะแอกติฟตลอดเวลา สำหรับวงจรในรูปที่ 2.4 (a) เมื่อพิจารณาที่สัญญาณขนาดเล็ก (small signal) และภายใต้เงื่อนไขการทำงาน (quiescent)  $V_i = 0$  และ  $V_o = 0$  อัตราขยายแรงดันจะแสดงได้ดังสมการ (2.11)

$$AV = \frac{2g_m R_L}{1 + 2g_m R_L} \quad (2.11)$$

เมื่อ  $g_{m1}$  และ  $g_{m2}$  คือค่า Transconductance ของทรานซิสเตอร์  $Q_1, Q_2$  มีค่าเท่ากับ  $I_{c1,2}/V_t$  ถ้า  $I_{c1} = I_{c2} = I_Q$  อัตราขยายแรงดันใน (2.11) สามารถแสดงได้ดัง (2.12)

$$AV = \frac{1}{1 + \frac{V_t}{2I_Q R_L}} \quad (2.12)$$

จาก (2.12) เพื่อให้มีอัตราขยายแรงดันจำเป็นต้องมีกระแสคอลเล็กเตอร์ของ  $Q_1, Q_2$  ค่าหนึ่งไหลอยู่ตลอดเวลา ซึ่งกระแสนี้เรียกว่ากระแสทำงาน (Quiescent Current,  $I_Q$ ) ซึ่งกระแสนี้อาจเกิดจากการไบแอสด้วย  $V_{B1}, V_{B2}$  ดังรูปที่ 2.5 (a) หรือด้วยวิธีการไบแอสอื่น ๆ อัตราแรงดันใน (2.12) ไม่ควรมีค่าต่ำกว่า 10% ของอัตราขยายสูงสุด ( $AV_{\max} = 1$ ) ซึ่งจำเป็นต้องให้ค่ากระแสขงมีค่าดังสมการที่ (2.13)

$$I_Q \geq \left[ \frac{4.5V_t}{R_L} \right] \quad (2.13)$$

แต่โดยทั่วไปแล้วเพื่อลด Distortion ควรใช้กระแสทำงานดังสมการที่ (2-14)

$$I_Q \geq \left[ \frac{5V_t}{R_L} \right] \quad (2.14)$$

และสามารถแสดงในรูปของความสัมพันธ์ของแรงดันขาออกสูงสุด  $V_{out(peak)}$  และกระแสขาออกสูงสุด  $I_{out(peak)}$  ด้วยสมการที่ (2.15)

$$I_Q \geq \left[ \frac{5V_t}{V_{o(Peak)} / I_{o(Peak)}} \right] \quad (2.15)$$

สำหรับ Input และ Output Buffer ในรูปที่ 2.3 จำเป็นต้องมีกระแสคงที่สอดคล้องกับ (2-15) กรณีที่อัตราขยายกระแส ( $\beta$ ) ของทรานซิสเตอร์ Complementary ( $Q_3, Q_4$  และ  $Q_{11}, Q_{12}$ ) มีค่าเป็นอนันต์ กระแสขง,  $I_Q$  สามารถจะกำหนดจากแหล่งจ่ายกระแส  $I_{Q1}, I_{Q2}$  และ  $I_{Q3}, I_{Q4}$  ได้ ( $I_{Qout} = I_{Q1} = I_{Q2}$  และ  $I_{Qin} = I_{Q3} = I_{Q4}$ ) แต่ในความเป็นจริงแล้วอัตราขยายกระแสของทรานซิสเตอร์ Complementary มีค่า ดังนั้นจึงมีกระแสเบสของทรานซิสเตอร์ทั้งคู่เกิดขึ้น ดังนั้นเพื่อจะเป็นที่แน่ใจว่ากระแสทำงาน  $I_Q$  มีค่าสอดคล้องกับ (2.15) แหล่งจ่ายกระแสคงที่ของ Input และ Output Buffer ควรจะมีค่าดังสมการที่ (2.16)

$$I = I_Q + I_B \quad (2.16)$$

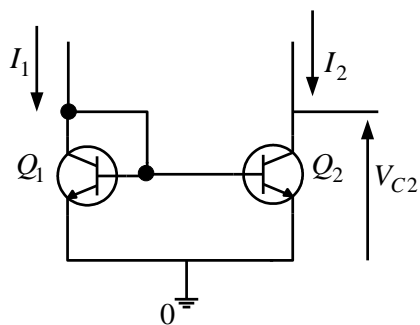
ในกรณีที่แย่ที่สุดคือกระแสเบสของทรานซิสเตอร์ทั้งคู่มีค่าสูงสุด,  $I_{B(\max)}$  ซึ่งกระแสเบสสูงนี้สามารถแสดงในรูปแบบความสัมพันธ์ของกระแสขาออกสูงสุดได้คือ  $I_{B(\max)} \approx I_{o(\max)} / \beta_{\min}$  ในทางปฏิบัติค่า  $\beta$  ของทรานซิสเตอร์ NPN หรือ  $\beta_{\min} = \beta_{PNP}$  ดังนั้น แหล่งจ่ายกระแสในสมการ (2-16) ที่อยู่ในรูปความสัมพันธ์ของแรงดันขาออกสูงสุดและกระแสขาออกสูงสุดจะเป็นดังสมการ (2-17)

$$I \geq \left[ \frac{5V}{V_{o(Peak)} / I_{o(Peak)}} + \frac{I_{o(\max)}}{\beta_{PNP}} \right] \quad (2.17)$$

## 2.4 แหล่งจ่ายกระแสคงที่และวงจรสะท้อนกระแส

### 2.4.1 Constant Current Source

ในทางอุดมคติ Constant Current Source เป็น Electric Circuit Element ที่จัดเตรียมกระแสให้กับโหลดโดยที่กระแสที่ส่งให้กับโหลดนั้นไม่เปลี่ยนแปลงตามแรงดันที่ตกคร่อมโหลด สำหรับการประยุกต์ใช้งานในวงจรรวม, Constant Current Source โดยทั่วไปจะสร้างโดยทรานซิสเตอร์ที่ทำงานในย่าน Active ซึ่งกระแสคอลเล็กเตอร์จะไม่เปลี่ยนแปลงตามแรงดันคอลเล็กเตอร์ ในการทำงานย่าน Active แรงดันระหว่างคอลเล็กเตอร์-อิมิตเตอร์ ( $V_{ce}$ ) ควรจะมากกว่า 0.2 V แต่ไม่ควรเกินค่า Breakdown Voltage ( $BV_{ceo}$ ) พิจารณาวงจรในรูปที่ 2.6



รูปที่ 2.6 วงจร Constant Current Source

แรงดันเบส-อิมิตเตอร์ของ  $Q_1$  และ  $Q_2$  เท่ากันโดยที่  $Q_1$  ต่อในลักษณะไดโอด (Diode Connected) Transistor โดยรอยต่อเบส-อิมิตเตอร์ของ  $Q_1$  ควรจะ “on” ซึ่งเป็นผลจากกระแส  $I_1$  และรอยต่อคอลเล็กเตอร์-อิมิตเตอร์ควรจะ “off” เนื่องจากแรงดัน  $V_{CB}$  เท่ากับศูนย์ ดังนั้นทรานซิสเตอร์  $Q_1$  ควรอยู่ในสถานะ Active เนื่องจากแรงดันเบส-อิมิตเตอร์ของ  $Q_1$  และ  $Q_2$  เท่ากันดังนั้น  $Q_2$  ควรจะอยู่ในย่าน

Active ด้วย เมื่อแรงดันคอลเล็กเตอร์อยู่ระหว่าง 0.2V ถึง Breakdown Voltage ( $0.2 \leq V_{CE} \leq BV_{CEO}$ ) และกระแสคอลเล็กเตอร์ของทรานซิสเตอร์ทั้งสองจะมีค่าเท่ากัน ซึ่งจากวงจรในรูปที่ 2.6 จะได้ว่า

$$I_1 = I_{c1} + I_{B1} + I_{B2} \quad (2.18)$$

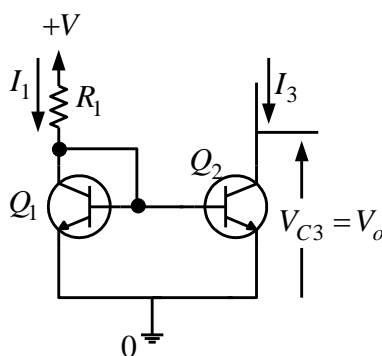
ถ้าทรานซิสเตอร์ทั้งสองตัวมีพารามิเตอร์เหมือนกันทุกประการ

$$I_1 = I_c \left( 1 + \frac{2}{\beta} \right) \quad (2.19)$$

ดังนั้น

$$I_{c1} = \frac{I_1}{\left( 1 + \frac{2}{\beta} \right)} \quad (2.20)$$

สำหรับวงจร Basic Constant Current Source สามารถแสดงดังรูปที่ 2.7

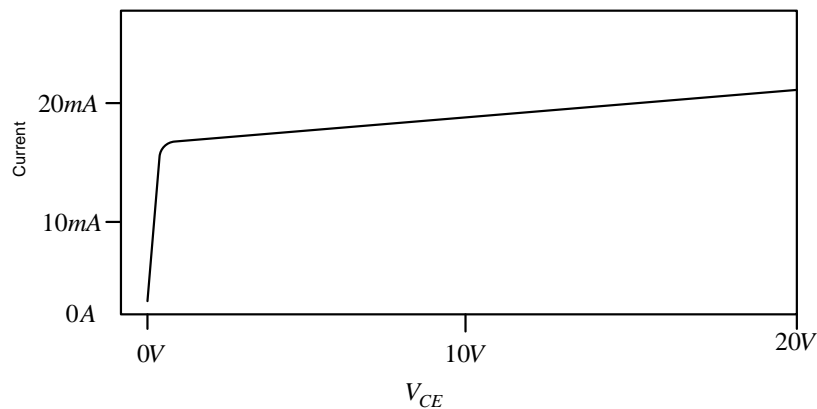


รูปที่ 2.7 วงจร Basic Constant Current Source หรือแบบ Widlar

ถ้ากระแส  $I_1$  สามารถหาได้จากสมการ (2.21)

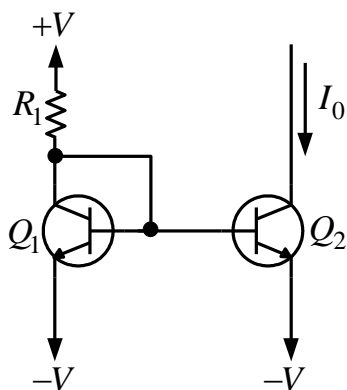
$$I_1 = \frac{V^+ - V_{BE1}}{R_1} \quad (2.21)$$

สำหรับช่วงแรงดันที่วงจร Constant Current Source สามารถแสดงตัวเป็น Constant Current–Source เรียกว่า “Voltage Compliance Range” โดยที่ Voltage Compliance Range ของวงจร Basic Constant Current Source ในรูปที่ 2.7 แสดงได้ดังรูปที่ 2.8



รูปที่ 2.8 Voltage Compliance Range ของวงจร Basic Constant Current Source

ในการประยุกต์ใช้งานวงจรรวมบางอย่างต้องการ Voltage Compliance Range อยู่ในทั้งช่วงบวก และ ช่วงลบ ซึ่งสามารถแสดงได้ดังรูปที่ 2.9

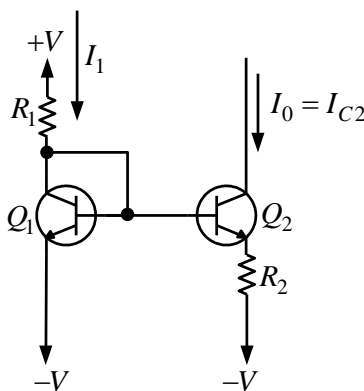


รูปที่ 2.9 วงจร Current Source ที่มี Voltage Compliance Range ทั้งช่วงบวกและช่วงลบ

กระแส  $I_1$  สามารถหาได้ดังนี้

$$I_1 = \frac{V^+ - V^- - V_{BE}}{R_1} \quad (2.22)$$

ในวงจรรวมส่วนใหญ่ต้องการแหล่งจ่ายกระแสคงที่มีค่ากระแสต่ำ ๆ โดยถ้าใช้ Basic Constant Current Source จะทำให้ต้องใช้ค่า  $R_1$  ที่สูงซึ่งไม่เหมาะสมสำหรับการสร้างวงจรรวม (พื้นที่ของ Chip จะเพิ่มขึ้นตามค่าความต้านทานซึ่งทำให้ต้นทุนสูงขึ้น) วงจร Constant Current Source สำหรับกระแสต่ำ ๆ แสดงดังรูปที่ 2.10



รูปที่ 2.10 วงจร Constant Current Source สำหรับระดับกระแส ( $I_o$ ) ต่ำ

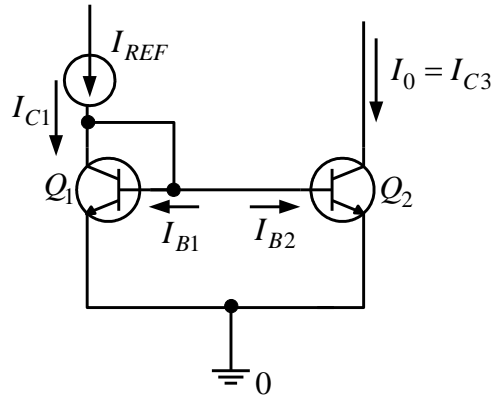
กระแส  $I_1$  สามารถแสดงได้เช่นเดียวกันกับสมการ (2-22) และความสัมพันธ์ระหว่าง  $I_{C1}$ ,  $I_{C2}$  และ  $R_2$  (ไม่คำนึงถึงผลของ  $\beta$ ) Soclof ได้แสดงไว้ดังนี้

$$\frac{I_{C1}}{I_o} = \exp\left(\frac{I_o \times R_2}{V_t}\right) \quad (2.23)$$

#### 2.4.2 Current mirrors

วงจร Current mirrors เป็นวงจร Current Source และ Sink ที่ Bias โดย DC Current แนวคิดการประยุกต์หลักการของ Matched Devices ดังนั้นจะพบวงจร Current mirrors ได้ในการออกแบบ

วงจรรวม เนื่องจากในวงจรรวมสามารถสร้างอุปกรณ์ที่มีคุณสมบัติเหมือนกันได้ดีกว่า Discrete Devices หลักการของการ Match เหมือนกับการมองกระจก ดังนั้นจึงเป็นที่มาของชื่อ Current mirrors การทำงานของวงจรเบื้องต้นแสดงในรูปที่ 2.11 ขาคอลเล็กเตอร์ และ เบส ของ  $Q_1$  ต่อถึงกันเพื่อเป็น Bias Current ให้กับทั้ง  $Q_1$  และ  $Q_2$  สังเกตว่า  $Q_1$  มี  $V_{CE}$  ที่ต่ำ และ  $Q_1$  ทำหน้าที่ Bias ให้  $Q_2$  เป็น Current Sink จากหลักการของ Matching Principle เมื่อพื้นที่ Emitter ของ  $Q_1$



รูปที่ 2.11 วงจร Current mirror

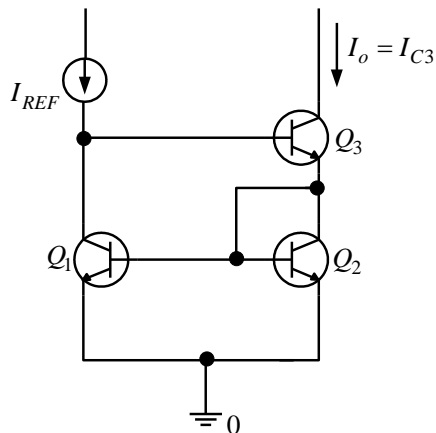
และ  $Q_2$  สมมุติว่าเท่ากันและ Early voltage ไม่ถูกนำมาคำนวณแล้ว  $I_{C2}$  เท่ากับ  $I_{C1}$  ใช้ความสัมพันธ์นี้หาอัตราส่วนของกระแส  $I_0$  ต่อ  $I_{REF}$  (Reference Circuit) ได้ตามสมการ

$$\frac{I_o}{I_{REF}} = \frac{1}{1 + \frac{2}{\beta}} \quad (2.24)$$

ตามความต้องการในอุดมคติแล้วต้องการให้กระแส  $I_0$  เท่ากับ  $I_{REF}$  ในทุกสภาวะเหมือนดังการสะท้อนของภาพบนกระจกแต่พิจารณาจากสมการที่ได้มีตัวแปร  $\beta$  รวมอยู่เป็น Error Term เนื่องจาก Current mirror ทำหน้าที่เป็น Current source ดังนั้นมีคุณลักษณะที่สำคัญในการพิจารณาอีกคือ Output resistance ( $r_{out}$ ) และ  $V_{min}$

วงจรร Current mirror ที่มีการชดเชยระยะเสเบสและเพิ่ม Output Resistance คือ Wilson mirror แสดงในรูป 2.12 การเพิ่ม Small signal output resistance ทำได้โดยการป้อนกลับแบบลบ การทำงานสมมุติว่า  $I_{REF}$  คงที่และมีการเปลี่ยนแปลงที่  $I_{C3}$  เพิ่มทำให้  $V_{BE1}$  และ  $V_{BE3}$  เพิ่ม เมื่อ bias

ให้  $Q_2$  มากขึ้นทำให้  $I_{C2}$  เพิ่ม อย่างไรก็ตาม  $I_{REF}$  คงที่  $I_{B3}$  จึงลดลง  $I_{C3}$  ที่ถูกเปลี่ยนแปลงเพิ่มขึ้นได้ชดเชย โดย Feedback loop ที่ประกอบด้วย Voltage follower



รูปที่ 2.12 วงจร Wilson mirror

$Q_1, Q_2$  ทำหน้าที่ Current mirror  $Q_2$  ยังแสดงตัวเป็น Inverting Voltage Amp และ Loop Gain ของวงจรประมาณ  $\beta/2$

ตาราง 2.1 เปรียบเทียบ คุณสมบัติระหว่าง Simple กับ Wilson mirror

	Accuracy	$r_{out}$	$V_{min}$
Simple current mirror	Poor	$r_o = V_{AF}/I_o$	$V_{CE}(SAT)$
Wilson mirror	Good	$\frac{\beta}{2}r_o$	$V_{BE} + V_{CE}(SAT)$

ค่าความถูกต้องของกระแสหาได้จากวิธีเดียวกันกับแบบ Simple Current mirror ได้ดังนี้

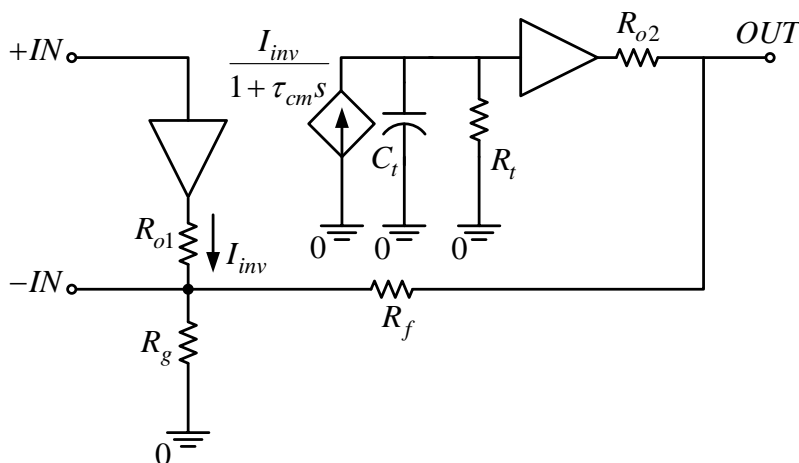
$$\frac{I_o}{I_{REF}} = \frac{1}{1 + \frac{2}{\beta^2 + 2\beta}} \quad (2.25)$$

สังเกต Error Term ถูกขจัดเซชโดยการลดผลที่กระทำโดยค่า  $\beta$  ในส่วนของการพิจารณา Small Signal Output Resistance จะเห็นว่าได้ประมาณ  $\frac{\beta}{2}r_{o3}$  ตัวประกอบที่พัฒนาขึ้นกว่าวงจร Current mirror แบบ Simple อยู่  $\frac{\beta}{2}$

## 2.5 เสถียรภาพของ CFA

### 2.5.1 แบบจำลอง, การตอบสนองและเสถียรภาพ

แบบจำลองของ CFOA สำหรับสัญญาณขนาดเล็กได้แสดงดังรูปที่ 2.1 ซึ่งสามารถแสดงคุณสมบัติในอุดมคติเด่นๆ ของ CFOA ได้ แต่ไม่สามารถที่จะทำลายเสถียรภาพ, ข้อจำกัด รวมถึง Peak Response ของ CFOA ได้ แบบจำลองสัญญาณขนาดเล็กของ CFA ที่เหมาะสมกับการวิเคราะห์เสถียรภาพ Peak Response และข้อจำกัดได้แสดงโดย Mahattanakul และ Toumazou [3] ดังแสดงดังรูปที่ 2.13



รูปที่ 2.13 แบบจำลองสัญญาณขนาดเล็กของ CFA

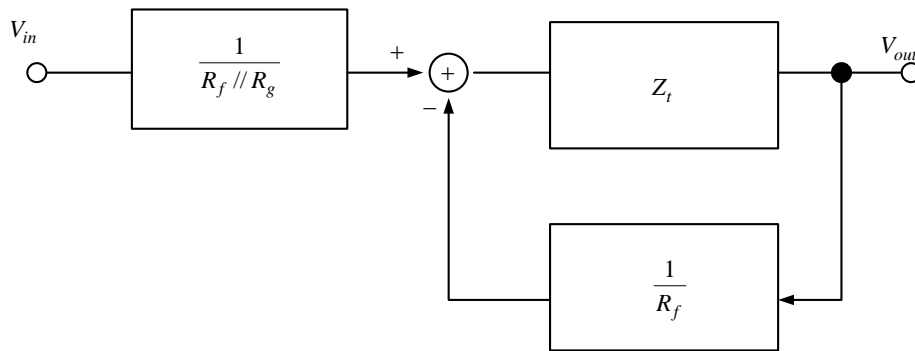
ซึ่งแบบจำลองในรูปที่ 2.13 ประกอบด้วย Input Buffer ซึ่งมีความต้านทานขาออก  $R_{o1}$  ต่อเมื่อระหว่างขา Non-inverting และ Inverting ส่วนแรงดันขาออกจะเกิดจากผลคูณของกระแสขาออกของ Input Buffer กับ Transimpedance ( $Z_t$ ) ส่วน  $R_{o2}$  เป็นความต้านทานขาออกของ Output Buffer

### 2.5.2 วิเคราะห์ทรานเฟอร์ฟังก์ชันของ CFA ในงาน Amplifier

การใช้งาน CFA ทั่วไปจะเป็นแบบ Non-Inverting Amplifier ดังรูปที่ 2.1 ซึ่งเมื่อใช้หลักการ Superposition สามารถหาทรานเฟอร์ฟังก์ชันได้ดังนี้

$$\frac{V_{out}(s)}{V_{in}(s)} = \left[ \frac{R_g + R_f}{R_g \bullet R_f} \right] \left[ \frac{Z_t}{1 + Z_t/R_f} \right] \quad (2.26)$$

หรือถ้าพิจารณาจากสมการที่ (2.26) เป็น Block สามารถที่จะแสดงดังรูปได้ดังรูปที่ 2.14



รูปที่ 2.14 Block CFA

ซึ่งจากรูปที่ 2.14 แสดงให้เห็นว่า Loop Gain (LG) ของระบบขึ้นอยู่กับ Transimpedance และความต้านทานป้อนกลับ ( $R_f$ ) เมื่อจัดรูปสมการที่ (2.23) ใหม่จะได้

$$\frac{V_{out}(s)}{V_{in}(s)} = \left[ 1 + \frac{R_f}{R_g} \right] \left[ \frac{1}{1 + R_f/Z_t} \right] \quad (2.27)$$

หรือจัดในรูปทั่วไป

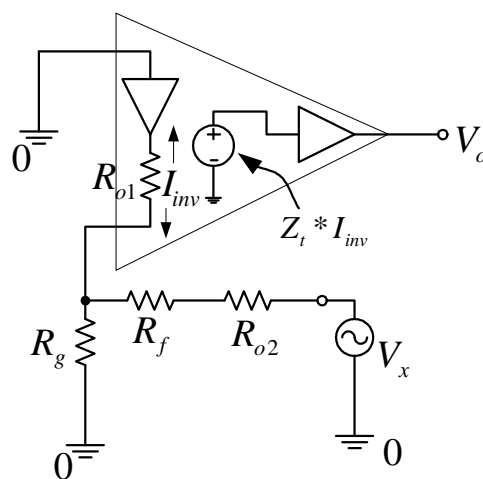
$$\frac{V_{out}(s)}{V_{in}(s)} = \left[ 1 + \frac{R_f}{R_g} \right] \left[ \frac{1}{1 + R_f/LG} \right] \quad (2.28)$$

เมื่อ LG เท่ากับอัตราส่วนของ Transimpedance และความต้านทานป้อนกลับ เพื่อการทำนาย Peak Response และเสถียรภาพของ CFA เมื่อใช้งานเป็น Amplifier พารามิเตอร์ Transimpedance ควรที่จะสมมุติเป็น Second order ซึ่ง Mahattanakul และคณะ[3] ได้แสดงไว้ดังต่อไปนี้

$$Z_t(s) = \frac{R_t}{(1 + s\tau_{cm})x(1 + s\tau_t)} \quad (2.29)$$

$$\tau_t = R_t \times C_t \quad (2.30)$$

ซึ่ง  $1/\tau_t$  เป็น Open Loop Dominant Pole ซึ่งที่เกิดจาก  $R_t$  และ  $C_t$  ที่ Z-node และ  $1/\tau_{cm}$  สมมุติว่าเป็น Pole ตัวที่สองเกิดจากวงจร Current mirror สำหรับการหาทรานเฟอร์ฟังก์ชัน โดยใช้แบบจำลองในรูปที่ (2.13) สามารถที่จะหา Loop Gain และแทนลงในสมการที่ (2.28) ซึ่ง Loop-Gain สามารถหาได้จากการวิเคราะห์ห้วงจรในรูปที่ (2.15)



รูปที่ 2.15 การต่อวงจรขยายเพื่อหา Loop Gain

เมื่อ 
$$I_{inv} \frac{V_x R_{o1} // R_g}{(R_{o1} // R_g + R_f + R_{o2})} \times \frac{1}{R_{o1}} \quad (2.31)$$

หรือ

$$I_{inv} = \frac{V_x}{R_f} \quad (2.32)$$

เมื่อ

$$R_f' = R_{o1} + \left(1 + \frac{R_{o1}}{R_g}\right) (R_f + R_{o2}) \quad (2.33)$$

ซึ่งเมื่อแทนสมการที่ (2.32) ลงในความสัมพันธ์  $V_o = I_{inv} x Z_t$  จะได้

$$V_o = \frac{V_x}{R_f'} x Z_t \quad (2.34)$$

หรือ

$$LG(s) = \frac{V_o(s)}{V_x} = \frac{Z_t}{R_f'} = \frac{R_t}{R_f'} \left\{ \frac{1}{(1 + s\tau_t)(1 + s\tau_{cm})} \right\} \quad (2.35)$$

แทนค่า  $LG(s)$  ลงในสมการที่ (2.28) และจัดรูปสมการจะได้ทรานเฟอร์ฟังก์ชันซึ่งแสดงโดย Mahattanakul และคณะ[3]ไว้ว่า

$$\frac{V_{out}(s)}{V_{in}(s)} = \left(1 + \frac{R_f}{R_g}\right) \left( \frac{\omega_p^2}{s^2 + \left(\frac{\omega_p}{Q}\right)s + \omega_p^2} \right) \quad (2.36)$$

ขณะที่

$$\omega_p = \frac{1}{\sqrt{C_t R_f \tau_{cm}}} \quad (2.37)$$

และ

$$Q = \sqrt{\frac{\tau_{cm}}{C_t \cdot R_f}} \quad (2.38)$$

ค่า Q ควรควบคุมให้น้อยกว่า  $1/\sqrt{2}$  ซึ่งจะทำได้ Flat Response จากสมการที่ (2.38) ค่า  $R_f$  ควรจะมีค่าเป็น

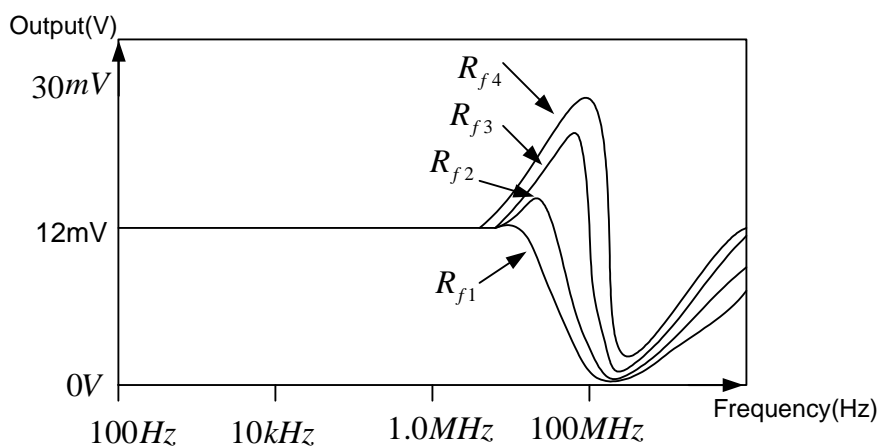
$$R_f = \frac{\tau_{cm}}{C_t} \cdot \frac{1}{Q^2} \quad (2.39)$$

ทดสอบโดยการจำลองการทำงานโดยใช้ค่า Q จำนวนที่ 4 ค่า โดยใช้ Macro model ของ AD844 ได้ผลการคำนวณดังตารางที่ 2.2

ตารางที่ 2.2 ความสัมพันธ์ระหว่างค่า Q และ  $R_f$

$R_f$	Q	ค่าความต้านทาน
$R_{f1}$	0.5	1.65k $\Omega$
$R_{f2}$	0.707	825.46k $\Omega$
$R_{f3}$	1	412.73k $\Omega$
$R_{f4}$	1.5	183.44k $\Omega$

ผลการทดสอบโดยการจำลองการทำงานดังรูปที่ 2.16



รูปที่ 2.16 ผลตอบสนองความถี่เมื่อเปลี่ยนแปลงค่าความต้านทานป้อนกลับ

เสถียรภาพของ CFA เมื่อใช้งานเป็นวงจรถยายสามารถกำหนดได้จาก Loop Gain ของระบบ ซึ่ง Mahattanakul และคณะ[3]ได้แสดงความสัมพันธ์ของ Phase Margin ( $\Phi_m$ ) และความต้านทานป้อนกลับดังนี้

$$R_f' = \frac{2\tau_{cm}}{C_t} \cdot \frac{1}{\sqrt{\left(\frac{2}{\tan^2 \Phi_m}\right)^2 - 1}} \quad (2.40)$$

โดยทั่วไปแล้วในการออกแบบ จะใช้ค่า Phase Margin เท่ากับ  $45^\circ - 60^\circ$