บทที่ 6
สรุปผลงานวิจัยและข้อเสนอแนะ

6.1 สรุปผลการดำเนินงานวิจัย

การดำเนินงานวิจัยในวิทยานิพนธ์นี้เป็นการนำเสนอแนวทางเพื่อใช้ในการออกแบบวงจรครอสโอเวอร์เน็ตเวอร์คบนโครงสร้างที่ให้เฟสเชิงเส้นสมบูรณ์โดยใช้โครงสร้างหลักการคณิตศาสตร์การกระจายในการประมวลผลสัญญาณบน เอฟ พี จี เอ ซึ่งได้มีการกำหนดลักษณะเฉพาะในการออกแบบโดยเลือกใช้โปรแกรม MATLAB, VC++, Xilinx ISE และ ModelSIM เพื่อทำการออกแบบและจำลองผลการทำงานของวงจรกรองความถี่ในระดับฟังก์ชันการทำงานตลอดไปจนถึงในระดับเกต ตามลำดับ โดยในการออกแบบวงจรกรองในระดับฟังก์ชันถ่ายโอนมาเป็นค่าตารางเปิดดู (LUT) ตามรูปแบบการคำนวณด้วยวิธีการของคณิตศาสตร์การกระจายซึ่งได้จากโปรแกรม MATLAB เพื่อทำการหาค่าสัมประสิทธิ์ของฟังก์ชันถ่ายโอนต้นแบบไม่ว่าจะเป็นวงจรกรองแบบบัทเตอร์เวิร์ธ วงจรกรองแบบอิลลิปติค วงจรกรองเชบีเชฟ หรือแม้แต่วงจรกรองอื่น ๆ เมื่อได้ฟังก์ชันของวงจรกรองต้นแบบแล้วจึงทำการแยกฟังก์ชันดังกล่าวให้อยู่ในรูปของฟังก์ชัน all-pass จากนั้นจึงนำค่าสัมประสิทธิ์ของฟังก์ชัน all-pass ไปสร้างตารางต่อไป

แต่อย่างไรก็ตามความยุ่งยากในขั้นตอนการสร้างตารางเปิดดูนั้นจะค่อนข้างมีการคำนวณที่มากและข้อมูลที่เยอะอาจทำให้เกิดความความผิดพลาดในขั้นตอนการเขียนข้อมูลที่อยู่ในรูปของเลขเติมเต็ม 2 (2's complement) ซึ่งจะมีผลต่อวงจรกรองความถี่อย่างมาก ด้วยเหตุผลนี้จึงได้พัฒนาซอฟท์แวร์เพื่อลดขั้นตอนการทำงานและแก้ปัญหาดังกล่าวโดยเพียงนำค่าสัมประสิทธิ์ของฟังก์ชันถ่ายโอนมาป้อนให้กับโปรแกรมซึ่งโปรแกรมจะสร้างไฟล์ตารางเปิดดูในรูปแบบของภาษา verilog ซึ่งทำให้สะดวกในการพัฒนาได้มากยิ่งขึ้น ซึ่งในขั้นตอนการสร้างวงจรครอสโอเวอร์เน็ตเวอร์คจะแบ่งระบบทั้งหมดออกเป็นโมดูลย่อย ๆ ตามความเหมาะสมเพื่อให้ง่ายต่อการพัฒนาและทำการทดสอบการทำงานของแต่ละโมดูลด้วยโปรแกรม XilinxISE และ ModelSIM จากนั้นจึงนำเอาวงจรทั้งหมดโปรแกรมลงบน เอฟ พี จี เอ และทดสอบความถูกต้องของการทำงานอีกครั้ง โดยในขั้นตอนการพัฒนาบน เอฟ พี จี เอ นั้นสามารถดัดแปลงแก้ไขได้โดยไม่จำเป็นต้องดัดแปลงหรือเพิ่มเติมในส่วนของฮาร์ดแวร์แต่อย่างใดทำให้การออกแบบและพัฒนาบน เอฟ พี จี เอ เหมาะสำหรับการพัฒนาและวิจัยอย่างยิ่งก่อนที่จะนำเอาต้นแบบดังกล่าวไปทำในลักษณะเชิงการค้าต่อไป

วงจรครอสโอเวอร์เน็ตเวอร์คที่ได้ทำการออกแบบนั้นเมื่อพิจารณาจากผลการสังเคราะห์จะเห็นได้ว่าใช้พื้นที่ทั้งหมด 9 เปอร์เซ็นต์ซึ่งถือว่าน้อยมากและในด้านของประสิทธิภาพการทำงานนั้นโมดูลครอสโอเวอร์เน็ตเวอร์คสามารถทำงานได้ที่ความเร็วสูงสุดถึง 220.216 MHz ซึ่งมากพอสำหรับการนำไปใช้งานในย่านความถี่เสียงซึ่งในวิทยานิพนธ์นี้ใช้ความถี่ในการสุ่มข้อมูลที่ 48 KHz เท่านั้น แต่อย่างไรก็ตามจากผลการทดลองเมื่อใช้สัญญาณอินพุตในช่วงความถี่ตั้งแต่ครึ่งหนึ่งของความถี่ในการสุ่มข้อมูลนั้นในขั้นตอนการแปลงสัญญาณจากสัญญาณอนาลอกไปเป็นดิจิตอลและข้อมูลดิจิตอลไปเป็นสัญญาณอนาลอกจะทำให้สัญญาณในช่วงความถี่บริเวณดังกล่าวมีความผิดเพี้ยนของสัญญาณที่มากขึ้นซึ่งเป็นเรื่องปกติในการขบวนการสุ่มสัญญาณนั่นหมายความว่าหากมีการประมวลผลสัญญาณความถี่ที่สูงขึ้นคุณภาพของสัญญาณที่ได้ก็จะยิ่งแย่ลงเมื่อระบบดังกล่าวยังคงมีอัตราการสุ่มสัญญาณคงที่

6.2 ปัญหาและอุปสรรคที่พบในงานวิจัย

จากที่ได้เสนอมาแล้วข้างต้นซึ่งเป็นการออกแบบวงจรครอสโอเวอร์เน็ตเวอร์คที่ให้เฟสเป็นเชิงเส้นสมบูรณ์นั้นมีความซับซ้อนที่สูงมากถึงแม้ว่าจะออกแบบโมดูลครอสโอเวอร์ที่สามารถทำงานที่ความถี่สูง ๆ แต่ว่าเมื่อนำไปต่อรวมกับโมดูลส่วนอื่น ๆ แล้วทำให้ความสามารถในการประมวณผลสัญญาณลดลงซึ่งส่วนใหญ่จะอยู่ที่การเข้าถึงหน่วยความจำ จะใช้เวลาที่มากรวมไปจนถึงการออกแบบระบบสัญญาณนาฬิกาที่ใช้ในการควบคุมทั้งหมดซึ่งจะมีความยุ่งยากในการออกแบบตามความซับซ้อนของวงจร ดังนั้นสิ่งหนึ่งที่จะต้องพิจารณาหลัก ๆ ก็คือความซับซ้อนของวงจรที่ค่อนข้างซับซ้อนมากซึ่งในงานบางประเภทที่ต้องการการประมวลผลที่เร็วและมีหน่วยความจำที่มีไม่มากนักจะไม่เหมาะกับโครงสร้างที่ได้นำเสนอไว้

นอกจากปัญหาที่เกิดขึ้นในขั้นตอนการออกแบบบน FPGA แล้ว ปัญหาอีกประการก็คือการทดสอบการทำงานจริงซึ่งทำให้ขั้นตอนการดำเนินงานวิจัยช้าเป็นอย่างมาก และการเลือกตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก โดยขั้นตอนที่จะนำข้อมูลเข้าไปประมวลผลและนำข้อมูลออกมาแสดงผลซึ่งค่อนข้างมีความซับซ้อนในเรื่องของการจัดการข้อมูล การซิงโครไนซ์ข้อมูล และอัตราในการส่งข้อมูลซึ่งต้องออกแบบให้ตรงกับมาตรฐานของการเชื่อมต่อแบบ I2S ซึ่งหากจังหวะการทำงานไม่ถูกต้องแล้วจะทำให้การแสดงผลการทำงานผิดพลาดขึ้นได้ รวมไปจนถึงการเชื่อมต่อระหว่างชิป FPGA เข้ากับอุปกรณ์ภายนอกซึ่งขาอินพุตเอาต์พุตใช้งานได้ในช่วง 3.3V ซึ่งอุปกรณ์ภายนอกที่นำมาเชื่อมต่อด้วยนั้นยังเป็นระดับแรงดันที่สูงกว่าจึงจำเป็นต้องมีการจัดระดับแรงดันให้เหมาะสมเสียก่อนไม่เช่นนั้นจะทำให้เกิดความเสียหายกับ FPGA ได้

6.3 แนวทางในการพัฒนา

จากวิทยานิพนธ์ที่ได้นำเสนอการสร้างวงจรครอสโอเวอร์เน็ตเวอร์คที่ให้เฟสเชิงเส้นสมบูรณ์บน FPGA มาทั้งหมดนี้สามารถที่จะนำไปพัฒนาให้มีประสิทธิภาพที่ดีขึ้นได้อีกโดยแบ่งออกได้เป็น 3 แนวทางได้แก่

การปรับปรุงประสิทธิภาพในการประมวลผล ซึ่งในวิทยานิพนธ์นี้ออกแบบให้มีการประมวลผลแบบคณิตศาสตร์การกระจายเพื่อเลี่ยงการคูณโดยตรงซึ่งทำให้มีการประมวลผลที่เร็วขึ้นแต่อย่างไรก็ตามด้วยเทคโนโลยีของ VLSI ที่มีการพัฒนาที่ก้าวหน้าไปเรื่อย ๆ ทั้งในเรื่องของขนาดและความเร็วในการทำงานทำให้สามารถนำเอาการประมวลผลด้วยวิธีอื่น ๆ ที่มีประสิทธิภาพดีกว่ามาใช้แทนได้ เช่น การประมวลผลแบบ floating point ที่มีความละเอียดสูงกว่า แต่อย่างไรก็ตามในการออกแบบการประมวลผลใหม่จะต้องทำการออกแบบระบบบัสข้อมูลใหม่ให้เหมาะสมกับตัวประมวลผลด้วย

แนวทางที่สองเป็นการออกแบบให้วงจรครอสโอเวอร์เน็ตเวอร์คนั้นสามารถปรับเปลี่ยนจุดตัดความถี่ได้เนื่องจากในการใช้งานร่วมกับลำโพงนั้นลำโพงแต่ละตัวมีคุณสมบัติที่แตกต่างกันซึ่งจะต้องมาออกแบบจุดตัดความถี่ใหม่ซึ่งทำให้เสียเวลา ดังนั้นหากทำการปรับปรุงให้มีความสามารถดังที่กล่าวในข้างต้นจะทำให้ไม่เสียเวลาในเรื่องการออกแบบใหม่

แนวทางทางสุดท้ายเป็นการลดความซับซ้อนของโครงสร้างที่ได้นำเสนอไว้ไม่ว่าจะเป็นการลดความยาวในวงจรพลิกสัญญาณให้มีความเหมาะสมหรือเปลี่ยนไปเป็นโครงสร้างที่มีกรุ๊ปดีเลย์ที่ใกล้เคียงเชิงเส้นแทนเพื่อความซับซ้อนที่ลดลงทั้งนี้ขึ้นอยู่กับความต้องการของผู้ที่นำไปใช้งาน