หัวข้อวิทยานิพนธ์	การสร้างครอสโอเวอร์เน็ตเวอร์คแบบสองทางเฟสเป็นเชิงเส้นสมบูรณ์ด้วยวงจรกรองความถี่ดิจิตอลไอ ไอ อาร์ บน เอฟ พี จี เอ
นักศึกษา	นายเจตน์ ออสวัสดิ์
รหัสนักศึกษา	45061106
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมสารสนเทศ
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กนก เจนจิระพงศ์เวช

บทคัดย่อ

วิทยานิพนธ์นี้เป็นการเสนอการออกแบบและการสร้างวงจรดิจิตอลครอสโอเวอร์เน็ตเวอร์คแบบสองทางสำหรับย่านความถี่เสียงบนชิป FPGA (Field Programmable Gate Arrays) โดยในวิทยานิพนธ์นี้นำเสนอการสร้างโดยใช้โครงสร้างของวงจรกรองความถี่แบบ ไอ ไอ อาร์ ที่มีเฟสเป็นเชิงเส้นอย่างสมบูรณ์ ซึ่งโครงสร้างดังกล่าวจะมีข้อดีคือ มีผลตอบสนองทางเฟสต่อความถี่เป็นเชิงเส้นและผลตอบสนองกรุ๊ปดีทำให้มีลักษณะราบเรียบและมีความชันของสโลปในช่วงทรานซิชั่นแบนด์ที่สูงและยิ่งไปกว่านั้น ผลรวมทางขนาดต่อความถี่ของวงจรความถี่ที่นำเสนอมีค่าคงที่ตลอดย่านความถี่ซึ่งตรงกับคุณสมบัติของ all-pass function ของครอสโอเวอร์เน็ตเวอร์ค ซึ่งเป็นข้อพิจารณาหลักและเป็นประเด็นอันหนึ่งที่สำคัญมากในการออกแบบวงจรครอสโอเวอร์เน็ตเวอร์ค

ในการสร้างวงจรดังกล่าวบน FPGA นั้นได้นำเสนอการออกแบบวงจรกลับสัญญาณในเวลาจริง (Real-time time reversal) ขนาดความยาว L sample แบบ real-time (Last In First Out : LIFO) และภาคหน่วงเวลา (Delay) ซึ่งใช้หน่วยความจำมาออกแบบแทนชิปรีจีสเตอร์ซึ่งทำให้มีพื้นที่ในการออกแบบลดลง และในส่วนของวงจรกรองความถี่ IIR นั้น ใช้วิธีการประมวลผลแบบ DA (Distributed Arithmetic structure) ซึ่งการประมวลผลด้วยวิธีการดังกล่าวนี้จะเป็นวิธีที่หลีกเลี่ยงที่จะใช้การคูณหรือกระบวนการคูณโดยตรง แต่จะนำเอาวิธีการเปิดตารางแทน (Look-up table) ซึ่งจะมีข้อดีคือทำให้ได้ความเร็วในการประมวลผลที่สูงขึ้น

Thesis Title	An implement 2 ways perfect linear phase crossover design using digital IIR filters base on FPGAs
Student	Mr. Jedt Orsawat
Student ID.	45061106
Degree	Master of Engineering
Program	Information Engineering
Year	2006
Thesis Advisor	Assoc.Prof.Dr. Kanok Janjitrapongvej

ABSTRACT

This thesis presents an implementation of two-ways digital crossover network for audio frequencies band on FPGAs using perfect linear phase IIR filters structure base on two-pass filtering of the real-time noncausal and causal IIR subfilters. This structure has a new characteristics such as linear phase, flat group delay, high transition band and flat magnitude response over audio frequencies, these are require and the important properties in designing a novel crossover network. In order to design and implemented the circuits on FPGAs, this thesis proposes the method of designing Last In First Out (LIFO) part and Delay part by using memory instead of a shift register which the designing area is minimize. For the filter circuits, the Distributed Arithmetic (DA) structure is used for signal processing. The structure use look-up table (LUT) instead of multiplication which can reduce the processing time of the system.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงได้อย่างดี ด้วยการช่วยเหลือและสนับสนุนจากหลายๆ ฝ่าย ซึ่งผู้เขียนขอขอบพระคุณดังต่อไปนี้

ขอบคุณ รศ.ดร.กนก เจนจิระพงศ์เวช อาจารย์ผู้ควบคุมวิทยานิพนธ์ ผศ.ดลชัย สุขเจริญผล ผศ.กฤดากร กล่อมการ ผศ.ดร.สมเกียรติ อุดมหรรษากุล ที่ให้ความรู้ คำแนะนำและคำปรึกษาอันเป็นประโยชน์ในการจัดทำวิทยานิพนธ์นี้ ผู้เขียนรู้สึกซาบซึ้งในความอนุเคราะห์ที่ดีและขอกราบขอบพระคุณเป็นอย่างสูง

ขอบคุณภาควิชาวิศวกรรมสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังที่ประสิทธิประสาทวิชาความรู้ และให้ใช้สถานที่รวมทั้งเครื่องมือในการทำวิทยานิพนธ์

ขอบคุณเพื่อน ๆ พี่ ๆ ที่เป็นกำลังใจ ให้ความร่วมมือและความช่วยเหลือต่าง ๆ ในการทำวิทยานิพนธ์เป็นอย่างดี

สุดท้ายนี้ ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ พระประจำตัวของผู้เขียน ซึ่งคอยเป็นผู้ให้โอกาสทางการศึกษา คำแนะนำสั่งสอน ตลอดจนถึงกำลังใจ ให้กับผู้เขียนเสมอมา

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ทางผู้จัดทำขอมอบแด่ผู้มีพระคุณทุกท่าน ไว้ ณ โอกาสนี้

เจตน์ ออสวัสดิ์

สารบัญ

หน้า

บทคัดย่อภาษาไทย……I

บทคัดย่อภาษาอังกฤษ……II

กิตติกรรมประกาศ……III

สารบัญ……IV

สารบัญตาราง……IX

สารบัญรูป……X

บทที่ 1 บทนำ……1

1.1 ความเป็นมาและความสำคัญของปัญหา……1

1.2 จุดมุ่งหมายและวัตถุประสงค์ของการศึกษา……1

1.3 ขอบเขตการวิจัย……2

1.4 ขั้นตอนของการวิจัย……2

1.5 รายละเอียดวิทยานิพนธ์……3

บทที่ 2 การประมวลผลสัญญาณ……4

2.1 บทนำ……4

2.2 ข้อดีและข้อเสียของการประมวลผลเชิงเลข……4

2.3 โครงสร้างของระบบประมวลสัญญาณเชิงเลข……6

2.3.1 ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล……6

2.3.2 ตัวประมวลผลสัญญาณเชิงเลข……6

2.3.3 ตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก……6

2.4 โอโปรเรชั่นของลำดับสัญญาณ……7

2.5 ทฤษฎีการสุ่มตัวอย่าง……8

2.6 พื้นฐานวงจรกรองอนาลอกต้นแบบ……11

2.6.1 ฟังก์ชันถ่ายโอนของวงจรกรองอนาลอก……12

2.6.2 วงจรกรองอนาลอกแบบต่าง ๆ……12

2.6.2.1 วงจรกรองอนาลอกต้นแบบ บัทเตอร์เวิร์ธ……13

2.6.2.2 วงจรกรองอนาลอกต้นแบบ เชบีเชฟ……14

2.6.2.3 วงจรกรองอนาลอกต้นแบบ อิลิปติค……14

สารบัญ (ต่อ)

หน้า

2.7 วงจรกรองความถี่แบบดิจิตอล……...15
2.7.1 วงจรกรองความถี่แบบ FIR.....15
2.7.2 วงจรกรองความถี่แบบ IIR.....16
2.8 การประมวลผลสัญญาณเชิงเลขโดยวิธีการของคณิตศาสตร์แบบการกระจาย……..18
2.8.1 การคูณค่าและการบวกสะสมค่าผลคูณ.....18
2.8.2 การลดขนาดของ MAC ด้วย DA.....20
2.9 การสร้างดิจิตอลฟิลเตอร์แบบเลขคณิตแจกแจง.....21
2.10 หลักการโครงสร้างของเลขคณิตแจกแจง.....22
2.11 การสร้างตารางเปิดดูจากฟังก์ชัน $F_i\{\}$ สำหรับวงจรกรองอันดับ 3 24
2.2 บทสรุป.....26

บทที่ 3 สถาปัตยกรรมและการออกแบบ FPGA …….....…...27
3.1 บทนำ.....27
3.2 เอฟ พี จี เอ….....…..……....……..27
3.3 การออกแบบวงจรดิจิตอล.....28
3.3.1 การออกแบบโดยใช้การวาดผังวงจร.....28
3.3.2 การออกแบบโดยใช้ภาษาระดับสูง.....28
3.4 การเขียนภาษา HDL.....29
3.4.1 การกำหนดลักษณะเฉพาะในการออกแบบ.....29
3.4.2 การจำลองการทำงานของฟังก์ชัน.....30
3.4.3 การสังเคราะห์วงจร.....30
3.4.4 การจำลองทางเวลา.....31
3.4.5 การวาง และการเชื่อมเส้นทาง.....31
3.5 การออกแบบจากบนลงล่างและการออกแบบจากล่างขึ้นบน.....31
3.5.1 วงจรในระดับรีจีสเตอร์.....32
3.6 ภาษาเวริล็อก (Verilog HDL).....33
3.6.1 ประวัติความเป็นมา.....33
3.6.2 โครงสร้างของภาษาเวริล็อก.....34

สารบัญ (ต่อ)

หน้า

3.7 รายละเอียดสถาปัตยกรรมของ FPGA ตระกูล Spartan III.....35

3.7.1 บล็อกอินพุตเอาต์พุต.....36

3.7.2 บล็อก Configurable Logic Block.....37

3.7.3 บล็อกหน่วยความจำขนาด 18 KB.....39

3.7.4 บล็อกวงจรคูณขนาด 18 บิต 39

3.7.5 บล็อกจัดการสัญญาณนาฬิกา.....40

3.7.6 บล็อกควบคุมอิมพีแดนซ์.....41

3.8 ข้อมูลเกี่ยวกับหมายเลขบนชิพ FPGA.....41

3.9 บทสรุป.....42

บทที่ 4 วงจรครอสโอเวอร์เน็ตเวอร์ค….....43

4.1 บทนำ.....43

4.2 วงจรครอสโอเวอร์เน็ตเวอร์คจากวงจรกรองทุกย่านความถี่ต่อขนานกัน 2 วงจร.....44

4.3 การออกแบบวงจรครอสโอเวอร์เน็ตเวอร์ค.....45

4.4 การออกแบบวงจรกรองทุกความถี่ผ่านด้วยวิธี Pole interacting prototype.....47

4.5 วงจรกรองความถี่ IIR ที่มีผลตอบสนองทางเฟสเป็นเชิงเส้น.....54

4.6 การจำกัดความยาวของผลตอบสนองต่ออิมพัลซ์ด้วยตัวกรองค่าเรซิดิวซ์.....55

4.7 วงจรครอสโอเวอร์เน็ตเวอร์คที่ให้ผลการตอบสนองทางเฟสเป็นเชิงเส้น.....57

4.8 บทสรุป.....63

บทที่ 5 การออกแบบ…….....…….64

5.1 บทนำ..... ……..…….64

5.2 การออกแบบวงจรครอสโอเวอร์ด้วยวงจรกรองทุกย่านความถี่ผ่านต่อขนานกัน…....65

5.3 โครงสร้างวงจรครอสโอเวอร์แบบสองทางที่ให้เฟสเชิงเส้นสมบูรณ์บน FPGA.....69

5.4 การออกแบบวงจรสวิทช์มัลติเพล็กซ์.....70

5.4.1 การออกแบบวงจรสวิทช์มัลติเพล็กซ์ส่วนที่ 1.....70

5.4.2 การออกแบบวงจรสวิทช์มัลติเพล็กซ์ส่วนที่ 2.....72

สารบัญ (ต่อ)

หน้า

5.5 วงจรกลับสัญญาณในเวลาจริง....73

5.5.1 การออกแบบวงจรกลับสัญญาณโดยใช้โครงสร้างของหน่วยความจำ....75

5.6 การออกแบบวงจรหน่วงสัญญาณ....77

5.7 วงจรครอสโอเวอร์เน็ตเวอร์คจากโครงสร้างคณิตศาสตร์การกระจาย....78

5.7.1 การสร้างไฟล์ตารางเปิดดู....79

5.7.2 การออกแบบชิปรีจีสเตอร์แบบเข้าขนานออกอนุกรมขนาด 16 บิต....80

5.7.3 การออกแบบชิปรีจีสเตอร์แบบเข้าอนุกรมออกอนุกรมขนาด 16 บิต....81

5.7.4 การออกแบบแอกคิวมูเลเตอร์ขนาด 16 บิตแบบคิดเครื่องหมาย....82

5.7.5 การออกแบบวงจรควบคุมจังหวะการทำงาน....84

5.8 ผลการสังเคราะห์วงจร....86

5.9 ผลการทดลอง....87

5.9.1 การทดสอบโมดูลกลับสัญญาณในเวลาจริง....87

5.9.2 การทดสอบโมดูลหน่วงสัญญาณ....89

5.9.3 การทดสอบโมดูลสวิทช์มัลติเพล็กซ์ส่วนที่ 1 90

5.9.4 การทดสอบโมดูลสวิทช์มัลติเพล็กซ์ส่วนที่ 2....91

5.9.5 การทดสอบโมดูลครอสโอเวอร์เน็ตเวอร์ค....92

5.10 บทสรุป....95

บทที่ 6 บทสรุปและข้อเสนอแนะ....96

6.1 สรุปผลการวิจัย....96

6.2 ปัญหาและอุปสรรคที่พบในงานวิจัย....97

6.3 ข้อเสนอแนะในการพัฒนา....98

บรรณานุกรม....99

ภาคผนวก ก. โปรแกรมออกแบบวงจรครอสโอเวอร์เน็ตเวอร์ค 102

ภาคผนวก ข. โปรแกรมสร้างไฟล์ตารางเปิดดู....103

ภาคผนวก ค. โปรแกรมออกแบบวงจรครอสโอเวอร์เน็ตเวอร์คบน FPGA.....105
ผลงานวิจัยที่ได้รับการตีพิมพ์.....109

สารบัญ (ต่อ)

ประวัติผู้เขียน.....135

สารบัญตาราง

ตารางที่ หน้า

2.1 ข้อดีข้อเสียของการประมวลผลเชิงเลข……..…….....5

2.2 การกระทำต่อลำดับสัญญาณในระบบการประมวลผลเชิงเลข…….....……...7

2.3 ข้อดีและข้อเสียของวงจรกรองความถี่แต่ละแบบ.....…….....…….…….....17

2.4 ค่าของ $F_1\{.\}$ ภายใน ROM.....24

3.1 จำนวนเกตและหน่วยความจำ ต่าง ๆ ภายในชิป Spartan III แต่ละเบอร์.....36

3.2 จำนวนเกตและหน่วยความจำ ต่าง ๆ ภายในชิป Spartan III แต่ละเบอร์..... 36

3.3 หน่วยความจำแบบพอร์ตเดี่ยวที่สร้างจากบล็อกหน่วยความจำภายใน FPGA.....39

3.4 หมายเลขโค๊ดบนชิพ FPGA.....42

5.1 ค่าสัมประสิทธิ์ของตารางเปิดดูจากฟังก์ชันถ่ายโอนจากสมการที่ (5.2).....67

5.2 ค่าสัมประสิทธิ์ของตารางเปิดดูจากฟังก์ชันถ่ายโอนจากสมการที่ (5.3).....67

5.3 พื้นที่ในการออกแบบตารางเปิดดูของวงจรกรองที่ออกแบบด้วยโครงสร้างแบบต่าง ๆ.....69

5.4 ผลการสังเคราะห์แต่ละโมดูลของวงจรครอสโอเวอร์เน็ตเวอร์ค.....86

สารบัญรูป

รูปที่ หน้า

2.1 การประมวลผลสัญญาณแบบอนาลอก และการประมวลผลเชิงเลข....4

2.2 บล็อกไดอะแกรมแสดงโครงสร้างระบบ DSP ที่กระทำกับสัญญาณอนาลอก....6

2.3 การสุ่มสัญญาณ (Sampling Signal)....8

2.4 สเปกตรัมของสัญญาณจากการสุ่มตัวอย่าง....10

2.5 ชนิดของวงจรกรองความถี่แบบต่างๆ....11

2.6 คุณลักษณะผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำ....13

2.7 โครงสร้างของวงจรกรองแบบ FIR....16

2.8 โครงสร้างของวงจรกรองความถี่แบบ IIR....17

2.9 ผลลัพธ์จากการรวมผลคูณย่อยจาก MAC ขนาด 4 บิต....18

2.10 ผลลัพธ์จากการรวมผลคูณย่อยจาก MAC ทั้ง 4 ชุด....19

2.11 ผลจากการรวมผลคูณย่อยจาก Serial Distributed Arithmetic แทน MAC ทั้ง 4 ชุด....20

2.12 โครงสร้างของ SDA-MAC ที่สร้างจากตารางดูค่า....20

2.13 ค่าของ LUT ที่เกิดจากค่าสัมประสิทธิ์ทั้ง 4 ค่า....21

2.14 โครงสร้างของ Distributed Arithmetic วงจรกรองความถี่แบบ IIR อันดับ 3....25

3.1 ขั้นตอนการออกแบบวงจรด้วยภาษา HDL....30

3.2 กระบวนการออกแบบวงจร (Design Methodology)……...……...32

3.3 ไดอะแกรมโครงสร้างของ Register Transfer Level (RTL)....33

3.4 โครงสร้างของบล็อกอินพุตเอาต์พุต…… ……...……37

3.5 โครงสร้างของ Slice....38

3.6 โครงสร้างหน่วยความจำพอร์ตเดี่ยวบน FPGA ……...…...39

3.7 โครงสร้างของวงจรคูณขนาด 18 บิต…….....……...40

3.8 โครงสร้างของ DCM …….....……..40

3.9 รหัสโค้ดบนชิป FPGA …….....……41

3.10 บล็อกหน่วยความจำ 18 กิโลบิตและบล็อกวงจรคูณขนาด 18 x 18 บิต……..35

4.1 โครงสร้างของวงจรครอสโอเวอร์เน็ตเวอร์ค …….....…44

4.2 ตำแหน่งของโพลและซีโรของวงจรกรองความถี่ต่ำต้นแบบ……...…...…46

4.3 ผลการตอบสนองทางขนาดต่อความถี่....46

4.4 ตำแหน่งของโพลและซีโรของฟังก์ชันถ่ายโอน $A_0(Z)$ 48

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.5 การตอบสนองทางขนาดต่อความถี่และเฟสของของฟังก์ชันถ่ายโอน $A_0(Z)$ 48

4.6 ตำแหน่งของโพลและซีโรของฟังก์ชันถ่ายโอน $A_1(Z)$ 49

4.7 การตอบสนองทางขนาดต่อความถี่และเฟสของของฟังก์ชันถ่ายโอน $A_1(Z)$ 49

4.8 ตำแหน่งของโพลและซีโร ของ $H_{LP}(Z)$ และ $H_{HP}(Z)$ 50

4.9 ผลตอบสนองของขนาดต่อความถี่ของวงจรครอสโอเวอร์ที่นำเสนอ.....51

4.10 รายละเอียดผลรวมการตอบสนองของขนาดต่อความถี่เมื่อทำการขยาย.....51

4.11 ผลการตอบสนองทางขนาดและเฟสต่อความถี่ของวงจรกรองความถี่ต่ำ 52

4.12 ผลตอบสนองของกรุ๊ปดีเลย์ของวงจรกรองความถี่ต่ำ.....52

4.13 ผลการตอบสนองทางขนาดและเฟสต่อความถี่ของวงจรกรองความถี่สูง.....53

4.14 ผลตอบสนองของกรุ๊ปดีเลย์ของวงจรกรองความถี่ต่ำ.....53

4.15 โครงสร้างวงจร Linear-phase IIR Filter.....54

4.16 การจำกัดความยาวของวงจรกรองแบบ IIR โดยใช้วงจรกรองเรซิดิวซ์.....56

4.17 บล็อกไดอะแกรมของวงจรจำกัดความยาวของตัวกรอง IIR.....56

4.18 การนำเอาวงจรกรองเรซิดิวซ์มาเพิ่มให้กับวงจรครอสโอเวอร์เน็ตเวอร์ค.....57

4.19 วงจรครอสโอเวอร์เน็ตเวอร์คที่ใช้โครงสร้างจากวงจร กรองทุกย่านความถี่ผ่าน.....57

4.20 ตำแหน่งของโพลและซีโรทั้งหมดของระบบ.....58

4.21 ผลตอบสนองขนาดต่อความถี่ต้นแบบและระบบที่นำเสนอ 59

4.22 ผลรวมทางขนาดต่อความถี่ตลอดย่านความถี่.....59

4.23 รายละเอียดเฉพาะริบเปิ้ลของผลตอบสนองของขนาดในช่วงความถี่ผ่าน.....60

4.24 ผลรวมของกรุ๊ปดีเลย์ของวงจรกรองความถี่ต่ำ.....60

4.25 ผลรวมของกรุ๊ปดีเลย์ของวงจรกรองความถี่สูง.....61

4.26 ผลรวมของเฟสต่อความถี่ของวงจรกรองความถี่ต่ำ.....61

4.27 ผลรวมของเฟสต่อความถี่ของวงจรกรองความถี่สูง.....62

4.28 ผลการตอบสนองทางขนาดต่อความถี่เมื่อเทียบกับงานวิจัยของ Linkwitz.....62

4.29 ผลการตอบสนองทางขนาดต่อความถี่ เมื่อเทียบกับงานวิจัยของ Gacia.....63

5.1 ขั้นตอนการออกแบบวงจรครอสโอเวอร์เน็ตเวอร์คบน FPGA 64

5.2 ผลตอบสนองความถี่จากสมการที่ (5.4) และ (5.5).....66

5.3 ตำแหน่งโพลและซีโรของฟังก์ชันถ่ายโอนจากสมการที่ (5.4) และ (5.5).....66

สารบัญรูป (ต่อ)

รูปที่ หน้า

5.4 โครงสร้างของวงจรครอสโอเวอร์ที่สร้างจากวงจรกรองทุกย่านความถี่ผ่านต่อขนานกัน.....67

5.5 วงจรครอสโอเวอร์เน็ตเวอร์คที่ให้เฟสเชิงเส้นสมบูรณ์.....69

5.6 โครงสร้างวงจรครอสโอเวอร์เน็ตเวอร์คแบบสองทางที่นำไปสร้างบน FPGA.....70

5.7 สัญลักษณ์และโครงสร้างของวงจรสวิทช์ส่วนที่ 1…….....…….....71

5.8 ผลการจำลองการทำงานวงจรสวิทช์ส่วนที่ 1.....71

5.9 สัญลักษณ์และโครงสร้างของวงจรสวิทช์ส่วนที่ 2….....72

5.10 ผลการจำลองการทำงานวงจรสวิทช์ส่วนที่ 2.....73

5.11 โครงสร้างวงจรกรองแบบไม่เป็นคอซอลที่สามารถสร้างได้จริง.....73

5.12 การทำงานของวงจรกลับสัญญาณในเวลาจริงที่ n=0 ถึง 4.....74

5.13 การทำงานของวงจรกลับสัญญาณในเวลาจริงที่ n=5 ถึง 9.....74

5.14 การทำงานของวงจรกลับสัญญาณในเวลาจริงที่ n=10 ถึง 14.....74

5.15 วงจรกลับสัญญาณในเวลาจริงที่สร้างจากวงจรชิปรีจีสเตอร์.....75

5.16 วงจรกลับสัญญาณที่ออกแบบด้วยหน่วยความจำ.....75

5.17 การอ่านการเขียนข้อมูลในบัฟเฟอร์.....76

5.18 ผลการจำลองการทำงานโมดูล LIFO.....76

5.19 โครงสร้างของวงจรหน่วงสัญญาณ.....77

5.20 โครงสร้างของวงจรหน่วงสัญญาณที่สร้างจากหน่วยความจำ.....77

5.21 ผลการจำลองการทำงานของโมดูลหน่วงสัญญาณ.....78

5.22 วงจรครอสโอเวอร์เน็ตเวอร์คแบบสองทางจากโครงสร้างของคณิตศาสตร์การกระจาย.....78

5.23 สัญลักษณ์ของโมดูลเปิดตารางจากตารางที่ 5.1 และ 5.2.....80

5.24 โครงสร้างของโมดูลชิปรีจีสเตอร์แบบเข้าขนานออกอนุกรมขนาด 16 บิต.....81

5.25 ผลการจำลองการทำงานของโมดูลชิปรีจีสเตอร์แบบเข้าขนานออกอนุกรม.....81

5.26 โครงสร้างของโมดูลชิปรีจีสเตอร์แบบเข้าอนุกรมออกอนุกรมขนาด 16 บิต.....81

5.27 ผลการจำลองการทำงานของโมดูลชิปรีจีสเตอร์แบบเข้าอนุกรมออกอนุกรม.....82

5.28 โครงสร้างของโมดูลแอกคิวมูเลเตอร์.....83

5.29 ผลการจำลองการทำงานของโมดูลแอกคิวมูเลเตอร์.....83

5.30 โครงสร้างของโมดูลควบคุมจังหวะการทำงาน.....84

5.31 ผลการจำลองการทำงานของของโมดูลวงจรควบคุมจังหวะการทำงาน.....85

สารบัญรูป (ต่อ)

รูปที่ หน้า

5.32 วงจรครอสโอเวอร์แบบสองทางจากวงจรกรองทุกความถี่ต่อขนานกันบน FPGA.....85
5.33 ผลการตอบสนองอิมพัลซ์ของวงจรครอสโอเวอร์เน็ตเวอร์คแบบสองทางบน FPGA.....86
5.34 การเชื่อมต่อ FPGA กับอุปกรณ์ภายนอกเพื่อใช้ในการทดสอบ.....87
5.35 การทดสอบการทำงานของโมดูลกลับสัญญาณในเวลาจริง.....88
5.36 สัญญาณ saw tooth ความถี่ต่ำที่ผ่านวงจรกลับสัญญาณ.....88
5.37 สัญญาณ saw tooth ความถี่สูงที่ผ่านวงจรกลับสัญญาณ.....88
5.38 สัญญาณ sine wave ความถี่ต่ำที่ผ่านวงจรกลับสัญญาณ.....89
5.39 สัญญาณ sine wave ความถี่สูงที่ผ่านวงจรกลับสัญญาณ.....89
5.40 การทดสอบการทำงานของโมดูลหน่วงสัญญาณ.....90
5.41 สัญญาณที่ผ่านโมดูลหน่วงสัญญาณ 300 แซมเปิ้ล.....90
5.42 การทดสอบการทำงานของโมดูลมัลติเพล็กซ์สัญญาณส่วนที่ 1.....91
5.43 สัญญาณที่ได้จากการการทดสอบโมดูลมัลติเพล็กซ์สัญญาณส่วนที่ 1.....91
5.44 การทดสอบการทำงานของโมดูลมัลติเพล็กซ์สัญญาณส่วนที่ 2.....92
5.45 ที่ได้จากการการทดสอบโมดูลมัลติเพล็กซ์สัญญาณส่วนที่ 2.....92
5.46 การทดสอบโมดูลครอสโอเวอร์เน็ตเวอร์ค.....93
5.47 การทดสอบโมดูลครอสโอเวอร์เน็ตเวอร์คที่ความถี่ 500 Hz.....93
5.48 การทดสอบโมดูลครอสโอเวอร์เน็ตเวอร์คที่ความถี่ 1 KHz.....93
5.49 การทดสอบโมดูลครอสโอเวอร์เน็ตเวอร์คที่ความถี่ 2 KHz.....94
5.50 การทดสอบโมดูลครอสโอเวอร์เน็ตเวอร์คที่ความถี่ 10 KHz.....94
5.51 การทดสอบโมดูลครอสโอเวอร์เน็ตเวอร์คที่ความถี่ 200 Hz รวมกับ 10 KHz.....95
5.52 ต้นแบบวงจรครอสโอเวอร์เน็ตเวอร์คที่ใช้ในวิทยานิพนธ์.....95