การประเมินการถอดรหัส LDPC โดยใช้อุปกรณ์ฮาร์ดแวร์

Evaluation of Hardware-based LDPC decoder

ห้องสมุดงานวิจัย สำนักงานคณะกรรมการวิจัยแห่งชาติ
190939

หัวหน้าโครงการวิจัย รศ. ดร. สมศักดิ์ ชุมช่วย

โครงการวิจัยคณะวิศวกรรมศาสตร์
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2554

b00256037

ห้องสมุดงานวิจัย สำนักงานคณะกรรมการวิจัยแห่งชาติ
190939

คำนำ

ในการออกแบบโครงสร้างตัวถอดรหัส LDPC โดยใช้วิธีการผลรวมต่ำสุด (MS) และวิธีการผลรวมต่ำสุดดัดแปลง (MMS) เป็นตัวถอดรหัส ในส่วนของขั้นตอนการประมวลผล ได้ใช้เทคนิคการสลับลำดับเมตริกซ์พาริตี้เช็ค (reorder parity check matrix) จึงส่งผลให้มีความสามารถในการประมวลผลซ้อนทับกัน (overlap)เพื่อเพิ่มความเร็วในการถอดรหัสอย่างไรก็ตามสำหรับการบ่งบอกถึงประสิทธิภาพของการถอดรหัสของรายงานฉบับนี้ จะบ่งบอกถึงการใช้พื้นที่ของฮาร์ดแวร์ว่ามีขนาดเล็กเพียงใดเป็นหลัก และเทคนิคในการทำงานซ้อนทับกันของหน่วยประมวลผลจะมีความเหมาะสมเมื่อเรานำไปใช้ในเมตริกซ์พาริตี้เช็คบนมาตราฐานIEEE 802.11n ซึ่งมีรูปแบบเมตริกซ์มาตราฐาน ที่สามารถทำตามเงื่อนไขพื้นฐานของวิธีการที่เราได้นำไปใช้

สารบัญ

หน้า

คำนำ I

สารบัญ II

สารบัญตาราง IV

สารบัญรูป II

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 2

1.3 สมมติฐานของการศึกษา 3

1.4 ขอบเขตของการศึกษา 3

1.5 ขั้นตอนของการศึกษา 3

1.6 โครงสร้างรายงาน 4

บทที่ 2 ทฤษฎีพื้นฐานและงานวิจัยที่เกี่ยวข้อง 6

2.1 ระบบการสื่อสารพื้นฐาน 6

2.2 รหัสบล็อกเชิงเส้น (Linear Block Codes) 7

2.3 รหัสพาริตี้เช็คความหนาแน่นต่ำ 14

2.4 งานวิจัยที่เกี่ยวข้อง 28

บทที่ 3 การออกแบบการถอดรหัสแอลดีพีซี 31

3.1 การสลับลำดับเมตริกซ์พาริตี้เช็ค (Reordering Parity Check Matrix) 31

3.2 การทำงานซ้อนกันของ VNU และ CNU(Overlapped Opreations of VNUs and CNUs) 34

บทที่ 4 การออกแบบโครงสร้างภายในเอฟพีจีเอ 36

4.1 หน่วยประมวลผลเช็คโหนด (CNUs Unit) 37

4.2 หน่วยประมวลผลบิตโหนด (VNUs Unit) 38

4.3 หน่วยอินพุตบัฟเฟอร์ (Input Buffer Unit) 40

4.4 หน่วยเอาต์พุตบัฟเฟอร์ (Output Buffer Unit) 40

4.5 หน่วยความจำ (Memmory Unit) 41

4.6 หน่วยควบคุม (Control Unit) 41

บทที่ 5 การทดลองระบบถอดรหัสแอลดีพีซี 43

5.1 ผลการทดลองของขั้นตอนการถอดรหัสแอลดีพีซี 43

5.2 ผลการทดลองจากการสังเคราะห์ของเอฟพีจีเอ 48
บทที่ 6 สรุปผลการวิจัย และข้อเสนอแนะ 49
6.1 สรุปผลการวิจัย 49
6.2 ปัญหาที่เกิดขึ้นและข้อเสนอแนะ 49
เอกสารอ้างอิง 51
ภาคผนวก 52
ดัชนี 53

สารบัญตาราง

ตารางที่ หน้า

ตารางที่ 3.1เปรียบเทียบการใช้เวลา (cycle)ของการทำงานแต่หละรูปแบบ..... 35
ตารางที่ 5.1เปรียบเทียบการใช้พื้นที่และความถี่ของฮาร์ดแวร์ 48

สารบัญรูป

รูปที่ หน้า

รูปที่ 2.1 แผนผังการเข้ารหัสข้อมูลของระบบสื่อสาร 6
รูปที่ 2.2 โครงสร้างของรหัสบล็อกเชิงเส้น 7
รูปที่ 2.3 กราฟแทนเนอร์ 20
รูปที่ 2.4 แสดงการส่งผ่านข้อมูลระหว่าง บิตโหนด และ เช็คโหนด 22
รูปที่ 2.5 แสดงค่า *L(qij)*ที่ส่งจาก บิตโหนด i ไปยัง เช็คโหนด j 23
รูปที่ 2.6แสดงแผนภาพการคำนวณค่า$L(r_{44})$ 24
รูปที่ 2.7แสดงแผนภาพการปรับปรุงข่าวสารของ$L(q_{45})$ 24
รูปที่ 2.8แสดงแผนภาพการหาค่าซอฟต์เอาต์พุตของการถอดรหัส 25
รูปที่ 2.9กราฟการคำนวณหาค่า$\phi(x)$ 26
รูปที่ 2.10เมตริกซ์พาริตี้เช็คอัตรารหัส 1/2 ตามมาตราฐาน WiMAXIEEE 802.16e [x]. 29
รูปที่ 2.11บล็อกไดอะแกรมหน่วยประมวลผล VNU ด้วยวิธีการหาค่าต่ำสุด 30
รูปที่ 2.12บล็อกไดอะแกรมหน่วยประมวลผล VNU ด้วยวิธีการหาค่าต่ำสุดดัดแปลง 30
รูปที่ 3.1 เมตริกซ์พาริตี้เช็คขนาด 648 bits อัตรารหัส 1/2 ตามมาครฐาน IEEE 802.11n 32
รูปที่ 3.2 การสลับลำดับเมตริกซ์พาริตี้เช็ค 32
รูปที่ 3.3 เมตริกซ์พาริตี้เช็คH ที่ถูกสลับลำดับแล้ว 33
รูปที่ 3.4 เมตริกซ์พาริตี้เช็คH ที่ถูกสลับลำดับแล้วในรูปแบบที่เราสำเสนอ 33
รูปที่ 3.5รูปแบบการทำงานของหน่วยประมวลแต่หละแบบ 34
รูปที่ 4.1โครงสร้างระบบการถอดรหัสแอลดีพีซี 36
รูปที่ 4.2โครงสร้างของหน่วยประมวลผล CNU 37
รูปที่ 4.3 เส้นทางในการเปรียบเทียบเพื่อหาค่าต่ำสุด 37
รูปที่ 4.4โครงสร้างเพื่อการคำนวณหาบิตเครื่องหมาย (sign bit) 38
รูปที่ 4.5โครงสร้างของหน่วยประมวลผล VNUs min-sum 38
รูปที่ 4.6โครงสร้างของหน่วยประมวลผล VNUs modified min-sum 39
รูปที่ 4.7โครงสร้างของหน่วยประมวลผล VNUs modified min-sum ที่ถูกปรับปรุงแล้ว 39
รูปที่ 4.8โครงสร้างการสลับตำแหน่งคำรหัสของอินพุทบัฟเฟอร์ 40
รูปที่ 4.9โครงสร้างการสลับตำแหน่งคำรหัสของเอาต์พุตบัฟเฟอร์ 40
รูปที่ 4.10 เมตริกซ์พาริตี้เช็คที่ใช้ในการถอดรหัส 41
รูปที่ 4.11 แสดงรูปแบบของหน่วยความจำ 41

สารบัญรูป(ต่อ)

รูปที่ 5.1 ผลจำลองการทำงานของหน่วยอินพุตบัฟเฟอร์ก่อนสลับตำแหน่ง 43
รูปที่ 5.2 ผลจำลองการทำงานของหน่วยอินพุตบัฟเฟอร์หลังสลับตำแหน่ง 43
รูปที่ 5.3 ผลจำลองการทำงานของหน่วยประมวลผล CNU ค่า magnitude bit และ Sign bit 44
รูปที่ 5.4 ผลจำลองการทำงานของหน่วยประมวลผล CNU ค่าเอาต์พุตต่ำสุด 45
รูปที่ 5.5 ผลจำลองการทำงานของหน่วยประมวลผล VNU ด้วยวิธีการหาค่าต่ำสุด (MS) 45
รูปที่ 5.6 ผลจำลองการทำงานของหน่วยประมวลผล VNU ด้วยวิธีการหาค่าต่ำสุดดัดแปลง (MMS) 46
รูปที่ 5.7 ผลจำลองการทำงานของขั้นตอนการตัดสินใจ 47
รูปที่ 5.8 ผลจำลองการทำงานของหน่วยเอาต์พุตบัฟเฟอร์ 47