บทที่ 5

การทดลองระบบถอดรหัสแอลดีพีซี

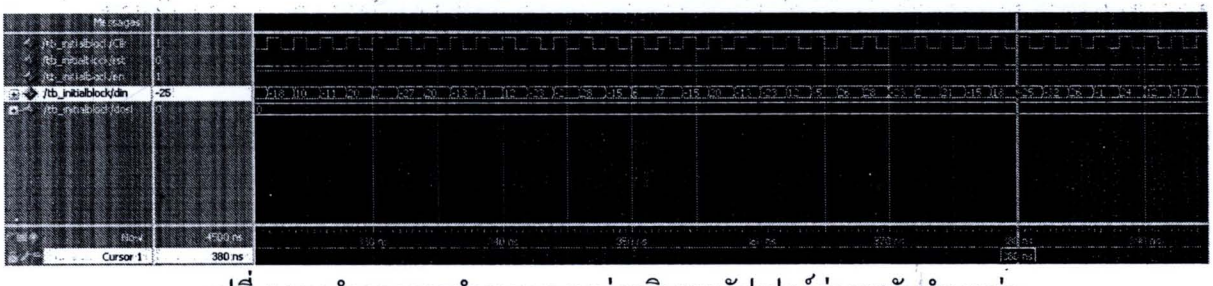
สำหรับผลการทดลองนั้นจะถูกแบ่งออกเป็น 2 ส่วนหลักด้วยกันคือส่วนของผลการทดลองของขั้นตอนการถอดรหัสแอลดีพีซีกับผลการทดลองจากการสังเคราะห์ระบบถอดรหัสแอลดีพีซีบนเอฟพีจีเอ ซึ่งสามารถอธิบายได้ดังนี้

5.1 ผลการทดลองของขั้นตอนการถอดรหัสแอลดีพีซี

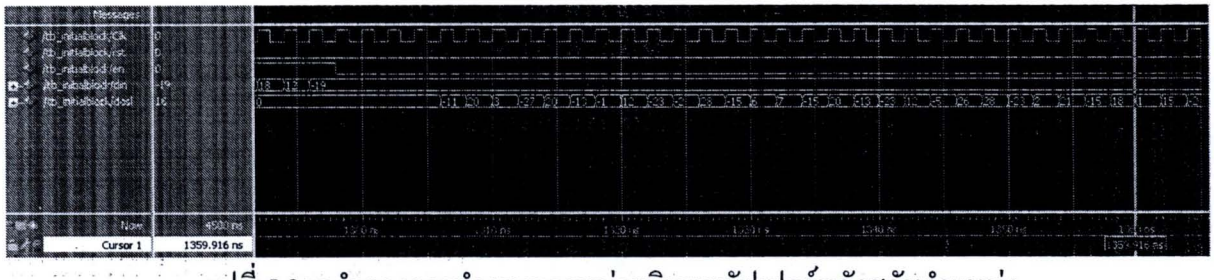
สำหรับผลการทดลองของขั้นตอนการถอดรหัสแอลดีพีซีนั้นจะแบ่งผลการทดลองออกเป็นห้าส่วนด้วยกัน อันจะประกอบไปด้วย

5.1.1 สัญญาณการทดลองของขั้นตอนอินพุตบัฟเฟอร์

ในผลการทดลองของอินพุตบัฟเฟอร์โดยการทำงานหลักๆ ของหน่วยนี้คือการสลับลำดับคำรหัสที่รับเข้ามาจากช่องสัญญาณเพื่อให้สามารถประมวลซ้อนทับกันตามที่ออกแบบไว้



รูปที่ 5.1ผลจำลองการทำงานของหน่วยอินพุตบัฟเฟอร์ก่อนสลับตำแหน่ง

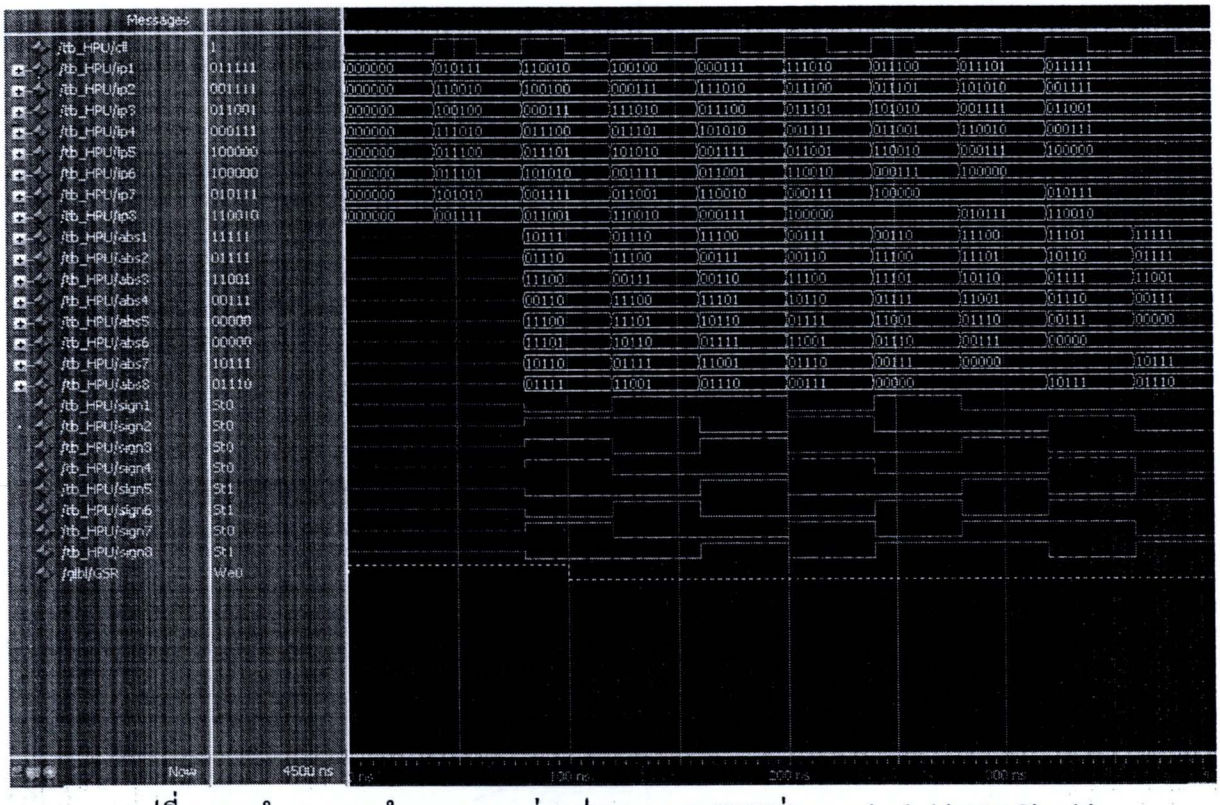


รูปที่ 5.2ผลจำลองการทำงานของหน่วยอินพุตบัฟเฟอร์หลังสลับตำแหน่ง

จากรูปที่ 5.1 แสดงให้เห็นถึงคำรหัสที่รับเข้ามาจากช่องสัญญาณ โดยตามเมตริกซ์พาริตี้เช็คที่ออกแบบไว้ตามรูปที่ 3.3 แสดงให้เห็นว่าคำรหัสของบล็อกลำดับที่ 7 จะต้องย้ายมาอยู่ตำแหน่งบล็อกที่ 1 ซึ่งตำแหน่งของบล็อคที่ 7 ในการจำลองการทำงานจะเริ่มอยู่ในคาบเวลาที่ 326ns จนถึง 380ns ซึ่งจะมีจำนวน

27 ค่าตามขนาดของบล็อก เมื่อทำการสลับตำแหน่งแล้วเอาต์พุตที่ออกมาจากหน่วยความจำอันดับแรกคือบล็อคที่ 7 จะแสดงให้เห็นดังรูปที่ 5.2

5.1.2 สัญญาณการทดลองของขั้นตอนการประมวลผล CNUs



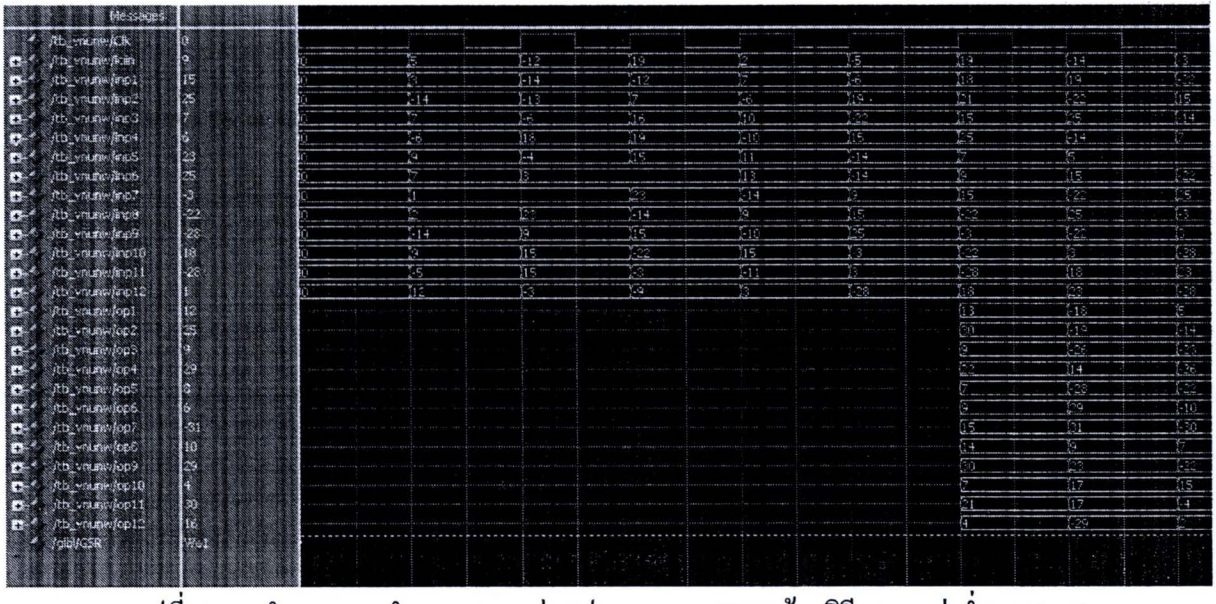
รูปที่ 5.3ผลจำลองการทำงานของหน่วยประมวลผล CNUค่า magnitude bitและ Sign bit

เมื่อคำรหัสถูกสลับตำแหน่งเรียบร้อยแล้วซึ่งอยู่ในขั้นตอนของตั้งค่าเริ่มต้น หลังจากนั้นจะเข้าสู่ขั้นตอนการประมวลผลของหน่วย CNUs ดังรูปที่ 5.3 เนื่องจากการประมวลผลจะแบบ 2'complement ดังนั้นเราจึงต้องจำลองการทำงานแบบเลขฐานสอง ตามรูปจะเห็นว่าในแต่หละแถวจะมีอินพุตสูงสุดอยู่ที่ 8 อินพุต (ip1 - ip8) โดยการประมวลผลจะทำงานตามสัญญาณนาฬิกา (clk) สำหรับตัวอย่างการคำนวณจะแสดงให้เห็นได้ในกรอบที่เราได้ทำไว้ เมื่อเราคำนวณที่ ip1 ซึ่งมีค่า 010111 (23)โดยเราจะไม่นำค่าที่ตำแหน่งนั้นมาคำนวณ จากนั้นจะนำค่าจากอินพุตที่เหลือทั้งหมดมาแยกบิตสัญลักษณ์กับขนาดบิต โดยขนาดบิตที่ตำแหน่ง abs1 มีค่าเท่ากับ 10111 และบิตสัญลักษณ์เท่ากับ 0 เมื่อทำการแยกค่าทั้งสองแยกออกจากกันแล้วจึงนำไปหาค่าต่ำสุดจากทั้งหมด 8 อินพุตโดยจะแสดงให้เห็นดังภาพที่ 5.4 เมื่อเราไม่คิดที่ตำแหน่งที่ต้องการค่าต่ำสุดจากทั้งหมดที่เหลือคือ 6 และเมื่อได้ค่าต่ำสุดแล้วจึงมาหาค่าบิตสัญลักษณ์ จะเห็นได้ว่าบิตสัญลักษณ์ที่เหลือมีจำนวนเป็นคู่จึงทำให้เอาต์พุตที่ 1 มีค่าเป็นบวก ดังนั้นผลลัพธ์ของการคำนวณอินพุตที่ 1 (op1) จะมีค่าเท่ากับ 6

รูปที่ 5.4ผลจำลองการทำงานของหน่วยประมวลผล CNUค่าเอาต์พุตต่ำสุด

5.1.3 สัญญาณการทดลองของขั้นตอนการประมวลผล VNU

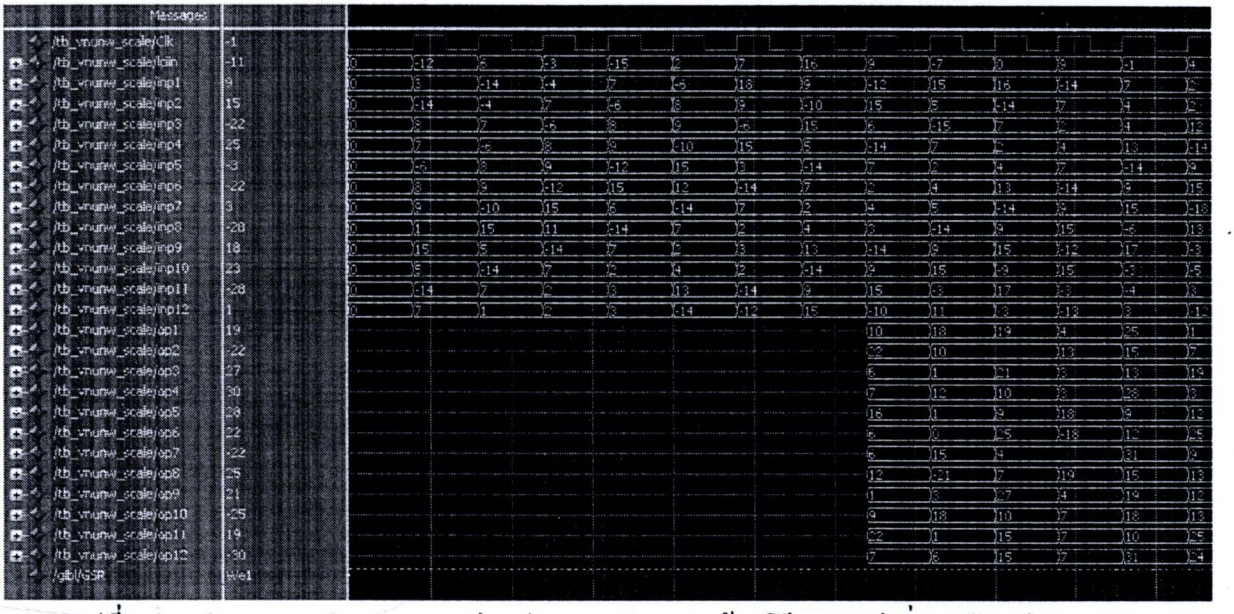
การประมวลของ VNU จะกระทำต่อหลังจากการประมวลผล CNU โดยจะแสดงให้เห็นทั้งวิธีการหาค่าต่ำสุดและวิธีการหาค่าต่ำสุดดัดแปลงดังนี้



รูปที่ 5.5ผลจำลองการทำงานของหน่วยประมวลผล VNUด้วยวิธีการหาค่าต่ำสุด (MS)

จากรูปที่ 5.5 แสดงถึงการจำลองการประมวลผลของหน่วย VNU ด้วยวิธีการหาค่าต่ำสุด (MS) การประมวลผลในขั้นตอนนี้จะเป็นการหาผลรวมของหลักแต่หละหลักโดยเมื่อคำนวณที่ตำแหน่งใดจะไม่เอาค่าที่ตำแหน่งนั้นมาคำนวณ สามารถแสดงการคำนวณตัวอย่างได้โดยเมื่อเราคิดที่ตำแหน่งของอินพุตที่ 1 (ip 1) ซึ่งมาค่าเท่ากับ 3 จะประมวลผลโดยนำค่าทั้งหมดมารวมกันพร้อมทั้งค่า Lciด้วย มีค่าการรวมดังนี้

5+3-14+7-6+9+7+1+2-14+9-5+12 = 16 จากนั้นนำมาลบตำแหน่งที่หาคือ 16-3 = 13 จึงได้เป็นลัพธ์ในตำแหน่งที่หนึ่งนั้นเอง

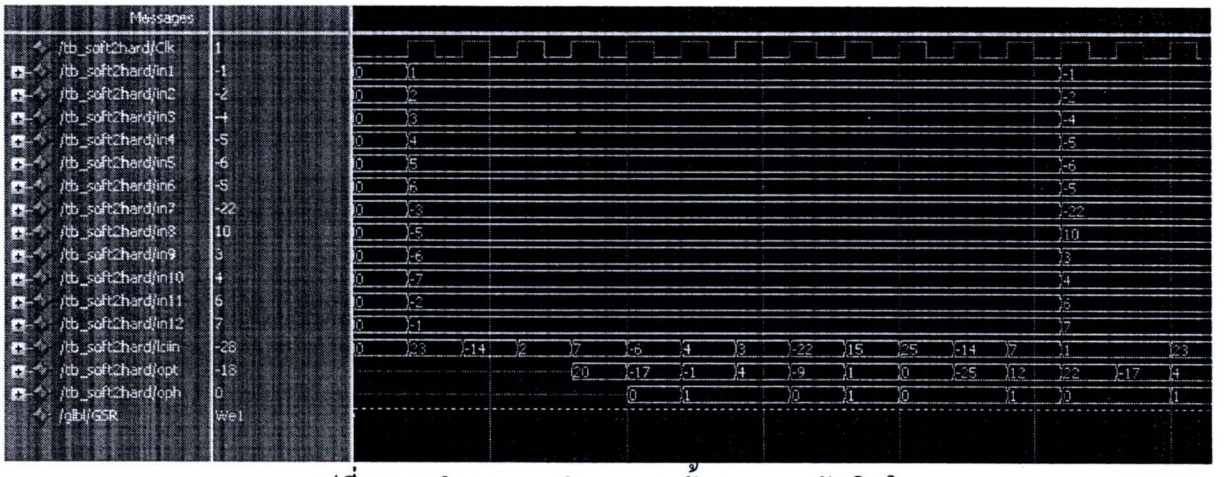


รูปที่ 5.6ผลจำลองการทำงานของหน่วยประมวลผล VNUด้วยวิธีการหาค่าต่ำสุดดัดแปลง(MMS)

จากรูปที่ 5.6 จะเป็นผลจำลองการทำงานของหน่วยประมวลผล VNUด้วยวิธีการหาค่าต่ำสุดดัดแปลง(MMS)จะเห็นได้ว่ามีอินพุตสูงสุดของแต่หละหลักอยู่ที่ 12 อินพุตและมีอินพุต Lciอีกหนึ่งอินพุต โดยหลักการของหน่วยประมวลนี้จะเป็นการหาค่าของผลรวมทั้งหมดและนำมาคูณกับสเกลลิ่งเฟคเตอร์ และสำหรับตัวอย่างการคำนวณจะแสดงให้เห็นได้ดังกรอบที่เราได้ล้อมไว้ ซึ่งจะเป็นการคำนวณที่อินพุตที่ 1 (inp1) และจะนำผลรวมทั้งหมดมารวมกัน โดยไม่รวมค่าที่ตำแหน่งที่กำลังคำนวณ มีค่าดังนี้ 17-3 = 14 และจากนั้นจะนำค่าที่ได้ไปคูณกับสเกลลิ่งเฟคเตอร์ = 0.75 เมื่อเราคำนวณตามปกติแล้วจะได้ค่าเท่ากับ 10.5 แต่เนื่องจากในฮาร์ดแวร์เราออกแบบนั้นสามารถเก็บได้เฉพาะจำนวนเต็มเท่านั้น ดังนั้นผลลัพธ์สุดท้ายจึงมีค่าเท่ากับ 10 จะเห็นได้ว่าจากค่าที่เราคำนวณได้จากฮาร์ดแวร์นั้นมีความคลาดเคลื่อนจึงอาจส่งผลต่อประสิทธิในการถอดรหัส

5.1.4 สัญญาณการทดลองของขั้นตอนการตัดสินใจ (Decision)

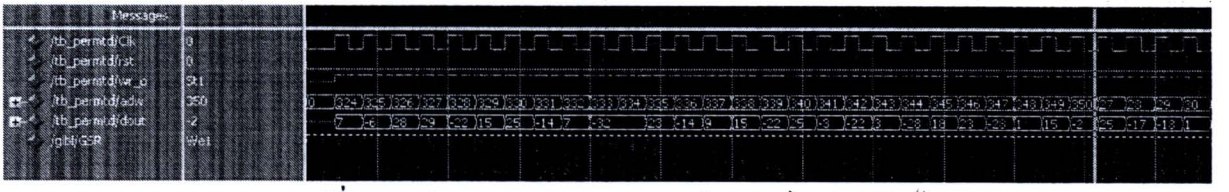
ในขั้นตอนของขบวนการสินใจจะกระทำเมื่อการประมวลผลถึงรอบสูงสุดที่กำหนดไว้หน่วยประมวลผลเพื่อตัดสินใจจะอ่านข้อมูลจากหน่วยความจำ VNUs มาประมวลผลโดยคำนวณแบบละเอียดก่อนและนำมาคำนวณแบบหยาบ



รูปที่ 5.7ผลจำลองการทำงานของขั้นตอนการตัดสินใจ

จากรูปที่ 5.7 สามารถแสดงการคำนวณตามตัวอย่างได้ดังนี้ โดยการคำนวณแบบละเอียดจะนำค่าทั้งหมดในหลักมารวมกัน รวมทั้งตำแหน่งที่คำนวณด้วยซึ่งแตกต่างจากการคำนวณในขั้นตอนของ VNU ซึ่งไม่นำตำแหน่งที่คำนวณมาคิด โดยมีค่าทั้งหมดดังนี้1+2+3+4+5+6-3-5-6-7-2-1+23 = 20 เมื่อได้ค่าการตัดสินใจแบบละเอียดแล้วจึงนำมาตัดสินใจแบบหยาบ จะเห็นได้ว่าตามสมการที่ 2.56เมื่อใดที L(Qi) มีค่ามากกว่า 0 จะได้ผลลัพธ์เท่ากับ 0 ดังแสดงดังรูปด้านบนที่ ophเอาต์พุตที่ออกเริ่มแรกมีค่าเท่ากับ 0

5.1.5 สัญญาณการทดลองของขั้นตอนเอาต์พุตบัฟเฟอร์



รูปที่ 5.8ผลจำลองการทำงานของหน่วยเอาต์พุตบัฟเฟอร์

เมื่อการประมวลผลทั้งหมดเสร็จสิ้นและผ่านขั้นตอนของการตัดสินใจเรียบร้อยแล้ว ข้อมูลจะถูกส่งผ่านไปยังเอาต์พุตบัฟเฟอร์เพื่อทำการสลับตำแหน่งคืนดังเดิมดังเช่นในรูปที่ 5.8 จะเห็นได้ว่าตำแหน่งที่เริ่มเก็บลงหน่วยความจำจะเริ่มที่ตำแหน่ง 324ซึ่งเป็นตำแหน่งของบล็อกที่ 1 ที่ถูกย้ายไปก่อนหน้านี้จะอยู่ที่ตำแหน่งของบล็อคที่ 13 โดยแต่หละบล็อคมีขนาดเท่ากับ 27 แต่จุดเริ่มเก็บข้อมูลจะต้องถูกลบออกอีกหนึ่งบล็อคเท่ากับ 12*27 = 324 เมื่อทำการสลับตำแหน่งคืนดังเดิมทั้งหมดจึงสามารถนำข้อมูลไปใช้ได้อย่างถูกต้อง

5.2 ผลการทดลองจากการสังเคราะห์ของเอฟพีจีเอ

จากโครงสร้างพื้นฐานที่เราออกแบบไว้ในส่วนที่ผ่านมา หน่วยประมวลผลทั้งหมดของระบบถอดรหัสแอลดีพีซีจะถูกสร้างโดยใช้ภาษา Verilog และจำลองการทำงานด้วย ModelSim XE การออกแบบทั้งหมดจะถูกสังเคราะห์ด้วยโปรแกรม Xilinx 10.1 โดยใช้อุปกรณ์ Xilinx XC2VP30-7

Xilinx Utilization Summary		
	MS	MMS
Number of Slices	10261/13696	11131/13696
Number of Slice Flip Flops	15982/27392	17216/27392
Number of 4 input LUTs	19376/27392	20080/27392
Maximum Frequency (MHz)	186.02	186.02

ตารางที่ 5.1เปรียบเทียบการใช้พื้นที่และความถี่ของฮาร์ดแวร์

จากตารางที่ 5.1 แสดงถึงจำนวนฮาร์ดแวร์ของระบบการถอดรหัสแอลดีพีซีที่ถูกสังเคราะห์ในโปรแกรม Xilinx ซึ่งใช้เมตริกซ์พาริตี้เช็คตวามรูปที่ 3.3 มีขนาดคำรหัส 649 บิตและอัตรารหัสที่ 0.5 เหตุผลที่เราไม่นำมาเมตริกซ์พาริตี้เช็คตามรูปที่ 3.4มาสังเคราะห์จะชี้แจงในบทสุดท้ายโดยวิธีการหาค่าต่ำสุดจะมีการใช้พื้นที่น้อยกว่าวิธีการหาค่าต่ำสุดดัดแปลงเนื่องจากการประมวลผลในขั้นตอนของ **VNU** ไม่ต้องทำการสเกลลิ่งเฟคเตอร์ และในส่วนความเร็วสูงสุดที่ทำงานได้จะมีความเร็วเท่ากันคือ 186.02 MHz