การศึกษาและออกแบบวงจรป้องกันแรงดันเกินเสิร์จด้านแรงต่ำ

(A Study and Design of Surge Suppressor for Low Voltage Protection)

นพดล รักษ์พลเมือง พิทยา มีผล จิตติพันธ์ สิทธิรักษ์ ดำรง ยงสกุล และ ไชยพร หล่อทองคำ *

ภาควิชาวิศวกรรมไฟฟ้ากำลัง คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร

51 หมู่ 1 ถ.เชื่อมสัมพันธ์ หนองจอก กรุงเทพฯ โทร. 02-9883666 ต่อ 286 #305, โทรสาร 02-9884040, E-mail: chaiyapo@mut.ac.th

บทคัดย่อ

โครงงานวิจัยนี้เป็นการศึกษาและออกแบบวงจรป้องกันแรงดันเกินเสิร์จทางด้านแรงต่ำ อ้างอิงตามมาตรฐาน IEEE C62.41(1991), IEEE C62.45(1992) และ IEC 61643-1(1998) โดยกล่าวถึงแหล่งกำเนิดและคุณลักษณะของแรงดันเกินเสิร์จแต่ละประเภท, ผลกระทบที่เกิดจากเสิร์จ, หลักการป้องกันเสิร์จ, คุณสมบัติการทำงานของอุปกรณ์ป้องกันเสิร์จชนิดต่างๆ เงื่อนไขและข้อกำหนดในการออกแบบวงจรป้องกันเสิร์จรวมทั้งวิธีการทดสอบ ประเด็นสำคัญของงานวิจัยนี้คือการพัฒนาแบบจำลองอุปกรณ์กำจัดเสิร์จขึ้นในโปรแกรม PSPICE เพื่อใช้ช่วยในการวิเคราะห์ออกแบบวงจรป้องกันเสิร์จให้มีคุณสมบัติเหมาะสมตรงกับความต้องการใช้งาน นอกจากนี้ยังได้ออกแบบและประกอบสร้างวงจรต้นแบบสำหรับใช้งานป้องกันเสิร์จในแต่ละกรณี ทำการทดสอบคุณสมบัติวงจรต้นแบบด้วยอิมพัลส์รูปคลื่นผสม 6 kV, 3 kA ข้อมูลจากงานวิจัยนี้จะเป็นประโยชน์ต่อการพัฒนาอุปกรณ์ป้องกันแรงดันเกินเสิร์จที่มีประสิทธิภาพ ราคาถูกและเป็นที่ยอมรับในระดับสากล

คำสำคัญ : แรงดันเกินเสิร์จ, อุปกรณ์กำจัดเสิร์จ, แบบจำลอง, อิมพัลส์รูปคลื่นผสม

Keywords : Surge Overvoltage, Surge Suppressor, Modelling, Combination Wave Impulse

1. บทนำ

ปัญหาเสิร์จ (Surge) ในระบบแรงดันต่ำนับเป็นปัญหาสำคัญที่มีผลกระทบโดยตรงต่อการทำงานของอุปกรณ์เครื่องใช้ไฟฟ้าและอุปกรณ์อิเลคทรอนิกส์ทั่วไป ส่งผลให้การทำงานของอุปกรณ์เหล่านั้นเกิดความผิดพลาดเสียหายได้ จากปัญหาดังกล่าวจึงทำให้เกิดธุรกิจการผลิตอุปกรณ์ป้องกันเสิร์จออกจำหน่ายในเชิงพาณิชย์ ซึ่งยังคงใช้วิธีการลอกเลียนแบบจากวงจรต้นแบบ และทดลองประกอบสร้างพร้อมทั้งทดสอบจริงด้วยวิธีสุ่มเลือกแบบลองผิดลองถูก หากเกิดเสียหายใช้การไม่ได้ก็เริ่มต้นใหม่ วิธีนี้ทำให้เกิดความสูญเสียในขั้นตอนการออกแบบและพัฒนาคุณภาพของผลิตภัณฑ์ อีกทั้งยังเกิดความไม่แน่นอนว่าวงจรกำจัดเสิร์จที่ออกแบบสามารถใช้ป้องกันเสิร์จได้ในทุกกรณี (Case) ที่ต้องการหรือไม่ ดังนั้นหากเราสามารถพัฒนาสร้างแบบจำลอง (Modelling) เพื่อเลียนแบบลักษณะการทำงานของอุปกรณ์กำจัดเสิร์จที่สำคัญ เช่น สปาร์กแกป (Spark Gap) หรือ วาริสเตอร์ (Varistor) ในโปรแกรม PSPICE เพื่อใช้ในการวิเคราะห์คุณลักษณะก่อนการประกอบสร้างเป็นวงจรจริงจะสามารถแก้ไขปัญหาดังกล่าวได้ นอกจากนี้ยังช่วยให้การออกแบบวงจรกำจัดเสิร์จมีความสะดวกรวดเร็วและมีประสิทธิภาพดียิ่งขึ้น ซึ่งจะช่วยลดความสูญเสียและต้นทุนการผลิตลงได้

โครงงานวิจัยนี้จึงสนใจที่จะพัฒนาแบบจำลองเพื่อเลียนแบบการทำงานของอุปกรณ์กำจัดเสิร์จขึ้นในโปรแกรม PSPICE สำหรับใช้ช่วยในการวิเคราะห์ออกแบบและพัฒนาคุณสมบัติของวงจรกำจัดเสิร์จในระบบแรงดันต่ำให้สามารถใช้ป้องกันอุปกรณ์ไฟฟ้าได้อย่างมีประสิทธิภาพและสามารถผลิตจำหน่ายในเชิงพาณิชย์ได้ ซึ่งงานวิจัยจะประกอบด้วย 2 ส่วน คือ การพัฒนาแบบจำลองอุปกรณ์กำจัดเสิร์จในโปรแกรม PSPICE ได้แก่

อุปกรณ์จำพวกแก๊สดีสชาร์จหรือสปาร์กแกป, วาริสเตอร์ (MOV) และ ซิลิกอนไดโอด หลังจากนั้นจึงนำแบบจำลองที่ได้มาใช้ช่วยในการวิเคราะห์ออกแบบวงจรป้องกันเสิร์จให้มีคุณสมบัติตรงตามลักษณะการใช้งานที่ต้องการ ซึ่งในเบื้องต้นนี้ได้ออกแบบวงจรป้องกันเสิร์จต้นแบบไว้ทั้งหมด 5 วงจร สามารถใช้ป้องกันเสิร์จได้ตามมาตรฐานกำหนด

2. ทฤษฎีที่เกี่ยวข้อง

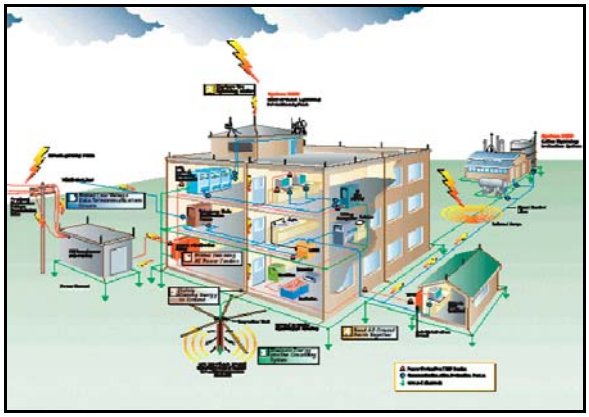
2.1 ความหมายของเสิร์จ

เสิร์จ (Surge) หมายถึง ลักษณะการเปลี่ยนแปลงทางไฟฟ้าแบบชั่วคราว ซึ่งมีผลทำให้คุณภาพทางไฟฟ้าของระบบ เช่น ขนาดของแรงดันไฟฟ้า, กระแสไฟฟ้า หรือความถี่ทางไฟฟ้า เกิดเปลี่ยนแปลงไปชั่วขณะ ลักษณะสัญญาณที่ปรากฏมักเกิดเป็นพัลซ์แคบๆ (Short Duration Pules) ซึ่งเมื่อเกิดขึ้นในสายป้อนไฟฟ้าจึงเกิดเป็นลักษณะการผสมรวม (Superimposing) ไปบนรูปคลื่นไซน์ของไฟกระแสสลับปกติ โดยไม่จำกัดว่าจะเกิดขึ้นในช่วงไฟลบหรือไฟบวกของสัญญาณรูปคลื่นไซน์ ซึ่งเมื่อเกิดขึ้นจะก่อให้เกิดสภาพของแรงดันเกินแบบเฉียบพลันในระบบไฟฟ้า แรงดันเกินเสิร์จอาจมีขนาดเพียงสองสามเท่าของแรงดันไฟปกติหรืออาจมีขนาดสูงถึงหลายสิบเท่า โดยมีช่วงเวลาของการเกิดไม่แน่นอนอาจสั้นเพียง 0.5 ไมโครวินาทีไปจนถึงหลายมิลลิวินาที ลักษณะการเกิดนอกจากจะเป็นแบบพัลซ์เดี่ยวแล้วอาจเกิดเป็นแบบหลายพัลซ์ (Multipulse) ต่อเนื่องกันไป หรือเป็นแบบพัลซ์การแกว่งของสัญญาณ (Oscillation Pulse) ก็ได้ [1-2]

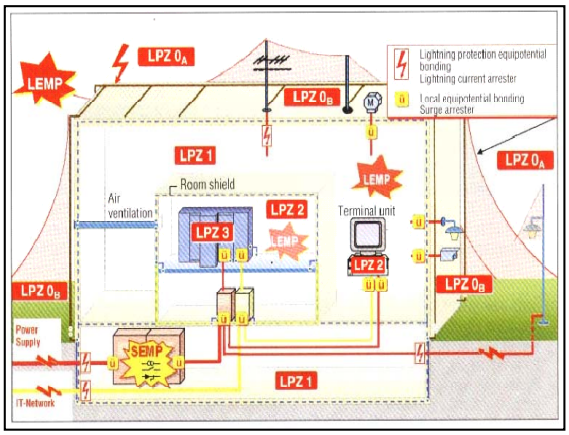
แรงดันเกินเสิร์จจัดเป็นทรานเซี้ยนต์ทางไฟฟ้าที่มีลักษณะเป็นคลื่นจร (Travelling Wave) ขนาดของแรงดันและกระแส รวมทั้งพลังงานมีค่าสูงเกินกว่าปกติหลายเท่า ถึงแม้ว่าเสิร์จจะเกิดขึ้นในช่วงเวลาสั้นๆ แต่สามารถสร้างความเสียหายแก่อุปกรณ์เครื่องใช้ไฟฟ้าได้โดยตรง นอกจากนี้ทรานเซี้ยนต์ดังกล่าวยังทำให้เกิดคลื่นรบกวนแม่เหล็กไฟฟ้า ซึ่งอาจส่งผลกระทบข้างเคียงทำให้วงจรอิเลคทรอนิคส์และระบบสื่อสารทำงานผิดพลาดหรือเสียหายได้

2.2 การเข้าสู่ระบบของเสิร์จ

ลักษณะการเข้าสู่ระบบของเสิร์จอาจมีได้หลายทางด้วยกัน เช่น เกิดจากผลของปรากฏการณ์ฟ้าผ่าตามธรรมชาติโดยตรง หรือเกิดจากการเหนี่ยวนำโดยอ้อมผ่านสายตัวนำไฟฟ้าหรือผ่านทางระบบสื่อสาร หรือเสิร์จที่ผ่านเข้ามาจากระบบรากสายดินที่เชื่อมต่อถึงกัน หรือแม้แต่เสิร์จที่เกิดจากการสับปลด (Switching) วงจรไฟฟ้าภายในอาคาร รวมทั้งเสิร์จที่เกิดจากดีสชาร์ประจุไฟฟ้าสถิตย์ (Electrostatic Discharge) ดังแสดงในรูปที่ 1 ดังนั้นการออกแบบวงจรป้องกันที่ดีจึงต้องสามารถป้องกันเสิร์จได้อย่างครอบคลุม ซึ่งมาตรฐาน [1] ได้กำหนดเขตการป้องกัน (Zone) ไว้อย่างชัดเจน ดังในรูปที่ 2



รูปที่ 1 เส้นทางที่เสิร์จเข้ามาในระบบ

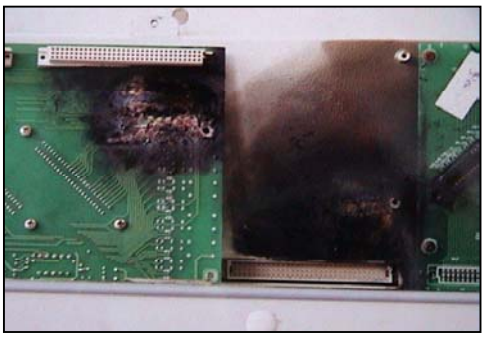


รูปที่ 2 การแบ่งเขตการป้องกันตามมาตรฐาน [1]

2.3 ผลกระทบของเสิร์จ

แรงดันเกินเสิร์จที่เกิดขึ้นในระบบแรงดันต่ำจะมีพลังงานสูงเพียงพอที่จะทำความเสียหายแก่อุปกรณ์เครื่องใช้ไฟฟ้าภายในบ้านหรืออุปกรณ์สำนักงานได้ เพราะอุปกรณ์เหล่านี้มีระบบการฉนวนที่เปราะบาง โดยเฉพาะอุปกรณ์อิเล็กทรอนิกส์ที่มีความไวต่อการเปลี่ยนแปลงของแรงดันเกินเสิร์จและมีความคงทนต่ำ จึงเกิดความเสียหายหรือมีโอกาสทำงานผิดพลาดได้ง่าย ตัวอย่างความเสียหายที่เกิดขึ้น แสดงดังรูปที่ 3 และ 4

รูปที่ 3 ความเสียหายที่เกิดกับอุปกรณ์ไฟฟ้าในระบบ

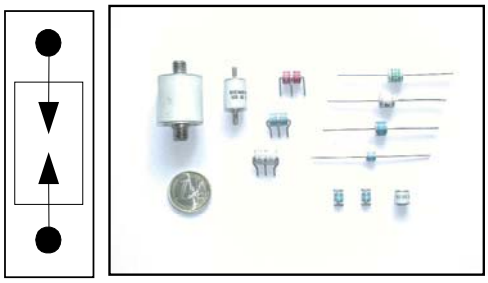


รูปที่ 4 ความเสียหายที่เกิดกับวงจรอิเล็คทรอนิคส์

3. ชนิดของอุปกรณ์ป้องกันเสิร์จ

3.1 อุปกรณ์สปาร์กแกป (Spark Gap)

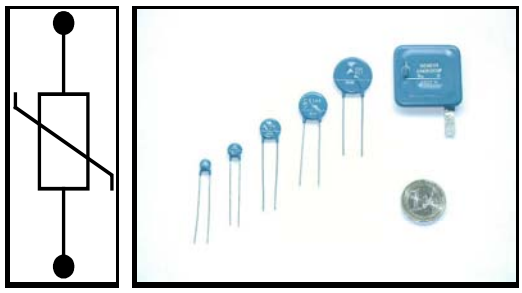
สปาร์กแกปเป็นอุปกรณ์ป้องกันเสิร์จชนิดหนึ่งภายในมีขั้วอิเล็คโตรดปลายแหลมวางอยู่ใกล้กันและบรรจุก๊าซเฉื่อย เช่น อาร์กอน, ฮีเลียม หรือ นีออน เมื่อมีแรงดันตกคร่อมเกินกว่าค่าแรงดันเบรกดาวน์จะเกิดดีสชาร์จทำให้กระแสเสิร์จไหลผ่านไปได้ เป็นการช่วยถ่ายเทพลังงานส่วนเกินจากเสิร์จก่อนเข้าไปสู่ระบบ ดังแสดงในรูปที่ 5



รูปที่ 5 สัญลักษณ์และลักษณะทั่วไปของ Spark Gap

3.2 วาริสเตอร์ (Varistors)

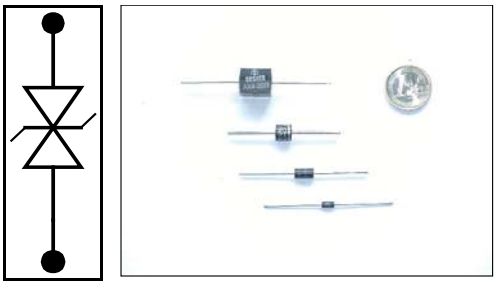
วาริสเตอร์เป็นอุปกรณ์ป้องกันเสิร์จที่ทำจากสารกึ่งตัวนำ อาจเรียกสั้นๆ ว่า “MOV” (Metal Oxide Varistor) แสดงดังรูปที่ 6 เมื่อมีแรงดันตกคร่อมตัวมันเกินกว่าค่าแรงดันขีดจำกัดจะทำให้วาริสเตอร์นำกระแสได้ ซึ่งจะช่วยลดทอนพลังงานส่วนเกินจากเสิร์จก่อนที่จะเข้าสู่ระบบ



รูปที่ 6 สัญลักษณ์และลักษณะทั่วไปของวาริสเตอร์

3.3 ซีเนอร์ไดโอด (Zener Diode)

ซีเนอร์ไดโอดเป็นอุปกรณ์ป้องกันเสิร์จทำจากสารกึ่งตัวนำที่มีลักษณะการทำงานแบบสมมาตรทั้งขั้วบวกและขั้วลบ สามารถรักษาระดับแรงดันได้ดี ดังแสดงในรูปที่ 7



รูปที่ 7 สัญลักษณ์และลักษณะทั่วไปของซีเนอร์ไดโอด

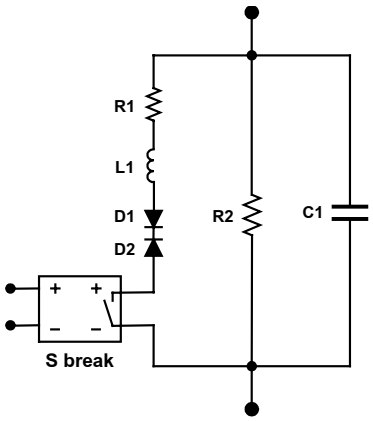
4. การสร้างแบบจำลองในโปรแกรม PSPICE

4.1 การสร้างแบบจำลอง

การสร้างแบบจำลองเพื่อเลียนแบบลักษณะการทำงานจริงของอุปกรณ์กำจัดเสิร์จในโปรแกรม PSPICE สามารถทำได้ ในที่นี้จะทำการพัฒนาเฉพาะแบบจำลองของสปาร์กแกป และ MOV เท่านั้น เนื่องแบบจำลองของซีเนอร์ไดโอดมีอยู่ในโปรแกรม PSPICE แล้ว ซึ่งสามารถนำมาใช้งานได้เลย รายละเอียดโดยสรุปมีดังนี้

1) การสร้างแบบจำลองสปาร์กแกป

การสร้างแบบจำลองสปาร์กแกปใช้แนวคิดจากคุณลักษณะสมบัติแรงดัน-เวลา (V-t Characteristics) ซึ่งเป็นพฤติกรรมการทำงานของสปาร์กแกปจริงแบบไดนามิคส์ (Dynamics) [3] ในที่นี้ได้พัฒนาแบบจำลองไว้หลายแบบด้วยกันดังแสดงรายละเอียดไว้ในเอกสาร [4] แบบจำลองที่เหมาะสมและสามารถเลียนแบบการทำงานได้ใกล้เคียงกับอุปกรณ์จริงคือแบบจำลองดังแสดงในรูปที่ 8

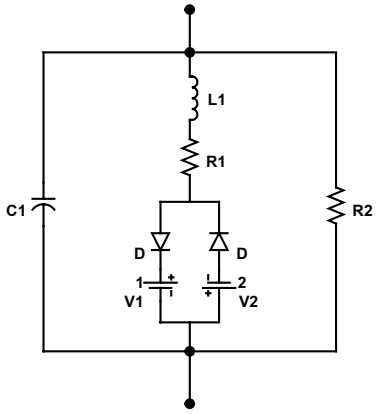


รูปที่ 8 แบบจำลองของสปาร์กแกปที่ใช้งานจริง

จากรูปที่ 8 เป็นแบบจำลองของสปาร์กแกปที่สร้างขึ้น ผู้ใช้สามารถป้อนข้อมูลค่าพารามิเตอร์ของสปาร์กแกปแต่ละแบบได้ตามต้องการ โดยอาศัยข้อมูลจากบริษัทผู้ผลิตหรือจากการสุ่มทดสอบในห้องปฏิบัติการ เพื่อให้ได้แบบจำลองการทำงานที่ใกล้เคียงกับอุปกรณ์จริงที่ต้องการศึกษา โดยที่ R1 และ L1 แทนค่าความต้านทานและค่าอินดักแตนซ์ของขั้วอิเล็คโตรด, R2 แทนความต้านทานของช่องแกปที่สภาวะปกติขณะเริ่มเกิดดีสชาร์จขึ้น, C1 แทนคะแปซิแตนซ์ (Capacitance) ระหว่างช่องแกปก่อนเกิดดีสชาร์จ, ไดโอด D1 และ D2 ใช้กำหนดค่าแรงดันตกคร่อมลำอาร์ค (Varc) ในขณะเกิดดีสชาร์จสมบูรณ์ ส่วนค่าแรงดันเริ่มต้น สปาร์กสามารถกำหนดได้ด้วยการตั้งค่าแรงดันที่ Sbreak ตามชนิดของสปาร์กแกปจริงที่ต้องการจำลองการทำงาน

2) การสร้างแบบจำลองวาริสเตอร์

การสร้างแบบจำลองวาริสเตอร์ใช้แนวคิดจากคุณลักษณะสมบัติแรงดัน-กระแส (V-I Characteristics) ของอุปกรณ์วาริสเตอร์แบบโลหะอ๊อกไซด์ (MOV) ซึ่งในงานวิจัยนี้ได้พัฒนาแบบจำลองวาริสเตอร์ขึ้นหลายแบบด้วยกัน เช่น แบบจำลองแบบพื้นฐานอย่างง่าย (Conventional Model), แบบจำลองคุณสมบัติอย่างไม่เป็นเชิงเส้น (Non-Linear Model) เป็นต้น โดยมีรายละเอียดแสดงไว้ในเอกสาร [4] แบบจำลองที่เหมาะสมซึ่งสามารถเลียนแบบการทำงานของวาริสเตอร์แบบโลหะอ๊อกไซด์ได้ใกล้เคียงกับอุปกรณ์จริงคือแบบจำลองดังแสดงในรูปที่ 9



รูปที่ 9 แบบจำลองของวาริสเตอร์ที่ใช้งานจริง

แบบจำลองของวาริสเตอร์ตามรูปที่ 9 เป็นแบบจำลองแบบละเอียดที่จะนำมาใช้ในการวิเคราะห์ออกแบบวงจรป้องกันเสิร์จด้านแรงดันต่ำต่อไป ผู้ใช้สามารถป้อนข้อมูลค่าพารามิเตอร์ของอุปกรณ์ MOV แต่ละแบบที่เลือกใช้ได้ตามต้องการ โดยอาศัยข้อมูลจากบริษัทผู้ผลิต (Data Sheet) เพื่อกำหนดค่าพารามิเตอร์ในแบบจำลอง โดยที่พารามิเตอร์ R1 และ L1 แทนองค์ประกอบความต้านทานและอินดักแตนซ์แฝงภายในเนื้อวัสดุสารกึ่งตัวนำในสภาวะนำกระแสเมื่อเกิดเสิร์จ, R2 แทนความต้านทานใน

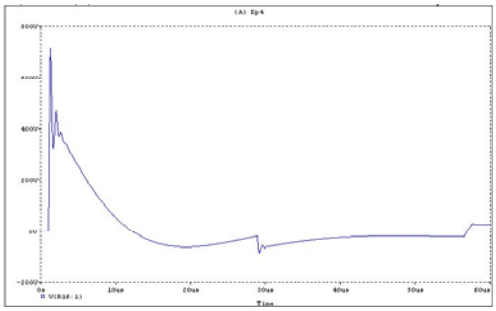
สภาวะปกติ, C1 แทนคะแปซิแตนซ์ (Capacitance) ที่เกิดขึ้นจากสนามไฟฟ้าระหว่างชั้น (Layer) ของสารกึ่งตัวนำ, ไดโอด D1 และ D2 ใช้กำหนดค่าแรงดันขีดจำกัดนำกระแสเสิร์จและแรงดันเหลือค้างของวาริสเตอร์, ด้วยการกำหนดค่าแรงดันไบแอสผ่าน V1 และ V2 ตามลำดับ

4.2 การตรวจสอบความถูกต้องของแบบจำลอง

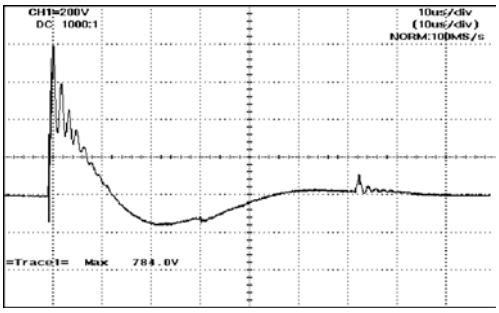
เพื่อให้มั่นใจได้ว่าแบบจำลองที่พัฒนาขึ้นสามารถใช้งานได้อย่างถูกต้องโดยไม่มีข้อจำกัด จึงทำการทดสอบคุณสมบัติของแบบจำลองทั้งสองในโปรแกรม PSPICE และนำผลที่ได้จากการ Simulation มาเปรียบเทียบกับการทดลองจริงในห้องปฏิบัติการ โดยพิจารณาจากลักษณะของรูปคลื่นสัญญาณ, ค่าแรงดันเหลือค้าง และช่วงเวลาคงอยู่ของแรงดันเหลือค้างเป็นสำคัญ ซึ่งมีรายละเอียดดังนี้

1) การตรวจสอบแบบจำลองสปาร์กแกป

ตัวอย่างรูปคลื่นผลการทดสอบคุณสมบัติของแบบจำลองสปาร์กแกปแสดงดังรูปที่ 10 และ 11 โดยมีตัวอย่างผลการศึกษาเปรียบเทียบคุณสมบัติต่างๆ กรณีใช้สปาร์กแกปที่แตกต่างกัน 2 รุ่น แสดงดังตารางที่ 1 ถึง 3



รูปที่ 10 การทำงานของสปาร์กแกปที่ได้จาก PSPICE



รูปที่ 11 การทำงานของสปาร์กแกปจากการทดสอบจริง

ตารางที่ 1 เปรียบเทียบแรงดันคงเหลือของสปาร์กแกป

รุ่น	Peak voltage (V)		
	Data sheet	Simulation	%error
EPCOS250	650	650.176	0.027
EPCOS350	700	700.676	0.096

ตารางที่ 2 เปรียบเทียบช่วงเวลาหน้าคลื่นของสปาร์กแกป

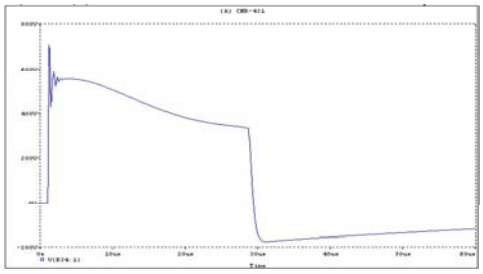
รุ่น	พารามิเตอร์เวลา T1 (s)		
	วัดจริง	Simulation	%error
EPCOS230	31.14	28.58	-8.220
EPCOS350	31.28	28.64	-8.439

ตารางที่ 3 เปรียบเทียบช่วงเวลาหลังคลื่นของสปาร์กแกป

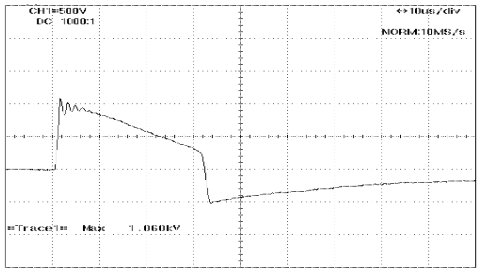
รุ่น	พารามิเตอร์เวลา T2 (s)		
	วัดจริง	Simulation	(%) error
EPCOS230	62.31	56.76	-8.907
EPCOS350	62.24	56.72	-8.868

2) การตรวจสอบแบบจำลองวาริสเตอร์

ตัวอย่างรูปคลื่นผลการทดสอบคุณสมบัติของแบบจำลองวาริสเตอร์แสดงดังรูปที่ 12 และ 13 โดยมีตัวอย่างผลการศึกษาเปรียบเทียบคุณสมบัติต่างๆ กรณีใช้ตัวอย่างวาริสเตอร์ที่แตกต่างกัน 2 รุ่น แสดงดังตารางที่ 4 และ 5



รูปที่ 12 การทำงานของวาริสเตอร์ที่ได้จาก PSPICE



รูปที่ 13 การทำงานของวาริสเตอร์จากการทดสอบจริง

ตารางที่ 4 เปรียบเทียบแรงดันคงเหลือของวาริสเตอร์

รุ่น	Peak Voltage (V)		
	Datasheet	Simulation	%error
CNR07D431K	710	710.972	0.136
CNR20D431K	710	710.103	0.014
CNR20D471K	775	775.252	0.032

ตารางที่ 5 เปรียบเทียบช่วงเวลาทำงานของวาริสเตอร์

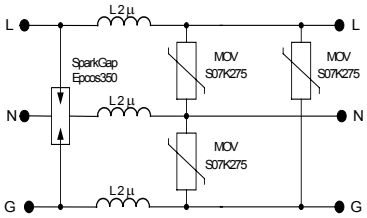
รุ่น	Operating Time : T (s)		
	วัดจริง	Simulation	%error
CNR07D431K	31.3	28.97	-7.444
CNR20D431K	31.5	29.01	-7.904

5. การออกแบบวงจรป้องกันเสิร์จ

การออกแบบวงจรป้องกันเสิร์จจะต้องพิจารณาถึงวัตถุประสงค์การใช้งานและคุณสมบัติที่ต้องการก่อนทุกครั้ง การออกแบบจะอาศัยหลักการประสานสัมพันธ์การป้องกันเสิร์จ [5] โดยใช้แบบจำลองช่วยวิเคราะห์คุณสมบัติของวงจรป้องกันเสิร์จในโปรแกรม PSPICE เพื่อหาองค์ประกอบวงจรที่เหมาะสมก่อนนำไปประกอบสร้างเป็นชิ้นงานจริง ซึ่งในที่นี้จะพิจารณาค่าแรงดันเหลือค้างที่ได้เป็นสำคัญ วงจรป้องกันเสิร์จต้นแบบที่ออกแบบสร้างขึ้นประกอบด้วย 5 วงจร แบ่งตามลักษณะการนำไปใช้งานในการป้องกันแรงดันเกินเสิร์จแต่ละกรณี ดังนี้

5.1 Power Line Protection

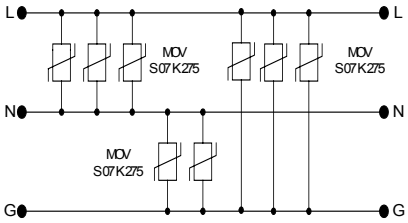
วงจรป้องกันเสิร์จแบบ Power Line Protection ใช้สำหรับป้องกันเสิร์จให้กับระบบจ่ายไฟกระแสสลับ 1 เฟส 230 V, 50 Hz ที่ใช้งานกับเครื่องใช้ไฟฟ้าทั่วไป ซึ่งออกแบบไว้ 2 วงจร คือ วงจรแบบที่ 1 และ วงจรแบบที่ 2 แสดงดังรูปที่ 14 และ 15 ตามลำดับ รายละเอียดการออกแบบและการทดสอบวงจร แสดงไว้ใน [4] วงจรทั้งสองมีความแตกต่างกันที่ความสามารถในการกำจัดเสิร์จ โดยแบบที่ 1 ออกแบบให้ใช้อุปกรณ์กำจัดเสิร์จทั้ง 3 ชนิดทำงานประสานกันเพื่อกำจัดเสิร์จได้ครอบคลุม เหมาะสำหรับใช้ป้องกันอุปกรณ์อิเลคทรอนิกส์ที่เปราะบาง ส่วนวงจรแบบที่ 2 เน้นความคงทนและอายุการใช้งานในการป้องกันเสิร์จ แต่ไม่สามารถใช้ป้องกันเสิร์จแบบ EFT ได้ จึงเหมาะสำหรับติดตั้งใช้งานไว้ที่ตู้ MDB เพื่อป้องกันเสิร์จจากภายนอกที่ต้นทางของระบบจ่ายไฟฟ้าภายในอาคาร



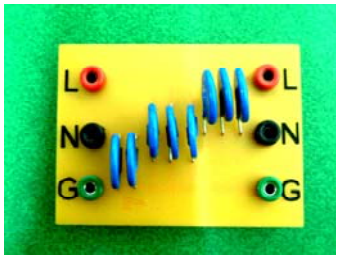
ก) วงจรต้นแบบ

ข) ต้นแบบชิ้นงานที่ประกอบสร้างเสร็จ

รูปที่ 14 วงจรป้องกันเสิร์จแบบที่ 1



ก) วงจรต้นแบบ

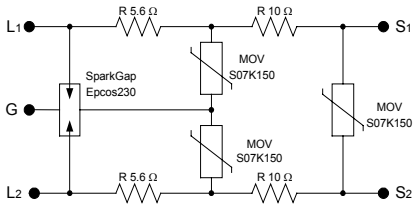


ข) ต้นแบบชิ้นงานที่ประกอบสร้างเสร็จ

รูปที่ 15 วงจรป้องกันเสิร์จแบบที่ 2

5.2 Telecommunication Line Protection

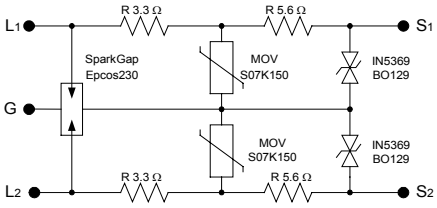
วงจรป้องกันเสิร์จแบบ Telecommunication Line Protection ใช้สำหรับป้องกันเสิร์จในระบบโทรศัพท์ทั่วไป ที่ป้อนด้วยแหล่งจ่ายไฟกระแสตรง (48 V) มีทั้งหมด 3 แบบ คือ วงจรแบบที่ 3, 4 และ 5 แสดงดังรูปที่ 16 ถึง 18 ตามลำดับ โดยมีรายละเอียดการออกแบบแสดงไว้ใน [4]



ก) วงจรต้นแบบ

ข) ต้นแบบชิ้นงานที่ประกอบสร้างเสร็จ

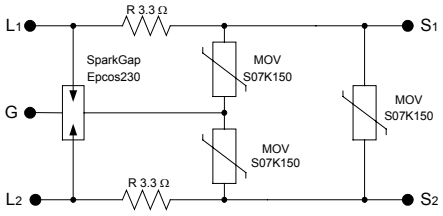
รูปที่ 16 วงจรป้องกันเสิร์จแบบที่ 3



ก) วงจรต้นแบบ

ข) ต้นแบบชิ้นงานที่ประกอบสร้างเสร็จ

รูปที่ 17 วงจรป้องกันเสิร์จแบบที่ 4



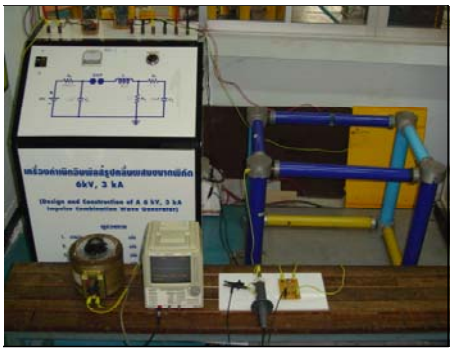
ก) วงจรต้นแบบ

ข) ต้นแบบชิ้นงานที่ประกอบสร้างเสร็จ

รูปที่ 18 วงจรป้องกันเสิร์จแบบที่ 5

6. การทดสอบและประเมินผล

การทดสอบและประเมินผลแบ่งออกเป็น 2 ส่วน คือ การวิเคราะห์คุณสมบัติของวงจรต้นแบบในโปรแกรม PSPICE โดยประยุกต์ใช้แบบจำลองที่พัฒนาขึ้น เปรียบเทียบกับการทดสอบวงจรต้นแบบจริงในห้องปฏิบัติการ ซึ่งใช้เครื่องกำเนิดอิมพัลส์รูปคลื่นผสมขนาด 6 kV, 3 kA เป็นแหล่งกำเนิดเสิร์จในการทดสอบ [6] ดังรูปที่ 19 การวิเคราะห์เปรียบเทียบผลในที่นี้เน้นการพิจารณาที่ขนาดแรงดันเหลือค้างและพารามิเตอร์ทางเวลาของรูปคลื่นแรงดันเกินเสิร์จเป็นสำคัญ ตัวอย่างผลการศึกษาเปรียบเทียบแสดงดังตารางที่ 6 ถึง 8 ตามลำดับ



รูปที่ 19 การทดสอบในห้องปฏิบัติการไฟฟ้าแรงสูง

ตารางที่ 6 เปรียบเทียบแรงดันเหลือค้างของแต่ละวงจร

วงจรป้องกันเสิร์จ	Peak voltage (V)		
	ทดสอบจริง	Simulation	(%) error
วงจรแบบที่ 1	561	522	-6.90
วงจรแบบที่ 2	665	620	-6.77
วงจรแบบที่ 3	458	420	-8.29
วงจรแบบที่ 4	390	360	-7.69
วงจรแบบที่ 5	435	406	-6.70

ตารางที่ 7 เปรียบเทียบช่วงเวลาหน้าคลื่นของแต่ละวงจร

วงจรป้องกันเสิร์จ	พารามิเตอร์เวลา T1 (s)		
	ทดสอบจริง	Simulation	(%) error
วงจรแบบที่ 1	31.48	28.42	-9.72
วงจรแบบที่ 2	31.75	28.11	-11.46
วงจรแบบที่ 3	31.62	28.58	-9.61
วงจรแบบที่ 4	31.84	28.36	-10.92
วงจรแบบที่ 5	31.66	28.51	-9.94

ตารางที่ 8 เปรียบเทียบช่วงเวลาหลังคลื่นของแต่ละวงจร

วงจรป้องกันเสิร์จ	พารามิเตอร์เวลา T2 (s)		
	ทดสอบจริง	Simulation	(%) error
วงจรแบบที่ 1	63.35	56.51	-9.36
วงจรแบบที่ 2	-	-	-
วงจรแบบที่ 3	62.43	56.59	-9.35
วงจรแบบที่ 4	62.51	56.32	-9.90
วงจรแบบที่ 5	62.27	56.54	-9.20

จากผลการทดสอบพบว่าค่าพารามิเตอร์ที่ได้จากการ Simulation ในโปรแกรม PSPICE กับค่าที่ได้จากการทดสอบจริงมีค่าแตกต่างกันเล็กน้อย แต่ยังอยู่ในเกณฑ์ที่สามารถยอมรับได้ โดยค่าที่ได้จากการทดลองจะสูงกว่าการ Simulation ทั้งนี้อาจเนื่องจากผลของค่าพารามิเตอร์แฝงในองค์ประกอบวงจรจริงรวมทั้งระบบวัดที่ใช้ในการทดสอบ ค่าแรงดันเหลือค้างยังอยู่ในเกณฑ์ที่กำหนด

7. สรุปผลการดำเนินงาน

โครงงานวิจัยนี้ได้ทำการศึกษาและพัฒนาแบบจำลองเลียนแบบการทำงานของอุปกรณ์กำจัดเสิร์จขึ้นในโปรแกรม PSPICE เพื่อใช้ช่วยในการวิเคราะห์ออกแบบและพัฒนาคุณสมบัติของวงจรกำจัดเสิร์จที่ใช้งานในระบบแรงดันต่ำให้สามารถใช้ป้องกันอุปกรณ์ไฟฟ้าได้อย่างมีประสิทธิภาพ ซึ่งได้ศึกษาและออกแบบวงจรป้องกันเสิร์จต้นแบบทั้งหมด 5 วงจร แบ่งตามลักษณะการใช้งาน ผลการทดสอบแสดงให้เห็นว่าวงจรต้นแบบสามารถใช้ป้องกันเสิร์จได้ตามมาตรฐานกำหนด แบบจำลองที่พัฒนาขึ้นนี้สามารถใช้ช่วยในการออกแบบวงจรได้เป็นอย่างดี ช่วยแก้ปัญหาความสูญเสียในขั้นตอนการออกแบบวงจรป้องกันเสิร์จสำหรับภาคอุตสาหกรรม นอกจากนี้ยังช่วยให้นักศึกษาได้ฝึกทักษะกระบวนการทางความคิด รู้จักการวางแผนการทำงานและฝึกการแก้ไขปัญหาอย่างมีระบบ ซึ่งเป็นประโยชน์อย่างมากต่อตัวนักศึกษาเองในอนาคต

กิตติกรรมประกาศ

ขอขอบคุณสำนักงานกองทุนสนับสนุนการวิจัย ฝ่ายอุตสาหกรรม ในโครงการโครงงานอุตสาหกรรมสำหรับนักศึกษาปริญญาตรี (IPUS) ประจำปี 2546 ที่ให้การสนับสนุนด้านเงินทุนในการศึกษาวิจัยและจัดสร้างอุปกรณ์การทดสอบ และขอขอบคุณ บริษัท พศินา จำกัด ที่ให้การสนับสนุนอุปกรณ์ประกอบการศึกษาวิจัย และ สุดท้ายขอขอบพระคุณ อาจารย์ไชยพร หล่อทองคำ อาจารย์ที่ปรึกษาโครงงาน ที่กรุณาให้คำปรึกษาและข้อแนะนำที่ดีตลอดมา จนสามารถทำให้โครงงานนี้สำเร็จลุล่วงด้วยดี

เอกสารอ้างอิง

[1] IEC 1643-1, Surge Protective Devices Connected to Low-Voltage Power Distribution Systems – Part 1 : Performance Requirements and Testing Methods, 1998

[2] IEEE C62.41 : IEEE Guide on Surge Voltage in Low-voltage AC Power Circuit, New York USA,1991

[3] M. Narui, "A Spice model for simulating arc-discharge load", IEEE Industry Applications Society Annual Meeting, Volume II, 1991

[4] นพดล รักษ์พลเมือง และคณะ, “การศึกษาและออกแบบวงจรป้องกันแรงดันเกินเสิร์จด้านแรงต่ำ”, ปริญญานิพนธ์วิศวกรรมศาสตรบัณฑิต, ภาควิชาวิศวกรรมไฟฟ้ากำลัง, คณะวิศวกรรมศาสตร์, มหาวิทยาลัยเทคโนโลยีมหานคร, ปีการศึกษา 2546

[5] Ronald B. Standler, “Design and Performance of Surge Suppressors”, IEEE Proceeding 1993.

[6] IEEE C62.45 : IEEE Guide on Surge Testing for Equipment Connected to Low- Voltage AC Power Circuit, New York,USA,December,1992