บทที่ 4
ผลการดำเนินงาน

การวิจัยครั้งนี้ มีวัตถุประสงค์เพื่อสร้างโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล การหาประสิทธิภาพของโปรแกรมบทเรียนและประสิทธิผลการเรียนรู้ของผู้เรียน ได้ผลการดำเนินการดังต่อไปนี้

4.1 ผลการพัฒนาโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล

4.2 ผลการหาประสิทธิภาพของแบบทดสอบของโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล

4.3 ผลการหาประสิทธิภาพของบทเรียนและประสิทธิผลการเรียนรู้ของโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล

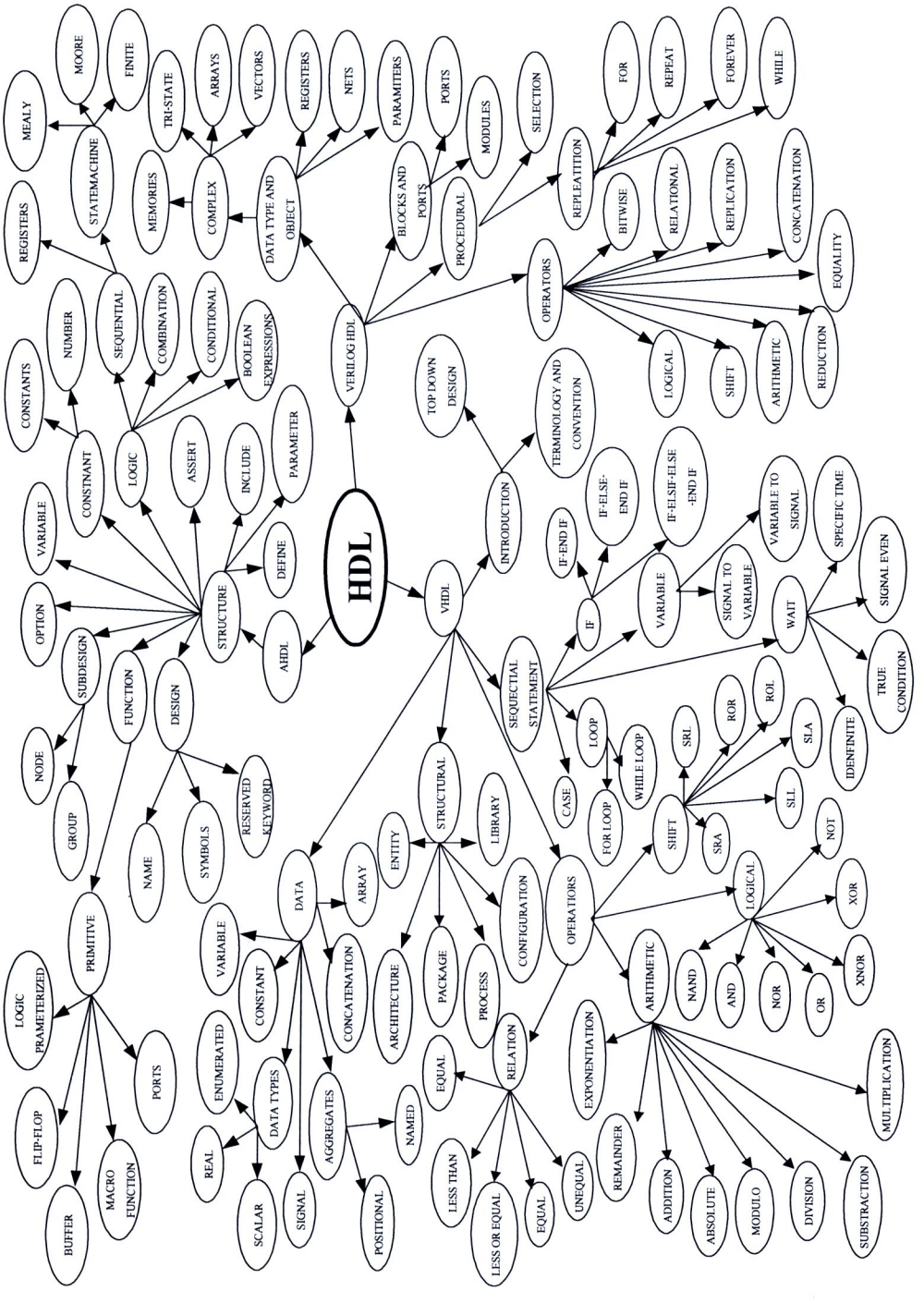
4.1 ผลการพัฒนาโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล

การสร้างโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล เริ่มจากการกำหนดวัตถุประสงค์และกลุ่มเป้าหมายของบทเรียน โดยมีขั้นตอนการดำเนินงานในการสร้างตามลำดับ 5 ขั้นตอน ได้แก่ ขั้นวิเคราะห์ (Analysis) ขั้นออกแบบ (Design) ขั้นพัฒนา (Development) ขั้นสร้าง (Implementation) และขั้นประเมินผล (Evaluation) ผลที่ได้จากการดำเนินงานสร้างบทเรียนในแต่ละขั้นตอน มีดังนี้

4.1.1 ผลการวิเคราะห์เนื้อหาวิชา

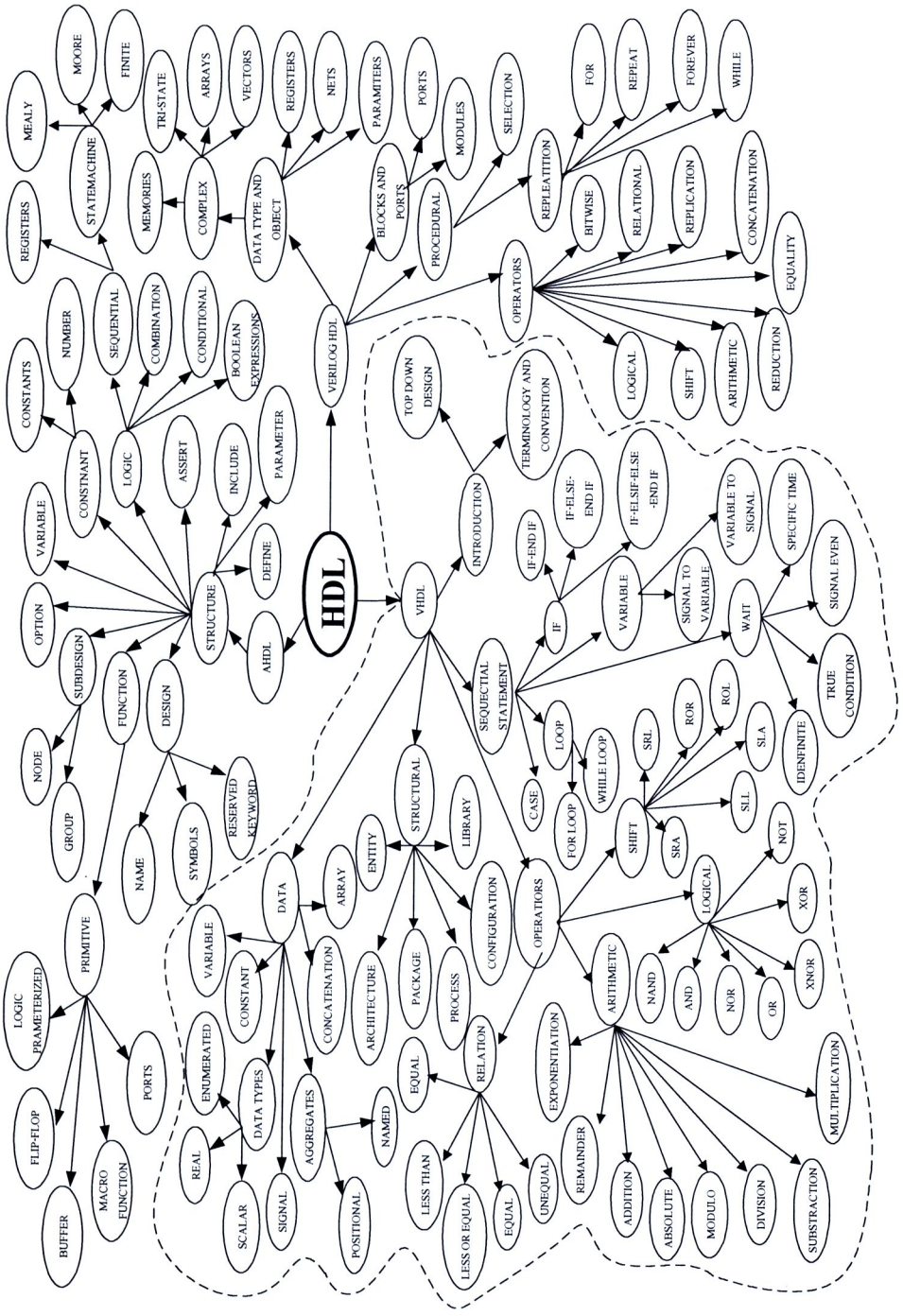
การวิเคราะห์เนื้อหาเรื่อง การออกแบบวงจรดิจิตอลได้ผลตามลำดับดังนี้

4.1.1.1 ผลการสร้างแผนภูมิระดมสมอง (Brain Storm Chart) หลังจากศึกษาความเกี่ยวข้องสัมพันธ์กันของหัวข้อเนื้อหาในเรื่องการออกแบบ วงจรดิจิตอลด้วยภาษาวีเอชดีแอล และสอบถามขอบเขตเนื้อหาจากผู้เชี่ยวชาญ และผู้มีประสบการณ์ ด้านการสอนเรื่องการออกแบบวงจรดิจิตอลด้วยภาษาวีเอชดีแอลจึงทำการสร้างแผนภูมิระดม สมองเพื่อหาหัวข้อ และรวบรวมหัวข้อที่เกี่ยวข้องกับเนื้อหาผลจากการระดมสมองได้ แผนภูมิ (Brain Storm Chart) ดังแสดงรายละเอียดในรูปที่ 4.1



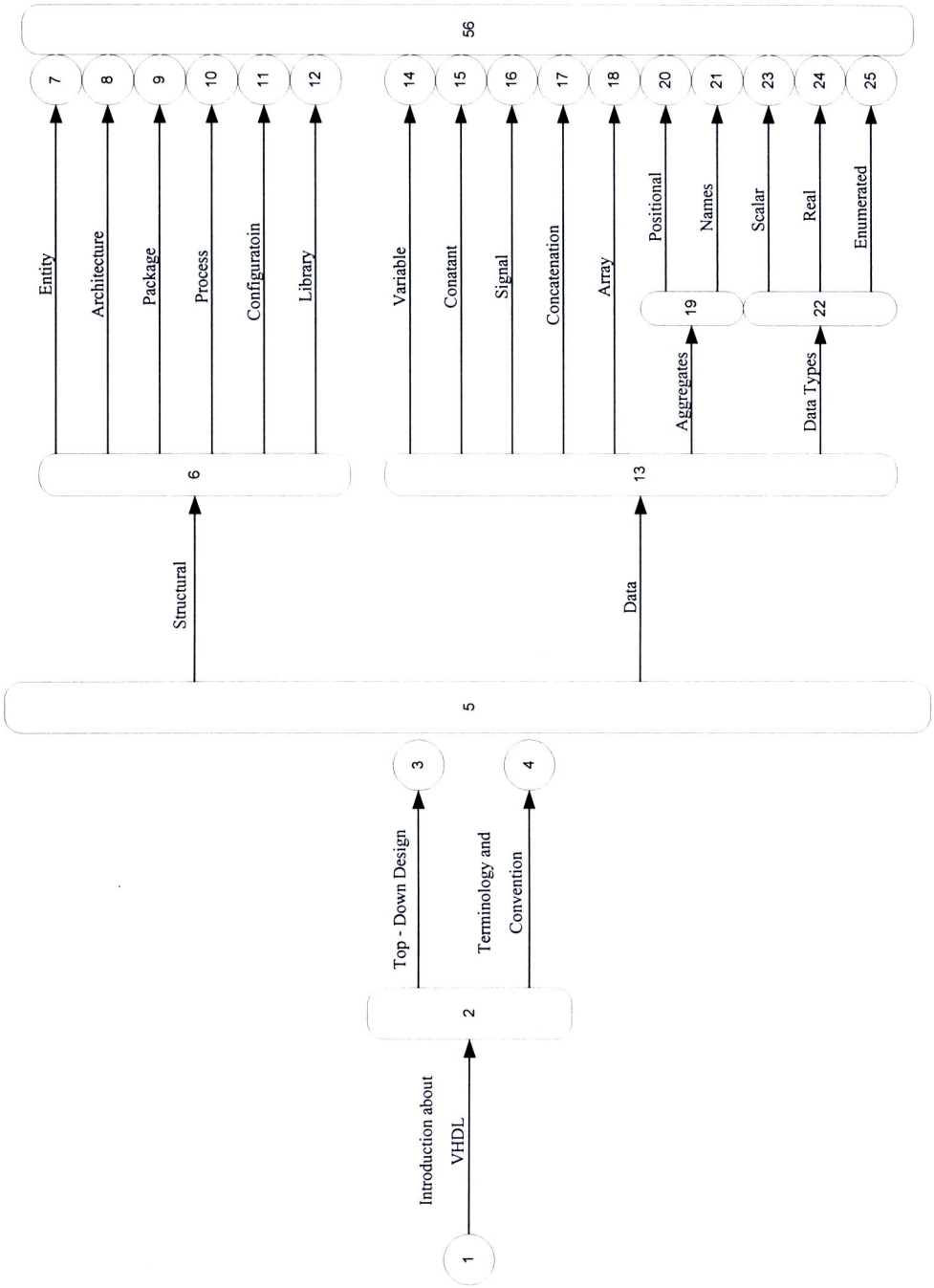
รูปที่ 4.1 แสดงแผนภูมิระดมสมอง (Brain Storm Chart) ของบทเรียน

4.1.1.2 ผลการสร้างแผนภูมิหัวเรื่องสัมพันธ์ของเนื้อหา (Concept Chart) เมื่อนำแผนภูมิที่ได้ระดมหัวเรื่องไว้มาพิจารณาเพื่อรวมกลุ่มหัวเรื่องที่สัมพันธ์กันเข้าไว้ด้วยกัน เพิ่มหรือตัดหัวเรื่อง รวมทั้งปรับหัวเรื่องต่าง ๆ ตามเหตุและผล และ ตามความเหมาะสม จึงได้กลุ่มเนื้อหาที่มีความสอดคล้องสัมพันธ์กัน ดังรูปที่ 4.2

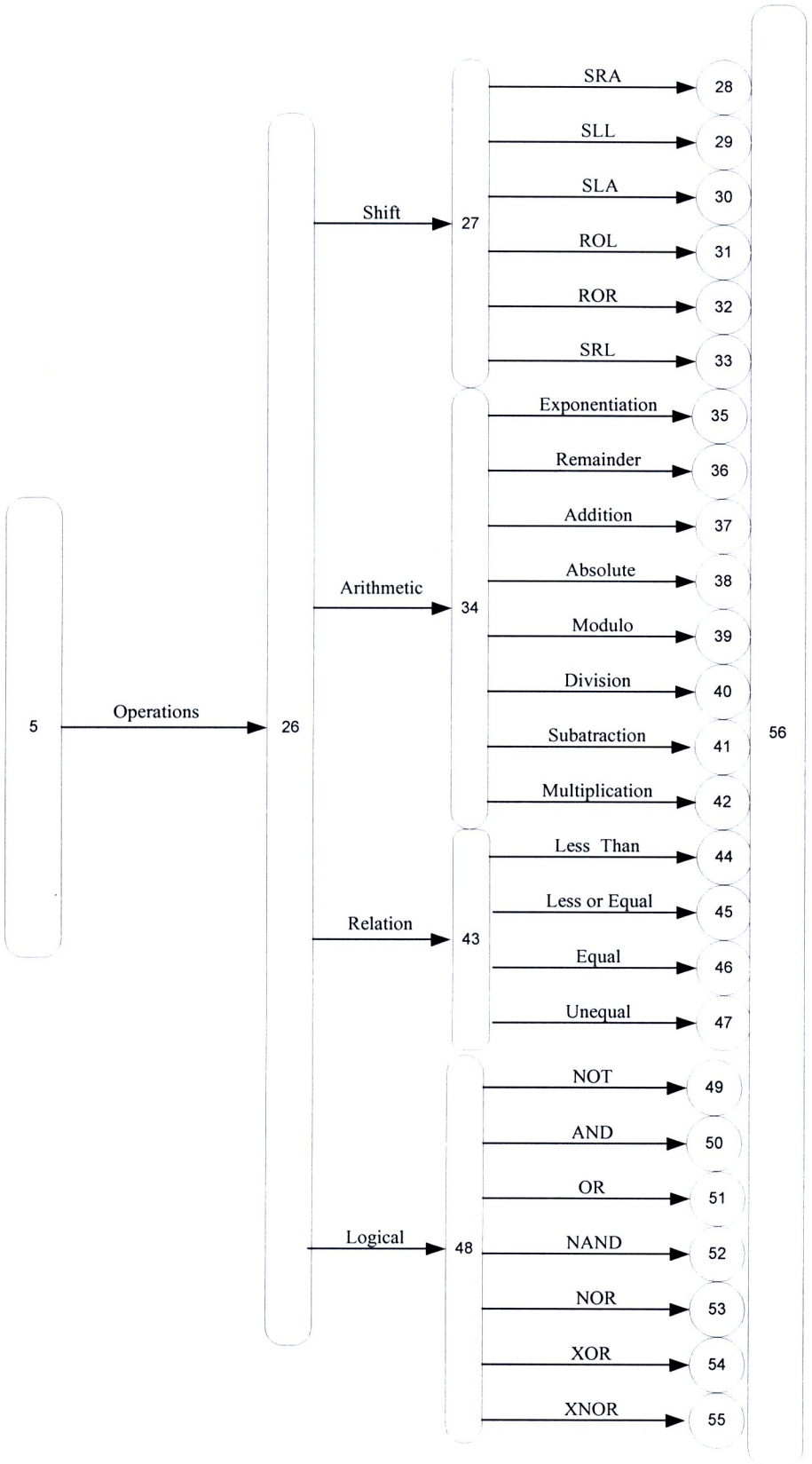


รูปที่ 4.2 แสดงการสร้างแผนภูมิหัวเรื่องสัมพันธ์ของเนื้อหา (Concept Chart) ของเนื้อหา

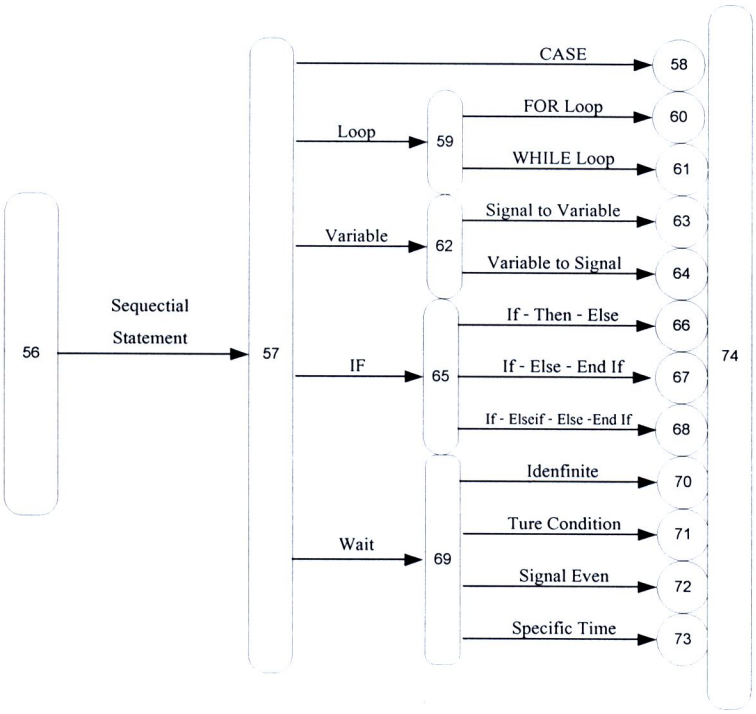
4.1.1.3 ผลการสร้างแผนภูมิโครงข่ายเนื้อหา (Content Network Chart) ผลการวิเคราะห์ความสัมพันธ์และลำดับก่อนหลังของหัวเรื่อง โดย พิจารณาถึงลำดับ และความสัมพันธ์ในการเรียนรู้เนื้อหาจริงของผู้เรียนเป็นหลัก สามารถแสดงความสัมพันธ์และลำดับก่อนหลังของเนื้อบทเรียนได้ ตามแผนภูมิโครงข่ายเนื้อหา (Content Network Chart) ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 แสดงแผนภูมิโครงข่ายเนื้อหา (Content Network Chart) ของเนื้อหาบทเรียน



รูปที่ 4.3 แสดงแผนภูมิโครงข่ายเนื้อหา (Content Network Chart) ของเนื้อหาบทเรียน (ต่อ)

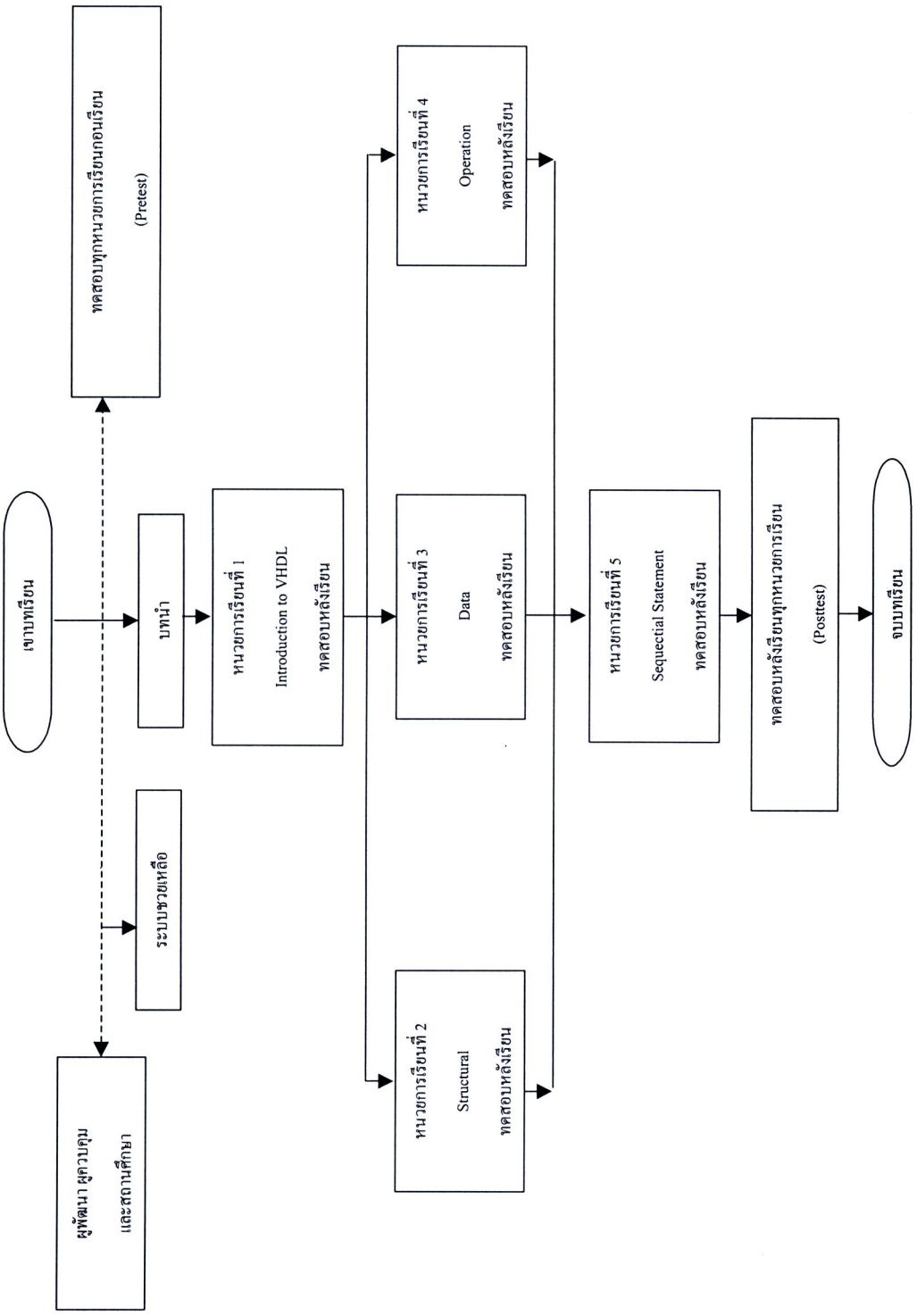


รูปที่ 4.3 แสดงแผนภูมิโครงข่ายเนื้อหา (Content Network Chart) ของเนื้อหาบทเรียน (ต่อ)

4.1.2 ผลการออกแบบการสอน

ในขั้นตอนการออกแบบการสอนของโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอล ด้วยภาษาวีเอชดีแอล มีผลในแต่ละขั้นตอนของการออกแบบ ดังนี้

4.1.2.1 ผลการกำหนดกลวิธีการนำเสนอบทเรียน การนำเสนอเนื้อหาแต่ละหน่วยการเรียน (Module) ของบทเรียน แสดงเป็นแผนภูมินำเสนอลำดับการเรียนทั้งรายวิชา (Course Flow Chart) โดยการแบ่งออกเป็นหน่วยการเรียน (Module) ซึ่งการแบ่งหน่วยการเรียนนี้จะพิจารณาถึงเวลาเรียนแต่ละครั้งของกลุ่มเป้าหมาย และคำนึงเนื้อหาที่สัมพันธ์กัน ดังนั้นจึงใช้เวลาเรียนแต่ละครั้งประมาณ 2 ชั่วโมง จากแผนภูมิโครงข่ายวิเคราะห์เนื้อหาวิชา ในรูปที่ 4.3 ปรากฏว่าสามารถจัดการศึกษาบนคอมพิวเตอร์ได้ 5 หน่วยการเรียน โดยแต่ละหน่วยจะใช้เวลาเรียนประมาณ 2 ชั่วโมง สำหรับการเรียนปกติ รวมเวลาประมาณ 10 ชั่วโมง สำหรับผู้เรียนเร็วอาจใช้เวลาลดลงเหลือเพียงประมาณ 8-9 ชั่วโมง ในการพัฒนานี้จะมีข้อมูลความรู้เสริมความเข้าใจเพิ่มให้ในกรณีที่ผู้เรียนต้องการ ดังนั้นผู้เรียนช้าอาจใช้เวลาเรียนประมาณ 12-14 ชั่วโมง ในที่นี้จะนำเสนอรูปแบบหลักสำหรับ ผู้เรียนระดับปานกลาง 5 หน่วยการเรียน (Module) ดังตารางที่ 4.1



รูปที่ 4.4 แสดงแผนภูมินำเสนอลำดับการเรียนทั้งรายวิชา (Course Flow Chart)

ตารางที่ 4.1 แสดงการแบ่งเนื้อหาและวัตถุประสงค์เชิงพฤติกรรม

เนื้อหา	วัตถุประสงค์เชิงพฤติกรรมแต่ละหน่วย
หน่วยที่ 1 VHDL Introduction 1.1 VHDL คืออะไร 1.2 top – down design	1. อธิบายคุณลักษณะภาษาวีเอชดีแอลได้ 2. อธิบายรูปแบบการใช้งานภาษาวีเอชดีแอลได้ 3. อธิบายการออกแบบแบบ top – down design ได้
หน่วยที่ 2 VHDL Basic 2.1 การประกาศใช้งาน VHDL objects 2.2 Identifier 2.3 โครงสร้างของภาษาวีเอชดีแอล 2.3.1 Entity 2.3.2 Architecture 2.3.3 Component 2.3.4 Package 2.3.5 Library 2.3.6 Configuration	1. บอกรูปแบบการประกาศใช้งาน VHDL objects ได้ 2. อธิบายคุณลักษณะของ Identifier ได้ 3. อธิบายคุณลักษณะโครงสร้างแต่ละส่วนของภาษาวีเอชดีแอลได้ 4. อธิบายรูปแบบการใช้งานโครงสร้างแต่ละส่วนของภาษาวีเอชดีแอลได้
หน่วยที่ 3 Data Types 3.1 constant 3.2 signal 3.3 variable 3.4 types 3.4.1 scalar 3.4.2 array 3.4.3 record 3.4.4 IEEE standard logic	1. อธิบายการประกาศใช้งาน constant ในโครงสร้างแต่ละส่วนของภาษาวีเอชดีแอล ได้ 2. อธิบายการประกาศใช้งาน signal ในโครงสร้างแต่ละส่วนของภาษาวีเอชดีแอลได้ 3. อธิบายการประกาศใช้งาน variable ในโครงสร้างแต่ละส่วนของภาษาวีเอชดีแอลได้ 4. อธิบายการใช้งาน types แบบต่างได้
หน่วยที่ 4 VHDL Operators 4.1 boolean 4.2 relational	1. บอกความหมายของ operator ต่างๆ ได้ 2. บอกลำดับการทำงานของ operator ได้

ตารางที่ 4.1 แสดงการแบ่งเนื้อหาและวัตถุประสงค์เชิงพฤติกรรม (ต่อ)

เนื้อหา	วัตถุประสงค์เชิงพฤติกรรมแต่ละหน่วย
4.3 shifting 4.4 arithmetic	3. อธิบายการใช้งาน types แบบต่างๆได้
หน่วยที่ 5 Sequential Statement 5.1 If ststement 5.2 Case ststement 5.3 Loop ststement 5.4 Wait ststement	1. อธิบายคุณลักษณะของ ststementต่างๆ ได้ 2. อธิบายรูปแบบการนำ ststement ไปใช้งานได้ 3. สามารถออกแบบวงจรดิจิตอลด้วยภาษา วีเอชดีแอลได้

4.1.2.2 ผลการสร้างแผนภูมิการนำเสนอ (Module Presentation Chart)
ผลการวิเคราะห์รูปแบบและลำดับในการนำเสนอบทเรียนในแต่ละหน่วยการเรียนให้สอดคล้องกับกระบวนการเรียนการสอนจริง ประกอบด้วยขั้นตอนของการนำเข้าสู่เนื้อหาของบทเรียน ขั้นตอนการเรียน ขั้นตอนของการสรุปเนื้อหา แสดงเป็นแผนภูมิการนำเสนอบทเรียน

4.1.2.3 ผลการหาค่าความถูกต้องทางด้านเนื้อหา (Content Correctness)
การหาค่าความถูกต้องทางด้านเนื้อหา (Content Validity) โดย วิธีการให้ผู้เชี่ยวชาญด้านเนื้อหาเป็นผู้ตรวจสอบและแก้ไขนำข้อเสนอแนะที่ได้จากผู้เชี่ยวชาญมาแก้ไขปรับปรุงเนื้อหาให้ถูกต้องสมบูรณ์ยิ่งขึ้น

4.2 ผลการหาประสิทธิภาพของแบบทดสอบของโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล

4.2.1 ผลการสร้างแบบทดสอบของบทเรียน

การสร้างข้อสอบของบทเรียน สร้างตามจุดประสงค์เชิงพฤติกรรม โดย วิเคราะห์เพื่อหาจำนวนข้อสอบที่ต้องการจริงโดยผู้เชี่ยวชาญ ได้ผลการวิเคราะห์ทั้งสิ้น 80 ข้อ จึงได้เขียนแบบทดสอบขึ้นมาจำนวน 130 ข้อ และนำไปทดลองกับกลุ่มตัวอย่าง ซึ่งเป็นนักศึกษาชั้นปีที่ 4 สาขาวิศวกรรมไฟฟ้า ภาควิชาครุศาสตร์ไฟฟ้า คณะครุศาสตร์อุตสาหกรรมและเทคโนโลยี มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี จำนวน 34 คน ได้แบบทดสอบที่ผ่านการวิเคราะห์คุณภาพ จำนวน 83 ข้อ นำไปสร้างเก็บไว้ในคลังข้อสอบ

ตารางที่ 4.2 แสดงตารางวิเคราะห์หลักสูตร

จุดมุ่งหมายในการสอบ	VHDL Introduction 4 %	VHDL Basic 23 %	Data Type 16 %	VHDL Operator 39 %	Sequential Statement 18 %	จำนวนและชนิดข้อสอบ
อธิบายคุณลักษณะ 20 %	อธิบายคุณลักษณะ • ภาษาวีเอชดีแอล • top-down design	อธิบายคุณลักษณะ • Identifier • โครงสร้างภาษาวีเอชดี • Entity • Architecture • Component • Package	อธิบาย คุณลักษณะ • Constant • Signal • Variable	อธิบายคุณลักษณะ • Boolean • Relational • Shifting • Arithmetic	อธิบาย คุณลักษณะ • IF statement • Case statement • Loop statement • Wait	ปรนัย 16 ข้อ
อธิบายรูปแบบการใช้งาน 50 %	อธิบายรูปแบบการใช้งานภาษาวีเอชดีแอล	อธิบายรูปแบบการใช้งาน • Identifier • โครงสร้างภาษาวีเอชดี • Entity • Architecture • Component • Package • Librry	อธิบายรูปแบบการใช้งาน • Constant • Signal • Variable	อธิบายรูปแบบการใช้งาน • Boolean • Relational • Shifting • Arithmetic	อธิบายรูปแบบการใช้งาน • IF statement • Case statement • Loop statement • Wait	ปรนัย 40 ข้อ
การนำไปใช้ 30 %	วิธีการออกแบบวงจรแบบ top-down design	การเขียนโปรแกรมด้วยภาษาวีเอชดีแอล				ปรนัย 24 ข้อ
	4	19	19	30	14	80

จากตารางที่ 4.2 ได้ผลการกำหนดน้ำหนักวัตถุประสงค์เชิงพฤติกรรม 5 หน่วยการเรียนได้ผลดังนี้

- หน่วยที่ 1 เรื่อง VHDL Introduction ได้จำนวนแบบทดสอบ 4 ข้อ แบ่งเป็นระดับพฤติกรรมทางสติปัญญาระดับความเข้าใจ 3 ข้อ และระดับการนำไปใช้ 1 ข้อ
- หน่วยที่ 2 เรื่อง VHDL Basic ได้จำนวนแบบทดสอบ 19 ข้อ แบ่งเป็นระดับพฤติกรรมทางสติปัญญาระดับความเข้าใจ 13 ข้อ และระดับการนำไปใช้ 6 ข้อ
- หน่วยที่ 3 เรื่อง Data Types ได้จำนวนแบบทดสอบ 13 ข้อ แบ่งเป็นระดับพฤติกรรมทางสติปัญญาระดับความเข้าใจ 9 ข้อ และระดับการนำไปใช้ 4 ข้อ
- หน่วยที่ 4 เรื่อง VHDL Operator ได้จำนวนแบบทดสอบ 30 ข้อ แบ่งเป็นระดับพฤติกรรมทางสติปัญญาระดับความเข้าใจ 21 ข้อ และระดับการนำไปใช้ 9 ข้อ
- หน่วยที่ 5 เรื่อง Sequential Statement ได้จำนวนแบบทดสอบ 14 ข้อ แบ่งเป็นระดับพฤติกรรมทางสติปัญญาระดับความเข้าใจ 10 ข้อ และระดับการนำไปใช้ 4 ข้อ

เมื่อแยกผลการกำหนดน้ำหนักออกตามระดับพฤติกรรมทางสติปัญญาแล้วได้ผลดังนี้ พฤติกรรมระดับความเข้าใจ 56 ข้อ พฤติกรรมระดับการนำไปใช้ 24 ข้อ

การพัฒนาแบบทดสอบมีผลของการตรวจสอบและวิเคราะห์คุณภาพของแบบทดสอบด้านต่าง ๆ ดังต่อไปนี้

4.2.1.1 ผลการหาค่าระดับความยาก (P) นำผลสอบที่ได้จากการทดสอบนักศึกษาระดับปริญญาตรีสาขาวิชาวิศวกรรมไฟฟ้าชั้นปีที่ 4 ภาควิชาครุศาสตร์ไฟฟ้า ที่เคยศึกษาเนื้อหาวิชาการออกแบบวงจรดิจิตอลด้วยภาษาวีเอชดีแอล มาวิเคราะห์เพื่อหาค่าความยากของข้อสอบรายข้อ ข้อสอบที่มีค่าความยาก (P) อยู่ระหว่าง 0.2 – 0.8 จำนวน 123 ข้อ เป็นข้อสอบที่สามารถนำไปใช้ได้

4.2.1.2 ผลการหาค่าอำนาจจำแนกของแบบทดสอบ นำผลสอบที่ได้จากการทดสอบนักศึกษาระดับปริญญาตรีสาขาวิชาวิศวกรรมไฟฟ้าชั้นปีที่ 4 ภาควิชาครุศาสตร์ไฟฟ้า ที่เคยศึกษาเนื้อหาวิชาการออกแบบวงจรดิจิตอลด้วยภาษาวีเอชดีแอล มาวิเคราะห์เพื่อหาค่าอำนาจจำแนกของข้อสอบรายข้อ ได้ข้อทดสอบที่มีค่าอำนาจจำแนกตรงตามเกณฑ์จำนวน 85 ข้อ

ดังนั้นเมื่อนำผลการหาค่าระดับความยากและผลของค่าอำนาจจำแนกของแบบทดสอบมาวิเคราะห์แบบทดสอบควบคู่กันจะได้ข้อสอบที่เป็นไปตามเกณฑ์ความยากและอำนาจจำแนกทั้งหมด 83 ข้อ โดยมีค่าเฉลี่ยของความยากง่าย 0.56 และค่าเฉลี่ยของอำนาจจำแนกเท่ากับ 0.3

4.2.1.3 ผลการหาค่าความเชื่อมั่น (Reliability) ของแบบทดสอบ การคำนวณหาค่าความเชื่อมั่นของแบบทดสอบ ใช้วิธีการหา ความเชื่อมั่นภายใน (internal consistency) ของ Kuder - Richardson 20 ผลการคำนวณหา ค่าความเชื่อมั่นของแบบทดสอบ 0.83 แสดงว่า แบบทดสอบมีความเชื่อมั่นตามเกณฑ์ที่กำหนดกล่าวคือ มากกว่า 0.7 แสดงว่าแบบทดสอบมีความเชื่อมั่น สามารถนำไปใช้ทดสอบได้ เมื่อผ่านขั้นตอนต่าง ๆ ของการพัฒนาแบบทดสอบ จะได้แบบทดสอบที่ผ่านเกณฑ์เพื่อนำไปสร้างเป็นคลังข้อสอบของบทเรียน ทั้งหมด 83 ข้อ

4.3 ผลการหาประสิทธิภาพของบทเรียนและประสิทธิผลการเรียนรู้ของโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล

4.3.1 ผลการพัฒนาบทเรียนบนคอมพิวเตอร์

4.3.1.1 ผลการพัฒนาบทเรียนบนคอมพิวเตอร์ ได้บทเรียนพร้อมคู่มือการใช้ โดยเนื้อหาสาระที่อยู่ในชุดการสอนมีทั้งหมด 5 หน่วย ได้แก่ หน่วยการเรียนที่ 1 เรื่อง VHDL Introduction หน่วยการเรียนที่ 2 เรื่อง VHDL Basic หน่วยการเรียนที่ 3 เรื่อง Data Types หน่วยการเรียนที่ 4 เรื่อง VHDL Operator และหน่วยการเรียนที่ 5 เรื่อง Sequential Statement

4.3.1.2 ผลการตรวจสอบคุณภาพ (Quality Evaluation) ของบทเรียน นำโปรแกรมคอมพิวเตอร์ช่วยสอนการออกแบบวงจรรวมดิจิตอลด้วยภาษาวีเอชดีแอล ให้ผู้เชี่ยวชาญทางด้านเทคโนโลยีการศึกษาและคอมพิวเตอร์ช่วยสอนเป็นผู้ประเมิน และตรวจสอบคุณภาพสื่อมัลติมีเดีย (Multimedia) ด้านข้อความหรือตัวอักษร (Text) ด้านภาพนิ่ง (Image) ด้านภาพเคลื่อนไหว (Animation) ด้านเสียง (Audio) ด้านปฏิสัมพันธ์ (Interactive) และด้านอื่น ๆ เช่นความเหมาะสมของการออกแบบจอภาพของบทเรียนพร้อมทั้งให้ข้อแนะนำหรือข้อเสนอแนะ

4.3.2 ผลการหาประสิทธิภาพของบทเรียน

ผลการหาประสิทธิภาพของบทเรียนทั้งหมด 5 หน่วยการเรียน สรุปได้ดังตารางที่ 4.3

ตารางที่ 4.3 แสดงผลการหาประสิทธิภาพของบทเรียนในแต่ละหน่วยการเรียน

หน่วยการเรียนที่	คะแนนระหว่างการเรียน	ประสิทธิภาพ(E_{1i})
1	141	88.13
2	670	88.16
3	469	90.19
4	1054	87.83
5	489	87.32
	E_1	88.33

ตารางที่ 4.4 แสดงผลการหาประสิทธิภาพของบทเรียนเฉลี่ยทั้ง 5 หน่วยการเรียน

รายการ	จำนวนผู้เรียน	คะแนนเต็ม	คะแนนรวมของผู้เรียน	ประสิทธิภาพ
คะแนนทดสอบหลังทำการทดลองครบทุกหน่วยการเรียน(E_2)	40	80	2796	87.38

ผลที่ได้หน่วยการเรียนที่ 1 มีประสิทธิภาพในกระบวนการเรียน 88.125 หน่วยการเรียนที่ 2 มีประสิทธิภาพในกระบวนการเรียน 88.16 หน่วยการเรียนที่ 3 มีประสิทธิภาพในกระบวน การเรียน 90.192 หน่วยการเรียนที่ 4 มีประสิทธิภาพในกระบวนการเรียน 87.83 และหน่วยการเรียนที่ 5 มีประสิทธิภาพในกระบวนการเรียน 87.32 เมื่อพิจารณาแล้วพบว่าหน่วยการเรียนที่มีประสิทธิภาพในกระบวนการเรียนมากกว่า 90.00 มี 1 หน่วยคือหน่วยที่ 3 หน่วยการเรียนที่เหลืออีก 4 หน่วยมีประสิทธิภาพในกระบวนการเรียนระหว่าง 85.00 - 89.99 เมื่อพิจารณาค่าประสิทธิภาพ (E_1) มีค่า 88.33 และ ค่าประสิทธิภาพหลังกระบวนการเรียน (E_2) มีค่าเท่ากับ 87.38 พบว่าประสิทธิภาพของบทเรียนคือ 88.33/87.38 สูงกว่าเกณฑ์ที่ตั้งไว้ 80/80

4.3.3 ผลการหาประสิทธิผลการเรียนรู้ของบทเรียน

จากการทดลองเรียนบทเรียน ผลการเปรียบเทียบผลต่างที่ได้จากการทำแบบทดสอบหลังเรียน (Posttest) กับผลที่ได้จากการทำแบบทดสอบก่อนเรียน (Pretest) ปรากฏผลดังตารางที่ 4.6

ตารางที่ 4.5 แสดงประสิทธิผลทางการเรียนของกลุ่มตัวอย่างที่มีต่อบทเรียน

ผลที่ได้จาก	คะแนนเฉลี่ย	ประสิทธิภาพ	ประสิทธิผล
แบบทดสอบก่อนเรียน (E_{pre})	21.25	26.56	60.82
แบบทดสอบหลังเรียน (E_{post})	69.90	87.38	

จากการศึกษาพบว่า ผลที่ได้จากการทำแบบทดสอบก่อนเรียนซึ่งมีคะแนนเต็ม 80 คะแนน กลุ่มตัวอย่างสามารถทำได้คะแนนเฉลี่ย 21.25 ประสิทธิภาพก่อนกระบวนการ (E_{pre}) เท่ากับ 26.56 และผลที่ได้จากการทำแบบทดสอบหลังเรียนซึ่งมีคะแนนเต็ม 80 คะแนนเช่นกัน กลุ่มตัวอย่างสามารถทำได้คะแนนเฉลี่ย 69.90 คะแนน ประสิทธิภาพหลังกระบวนการ (E_{post}) เท่ากับ 87.38 เมื่อนำผลที่ได้มาหาค่าประสิทธิผลทางการเรียนของกลุ่มตัวอย่าง ได้ค่าประสิทธิผลเท่ากับ 60.82 แสดงว่าบทเรียนที่พัฒนาขึ้นมีประสิทธิผลสามารถนำไปใช้ในการเรียนการสอนได้