

บทที่ 4

การทดสอบออกแบบวงจรกรองอนาล็อกและผลการวิจัย

4.1 เครื่องคอมพิวเตอร์และโปรแกรมที่ใช้ในงานวิจัย

การออกแบบวงจรกรองอนาล็อกโดยใช้เงินเนติกอัลกอริทึมในงานวิจัยนี้ ใช้โปรแกรมแมตแลป (MATLAB) เวอร์ชัน 5.3 บนระบบปฏิบัติการไมโครซอฟท์วินโดวส์มิลเลนเนียม (Microsoft Windows Millennium) โดยเครื่องคอมพิวเตอร์ที่ใช้มีรายละเอียดดังนี้

- หน่วยประมวลผลกลาง (CPU) AMD Athlon Thunderbird ความเร็ว 950 เมกะเฮิร์ตซ์
- เมนบอร์ด (Mainboard) MSI K7T Pro2-a ความเร็ว 200 เมกะเฮิร์ตซ์
- หน่วยความจำหลัก (SDRAM) Hitachi ขนาด 256 เมกะไบต์ ความเร็ว 133 เมกะเฮิร์ตซ์
- หน่วยเก็บข้อมูลหลัก (Harddisk) Seagate ขนาด 20 จิกะไบต์ ความเร็วรอบ 5,200 รอบต่อนาที

4.2 ทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำ

4.2.1 ทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำขั้นพื้นฐาน

ข้อกำหนดที่ใช้ในการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำแสดงดังตารางที่

4.1

ตาราง 4.1 ข้อกำหนดในการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำ

f_p (เฮิร์ตซ์)	f_s (เฮิร์ตซ์)	K_p (เดซิเบล)	K_s (เดซิเบล)
1,500	3,000	1	35

โดยช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ (Passband) คือ ความถี่ตั้งแต่ 0 ถึง f_p เฮิร์ตซ์ และช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ (Stopband) คือ ความถี่ตั้งแต่ f_s เฮิร์ตซ์ขึ้นไป โดยในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้กำหนดอัตราการลดทอนของสัญญาณไม่เกิน K_p เดซิเบล และในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้กำหนดอัตราการลดทอนจะต้องมากกว่าหรือเท่ากับ K_s เดซิเบล

การกำหนดค่าพารามิเตอร์ก่อนการทดสอบ

ในการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำโดยใช้เงินเนติกอัลกอริทึม ได้กำหนดค่าพารามิเตอร์ของตัวแปรต่างๆดังตารางที่ 4.2

ตารางที่ 4.2 การกำหนดค่าพารามิเตอร์ของตัวแปรต่างๆที่ใช้ในการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำโดยใช้เงินเนติกอัลกอริทึม

pop_size	p_m	p_c	PercentRLC (เปอร์เซ็นต์)	PercentSub (เปอร์เซ็นต์)	PercentShort (เปอร์เซ็นต์)	segment_max
250	0.2	0.8	85	10	5	3

f_{min} (เฮิรตซ์)	f_{max} (เฮิรตซ์)	n_dec (จุดต่อเดเคด)
1	3×10^6	100

จากตาราง 4.2 ตัวแปร pop_size คือจำนวนประชากรที่ใช้ในการทำงานของเงินเนติกอัลกอริทึม ซึ่งจะมีค่าคงที่เสมอ

p_m คือ โอกาสที่โครโมโซมจะถูกเลือกมาทำการมิวเตชัน เช่น ถ้า p_m มีค่าเท่ากับ 0.2 จะมีโอกาสโครโมโซมจะถูกเลือกมาทำการมิวเตชันเท่ากับ 20 เปอร์เซ็นต์ของประชากรทั้งหมด

p_c คือ โอกาสที่โครโมโซมจะถูกเลือกมาทำการครอสโอเวอร์ ทั้งนี้ค่าของ p_m และ p_c จะไม่เกี่ยวข้องกัน โดยค่าของ p_m บวก p_c ไม่จำเป็นต้องเท่ากับ 1.0 เนื่องจากในงานวิจัยนี้ได้ออกแบบให้การทำงานของมิวเตชันและครอสโอเวอร์เป็นอิสระต่อกันนั่นเอง

PercentRLC คือ โอกาสที่จะสร้างอุปกรณ์ตัวต้านทาน ตัวเหนี่ยวนำ หรือตัวเก็บประจุเพียงตัวเดียว

PercentSub คือ โอกาสที่จะสร้างอุปกรณ์ที่เป็นตัวเหนี่ยวนำขนานกับตัวเก็บประจุหรือตัวเหนี่ยวนำอนุกรมกับตัวเก็บประจุ (Sub Component)

PercentShort คือ โอกาสที่จะสร้างการเชื่อมต่อแบบไม่มีอุปกรณ์ตัวใดเชื่อมต่ออยู่ในตำแหน่งนั้น (Short Segment) ซึ่งค่าของ Percent_RLC บวก Percent_Sub บวก Percent_Short จะต้องมีค่าเท่ากับ 100 เปอร์เซ็นต์เสมอ ทั้งนี้เนื่องจากการสุ่มเลือกชนิดของอุปกรณ์จะต้องได้เป็นอุปกรณ์ชนิดใดชนิดหนึ่งจากสามรูปแบบนี้

segment_max คือ จำนวนอันดับเริ่มต้นสูงสุดที่เป็นไปได้ของวงจร ซึ่งจำนวนอันดับสูงสุดนี้ สามารถเปลี่ยนแปลงได้ในภายหลัง เมื่อโปรแกรมไม่สามารถหาค่าความเหมาะสมที่ดีกว่าเดิมได้ครบ 3 รอบ จะกำหนดให้มีการเพิ่มจำนวนอันดับของวงจรเพื่อให้โปรแกรมสามารถหาโครโมโซมที่มีค่าความเหมาะสมดีกว่าเดิมได้อีก

f_{min} คือ ความถี่ต่ำสุดที่พิจารณาในการออกแบบวงจรกรองอนาล็อก

f_{max} คือ ความถี่สูงสุดที่พิจารณาในการออกแบบวงจรกรองอนาล็อก

n_dec คือ จำนวนจุดที่ใช้ในการพิจารณาต่อเดเคด เช่น ถ้า n_dec เท่ากับ 100 จุดต่อเดเคด จะมีการพิจารณาในช่วงความถี่ 1 ถึง 10 เฮิรตซ์ จำนวน 100 จุด และในช่วงความถี่ 10 ถึง 100 เฮิรตซ์ 100 จุดตามลำดับ

ผลการทดสอบ

จากการทดสอบโดยใช้เงินเนติกอัลกอริทึมออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำ ตามข้อกำหนดในตาราง 4.1 ได้ผลดังแสดงในตาราง 4.3

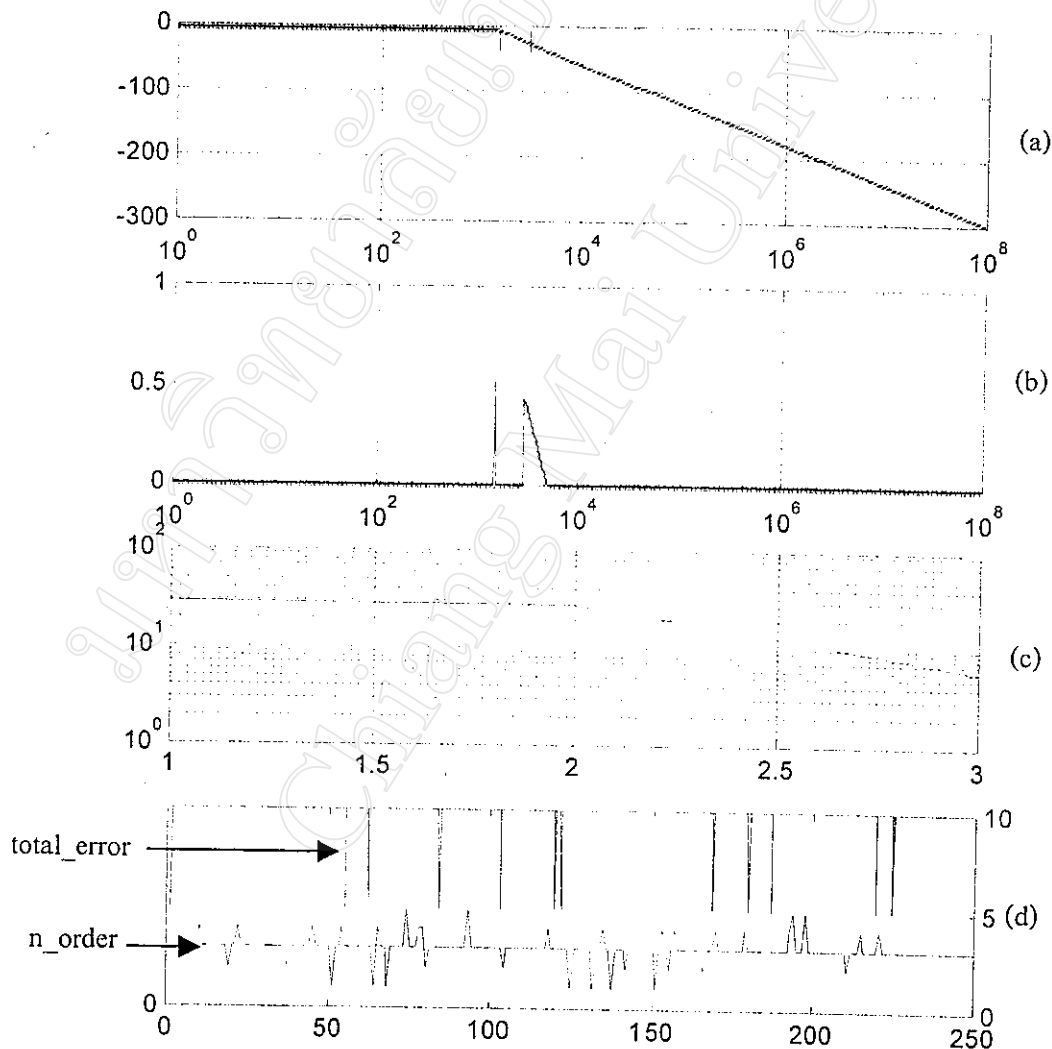
ตารางที่ 4.3 ผลการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำโดยใช้เงินเนติกอัลกอริทึม

Method	Epoch	Total time	n_order	n_component
GA 1 st	25	10 min 47.13 sec	8	8
GA 2 nd	3	1 min 41.30 sec	4	5
GA 3 rd	12	5 min 46.25 sec	5	5
Butterworth	-	-	10	10

จากตารางที่ 4.3 จะเห็นว่า เมื่อทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำแล้ว เงินเนติกอัลกอริทึมจะสามารถออกแบบวงจรตามข้อกำหนดในตารางที่ 4.1 ได้ โดยจากการออกแบบทั้ง 3 ครั้ง ได้วงจรที่แตกต่างกัน แต่ทั้ง 3 วงจรล้วนเป็นวงจรที่มีค่าความเหมาะสมที่สุดเท่ากับศูนย์ทั้งหมด ซึ่งจะเห็นได้ว่า ในการออกแบบ โดยใช้เงินเนติกอัลกอริทึมในครั้งที่สอง ได้จำนวนอันดับที่โปรแกรมสังเคราะห์ได้ต่ำสุดเท่ากับ 4 และใช้จำนวนอุปกรณ์เท่ากับ 5 ตัว

ทั้งนี้จำนวนอันดับที่โปรแกรมสังเคราะห์ได้กับจำนวนอุปกรณ์ที่ใช้ไม่จำเป็นต้องมีค่าเท่ากัน โดยหากมีตัวเหนี่ยวนำที่ต้องขนานกับตัวเก็บประจุ หรือตัวเหนี่ยวนำต่ออนุกรมกับตัวเก็บประจุนับเป็นจำนวนอันดับเท่ากับ 1 และจะมีจำนวนอุปกรณ์ที่ใช้เท่ากับ 2 ตัวนั่นเอง

รูปที่ 4.1 เป็นกราฟแสดงการทำงานของโปรแกรมการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำโดยใช้เงินเนติกอัลกอริทึม โดยรูปที่ 4.1 (a) แสดงค่าของแรงดันด้านขาออก ณ ความถี่ต่างๆ ของวงจรกรองอนาล็อก เมื่อกำหนดให้แรงดันของแหล่งจ่ายมีขนาดสูงสุด 1 โวลต์ ในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ (Passband) จะมีระดับแรงดันสูงสุด ซึ่งมีค่าเท่ากับ $20\log(0.5)$ หรือ ประมาณ -6.02 เดซิเบล และแรงดันด้านขาออกในช่วงความถี่นี้ จะมีระดับการแกว่งไม่เกิน $\pm K_p$ เดซิเบล และในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ (Stopband) ระดับของแรงดันด้านขาออก จะต้องมิต่ำกว่า $-6.02-K_s$ เดซิเบลนั่นเอง



รูปที่ 4.1 กราฟแสดงการทำงานของโปรแกรมการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำโดยใช้เงินเนติกอัลกอริทึม

รูปที่ 4.1 (b) แสดงค่าความผิดพลาด ณ จุดความถี่ต่างๆของวงจรที่ออกแบบได้ โดยจากกราฟจะสังเกตเห็นได้ว่า กราฟจะมีลักษณะเพิ่มขึ้นสองจุด บริเวณจุด f_p และ จุด f_s ซึ่งแสดงให้เห็นว่า แรงดันด้านขาออกในความถี่ช่วงนี้ ยังมีค่าไม่ตรงกับข้อกำหนดในการออกแบบวงจรนั่นเอง ทั้งนี้ วงจรที่ออกแบบได้จะตรงกับข้อกำหนดในการออกแบบ เมื่อค่าความผิดพลาดรวมของวงจรนั้นๆ มีค่าเท่ากับศูนย์ ซึ่งหาได้จากผลรวมของค่าความผิดพลาด ณ ความถี่ต่างๆตั้งแต่ f_{min} ถึง f_{max} นั่นเอง

รูปที่ 4.1 (c) แสดงการเปลี่ยนแปลงของค่าความผิดพลาดรวมของโครโมโซมตัวที่ดีที่สุด ที่พบในแต่ละรุ่น ซึ่งจะมีค่าลดลงเรื่อยๆจนมีค่าเท่ากับศูนย์ในที่สุด

รูปที่ 4.1 (d) แสดงค่าความผิดพลาดรวมของแต่ละโครโมโซมในประชากรทั้งหมด (total_error) โดยยังแสดงจำนวนอันดับของแต่ละโครโมโซม (n_order) ไว้อีกด้วย

โดยลักษณะโครโมโซมที่ดีที่สุดของวงจรกรองอนาลอกแบบผ่านต่ำที่เงินเนติกอัลกอริทึม ออกแบบได้ในครั้งที่ 1 2 และ 3 แสดงดังรูปที่ 4.2(a) (b) และ (c) ตามลำดับ

308	598	308	598	202	553	303	581
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
1	2	0	0	0	0	0	0

(a) การทดสอบครั้งที่ 1

-2	598	308	584
531	0	0	0
305	0	0	0
1	1	0	0

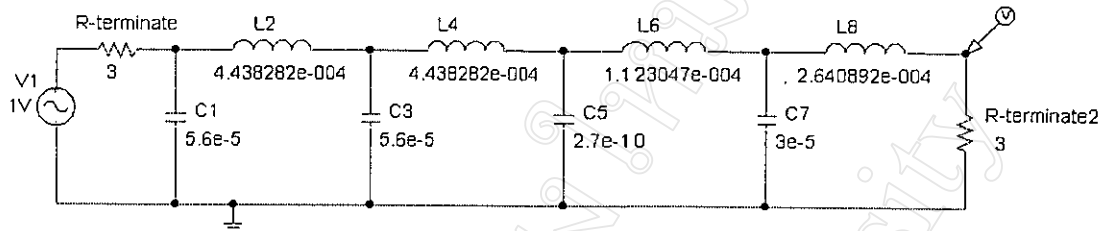
(b) การทดสอบครั้งที่ 2

692	285	692	288	667
0	0	0	0	0
0	0	0	0	0
0	27	0	0	0

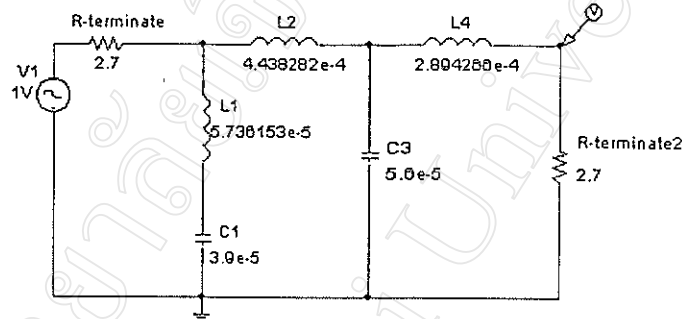
(c) การทดสอบครั้งที่ 3

รูปที่ 4.2 ลักษณะโครโมโซมของคำตอบที่เงินเนติกอัลกอริทึมออกแบบได้

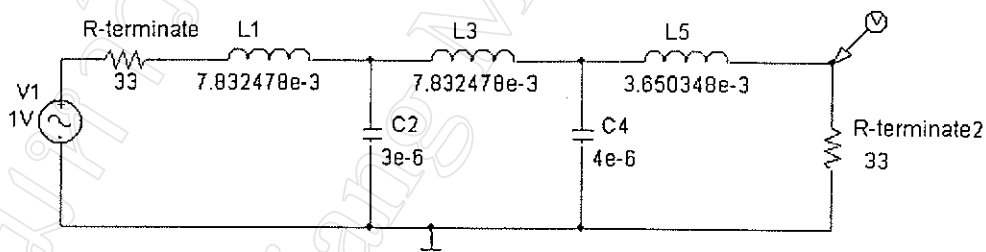
จากรูปที่ 4.2 (a) (b) และ (c) สามารถถอดรหัสออกเป็นการเชื่อมต่อของวงจรกรองอนาล็อกแบบผ่านต่ำได้ดังรูปที่ 4.3 (a) (b) และ (c) ตามลำดับ



(a) การทดสอบครั้งที่ 1



(b) การทดสอบครั้งที่ 2



(c) การทดสอบครั้งที่ 3

รูปที่ 4.3 ลักษณะการเชื่อมต่อของวงจรกรองอนาล็อกแบบผ่านต่ำที่ได้จากการถอดรหัสของโครโมโซมในรูปที่ 4.2

จากรูปที่ 4.3 (a) จะเห็นว่า มีการเริ่มเชื่อมต่อตัวต้านทานปิดด้านหัวของวงจร (R-terminate) จากแหล่งจ่ายแรงดัน (V1) จากนั้นจึงต่อตัวเก็บประจุ (C1) ด้านล่าง และตัวเหนี่ยวนำด้านบน (L2) สลับกันไปจนถึงตัวเหนี่ยวนำตัวสุดท้าย (L8) แล้วจึงต่อตัวต้านทานปิดด้านท้ายของวงจร (R-terminate2) ซึ่งมีค่าเท่ากับตัวต้านทานปิดหัวของวงจร คือ 3 โอห์มลงกราวด์ ดังจะเห็นได้ว่าการเชื่อมต่อวงจรนี้มีลักษณะเหมือนกับการเชื่อมต่อแบบขั้นบันไดนั่นเอง

เช่นเดียวกันกับรูปที่ 4.3 (c) ซึ่งมีลักษณะการเชื่อมต่อคล้ายกับการเชื่อมต่อวงจรในรูปที่ 4.2 (a) โดยจะมีความแตกต่างกันที่จะเริ่มเชื่อมต่อจากตัวเหนี่ยวนำด้านบน (L1) ก่อน จากนั้นจึงสลับเป็นตัวเก็บประจุด้านล่างไปตามลำดับ ซึ่งรหัสของอินสก์ภายในตำแหน่ง (4,1) ของโครโมโซมในรูปที่ 4.1 (a) และ (c) จะเป็นตัวกำหนดว่าจะให้วงจรเริ่มเชื่อมต่อจากด้านบนหรือล่างก่อนนั่นเอง

ในรูปที่ 4.3 (b) จะสังเกตเห็นได้ว่า มีการเชื่อมต่อตัวเหนี่ยวนำ (L1) อนุกรมกับตัวเก็บประจุ (C1) ซึ่งทำให้เกิดจุดขั้ว (Pole) ขึ้น โดยจุดขั้วนี้จะเป็นส่วนที่ช่วยให้แรงดันด้านขาออกของ วงจรในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ (Stop-band) จะถูกลดทอนได้เร็วขึ้น จึงมีผลทำให้วงจรที่ออกแบบได้โดยใช้เงินเนติกอัลกอริทึมในครั้งที่ 2 นี้มีจำนวนอันดับที่ต่ำ และใช้จำนวนอุปกรณ์ที่น้อยกว่าการออกแบบในครั้งอื่น โดยการเชื่อมต่อตัวเหนี่ยวนำและตัวอนุกรมที่ทำให้เกิดการสั่นพ้อง (Resonance) เป็นแบบขั้ว (Pole) หรือแบบศูนย์ (Zero) นั้น จุดความถี่สั่นพ้องจะสามารถคำนวณได้ดังสมการ (4.1)

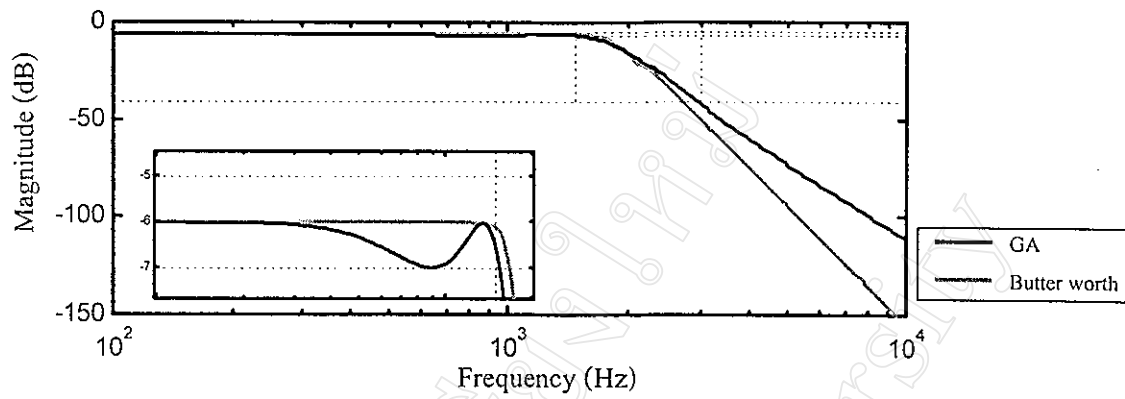
$$f_{\text{resonance}} = \frac{1}{2\pi\sqrt{LC}} \quad (4.1)$$

เมื่อ $f_{\text{resonance}}$ คือ จุดความถี่สั่นพ้อง

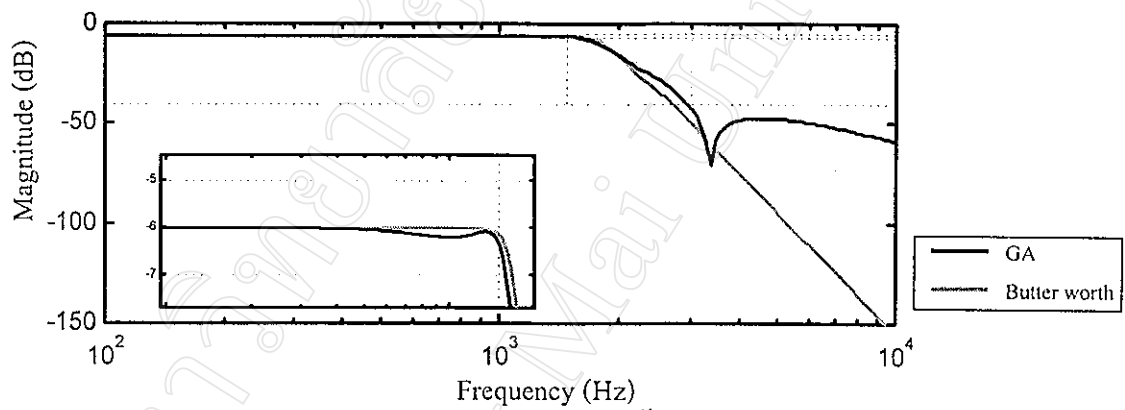
L คือ ค่าของตัวเหนี่ยวนำ มีหน่วยเป็นเฮนรี

C คือ ค่าของตัวเก็บประจุ มีหน่วยเป็นฟารัด

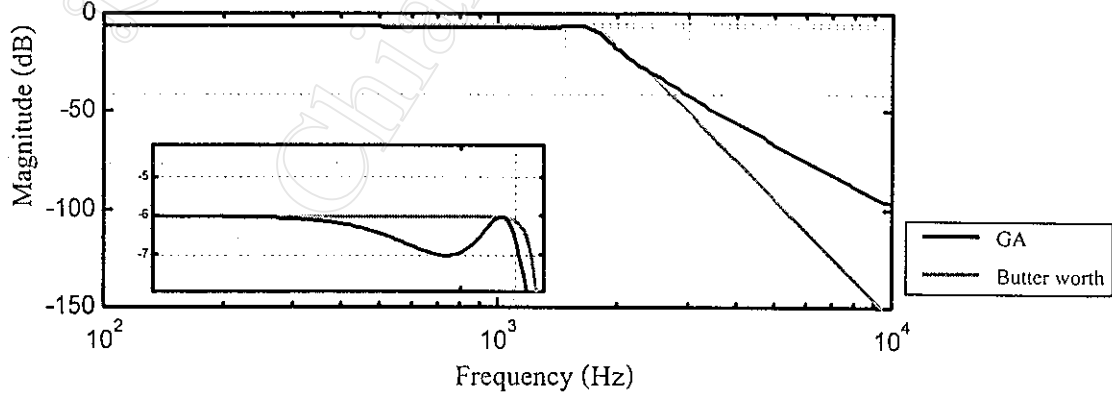
นอกจากนี้ยังได้นำข้อกำหนดในการออกแบบเดียวกันนี้ไปออกแบบวงจร โดยใช้วิธีการประมาณค่าแบบบัตเตอร์เวิร์ด (Butterworth Approximation) ซึ่งสามารถออกแบบได้วงจรที่มีจำนวนอันดับเท่ากับ 7 แต่เมื่อนำมาหาค่าความผิดพลาดแล้ว พบว่า เกิดความผิดพลาดที่ความถี่ f_p ซึ่งแรงดันด้านขาออกของวงจรตกลงต่ำกว่า $-K_p$ เดซิเบล ดังนั้นจึงแก้ไขโดยการกำหนดให้ค่าความถี่ f_p เพิ่มขึ้นเป็น 1,800 เฮิร์ตซ์ f_p ใช้ค่าเดิมคือ 3,000 เฮิร์ตซ์ จึงสามารถหาค่าความผิดพลาดรวมได้เท่ากับ 0 โดยใช้จำนวนอันดับเท่ากับ 10 โดยลักษณะแรงดันด้านขาออกของวงจรที่ออกแบบโดยใช้วิธีเงินเนติกอัลกอริทึมเปรียบครั้งที่ 1 2 และ 3 เปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ดแสดงดังรูปที่ 4.4 (a) (b) และ (c) ตามลำดับ



(a) การทดสอบครั้งที่ 1



(b) การทดสอบครั้งที่ 2



(c) การทดสอบครั้งที่ 3

รูปที่ 4.4 แรงดันด้านขาออก ณ ความถี่ต่างๆของวงจรที่ออกแบบโดยใช้เงื่อนไขอัตรากว้าง

4.2.2 การทดสอบที่กำหนดให้อัตราการลดทอนของสัญญาณต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

การทดสอบต่อจากนี้ไปจะเป็นการทดสอบการออกแบบวงจรกรองอนาล็อกในด้านต่างๆ ซึ่งจะกำหนดให้การเปลี่ยนแปลงข้อกำหนดเพียงบางค่าเท่านั้น โดยข้อกำหนดอื่นๆ และค่าพารามิเตอร์ของเงินเนติกอัลกอริทึมจะใช้ค่าเดิมทั้งหมดตามตารางที่ 4.1 และ 4.2 ตามลำดับ

กำหนดให้อัตราการลดทอนของสัญญาณ (K_p) ต่ำ คือ มีค่าเท่ากับ 0.05 เดซิเบล

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้อัตราการลดทอนของสัญญาณต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้แสดงดังตารางที่ 4.4 และรูปที่ 4.5

4.2.3 การทดสอบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันมีค่าอยู่ระหว่างจุด f_p คือ 1,500 เฮิรตซ์ และจุด f_s คือ 1,600 เฮิรตซ์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ แสดงดังตารางที่ 4.5 และรูปที่ 4.6

4.2.4 การทดสอบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ (K_p) มีค่าเท่ากับ 200 เดซิเบล และกำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ (K_p) มีค่าเท่ากับ 3 เดซิเบล

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้แสดงดังตารางที่ 4.6 และรูปที่ 4.7

4.2.5 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 1 เมกะเฮิรตซ์

กำหนดให้ช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิรตซ์ จนถึงจุด f_p คือ 1.5 เมกะเฮิรตซ์ และช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_s คือ 3 เมกะเฮิรตซ์จนถึงความถี่อนันต์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 1 เมกะเฮิรตซ์แสดงดังตารางที่ 4.7 และรูปที่ 4.8

4.2.6 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 100 เมกะเฮิร์ตซ์

กำหนดให้ช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์ จนถึงจุด f_p คือ 150 เมกะเฮิร์ตซ์ และช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_s คือ 300 เมกะเฮิร์ตซ์จนถึงความถี่อนันต์

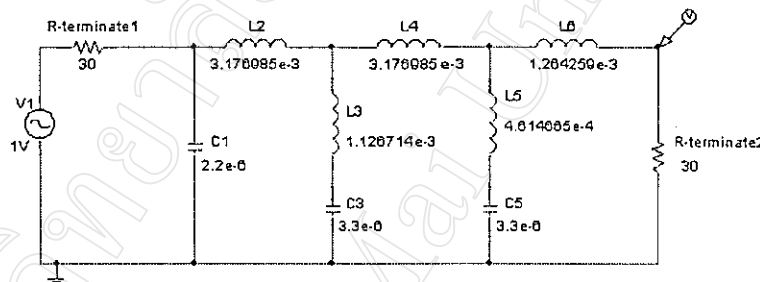
ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 100 เมกะเฮิร์ตซ์แสดงดังตารางที่ 4.8 และรูปที่ 4.9

ตารางที่ 4.4 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้อัตราลดทอนของสัญญาณต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

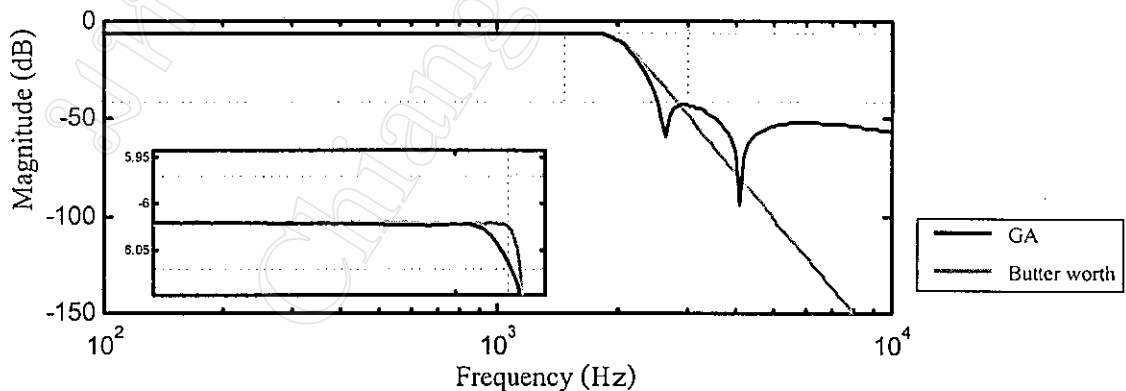
Method	Epoch	Total time	n_order	n_component
GA	20	9 min 58.41 sec	6	8
Butterworth	-	-	12	12

283 692 -2 692 -2 660
 0 0 656 0 625 0
 0 0 286 0 286 0
 1 26 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

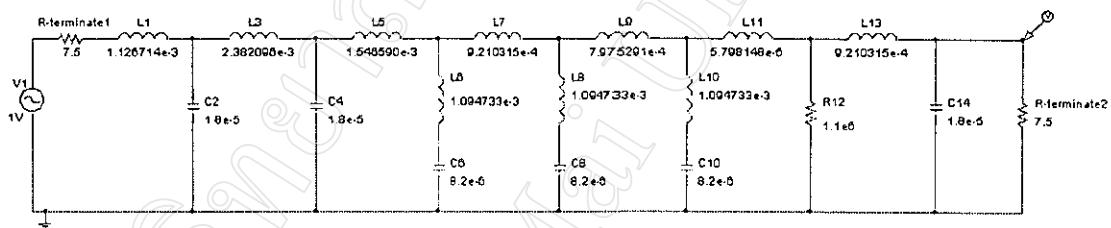
รูปที่ 4.5 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้อัตราการลดทอนของสัญญาณต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

ตารางที่ 4.5 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

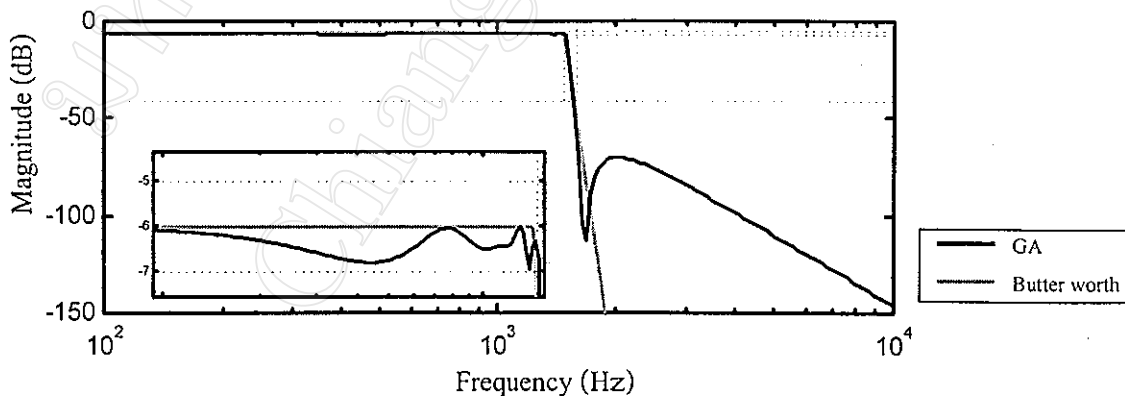
Method	Epoch	Total time	n_order	n_component
GA	84	41 min 6.20 sec	14	17
Butterworth	-	-	73	73

656 298 682 298 667 -2 649 -2 644 -2 473 136 649 298
 0 0 0 0 0 655 0 655 0 655 0 0 0 0
 0 0 0 0 0 295 0 295 0 295 0 0 0 0
 0 12 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

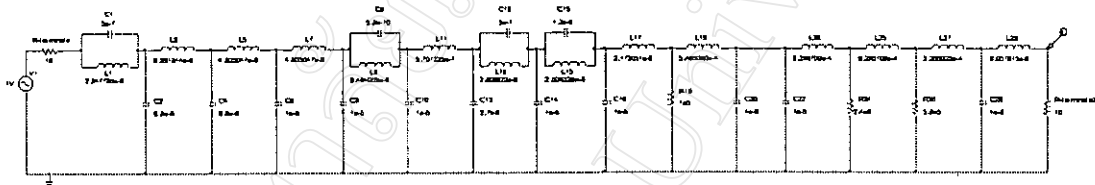
รูปที่ 4.6 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

ตารางที่ 4.6 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

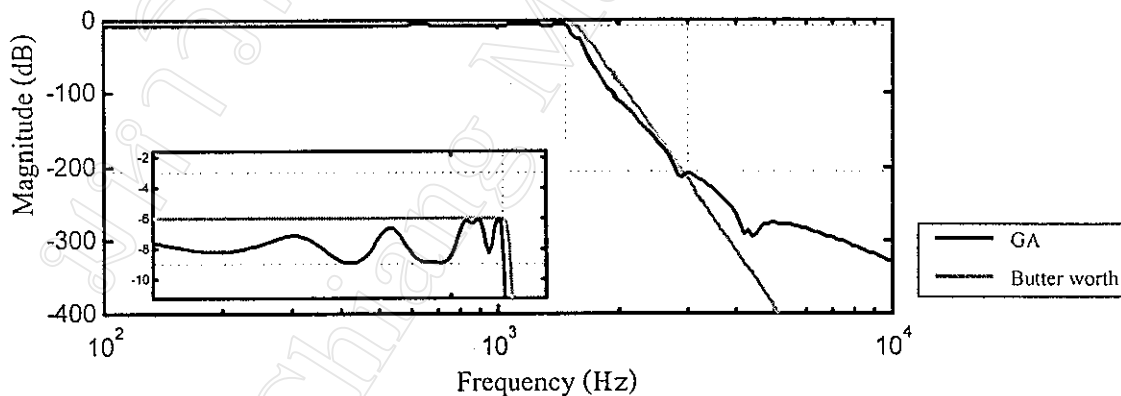
Method	Epoch	Total time	n_order	n_component
GA	175	1 hr 53 min 51.52 sec	28	32
Butterworth	-	-	40	40

-1 293 688 293 676 296 676 296 -1 296 380 284 -1 296 -1296 650 111 605 288 0 296 622 144 622 129 576 288 435
 660 0 0 0 0 0 0 0 665 0 0 0 656 0 656 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 274 0 0 0 0 0 0 0 211 0 0 0 274 0 279 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 0 15 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

รูปที่ 4.7 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

ตารางที่ 4.7 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 1 เมกะเฮิร์ตซ์

Method	Epoch	Total time	n_order	n_component
GA	12	7 min 1.99 sec	5	6
Butterworth	-	-	9	9

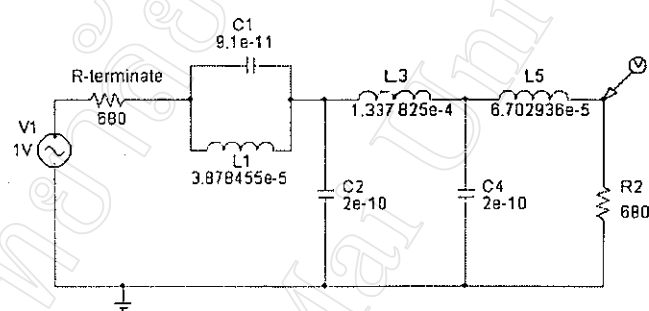
-1 198 582 198 558

539 0 0 0 0

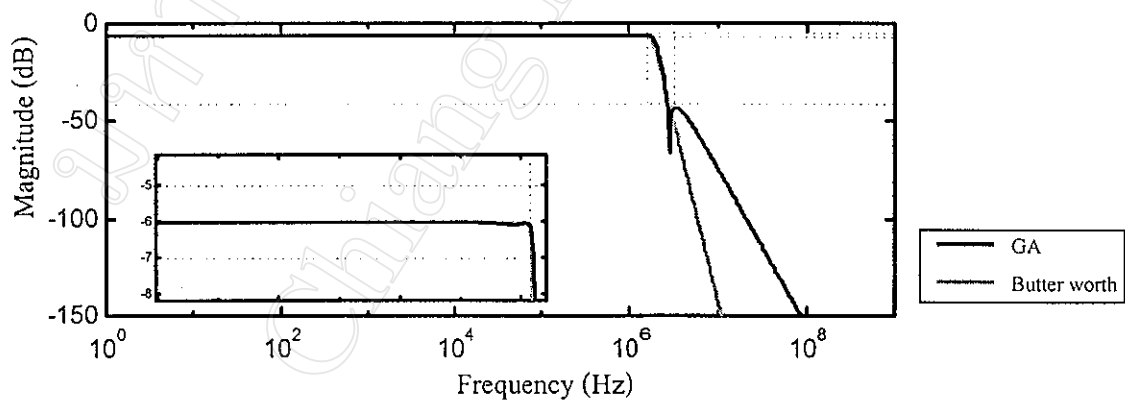
190 0 0 0 0

0 59 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

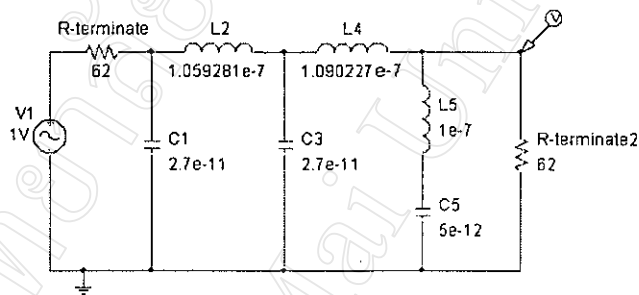
รูปที่ 4.8 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 1 เมกะเฮิร์ตซ์

ตารางที่ 4.8 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 100 เมกะเฮิร์ตซ์

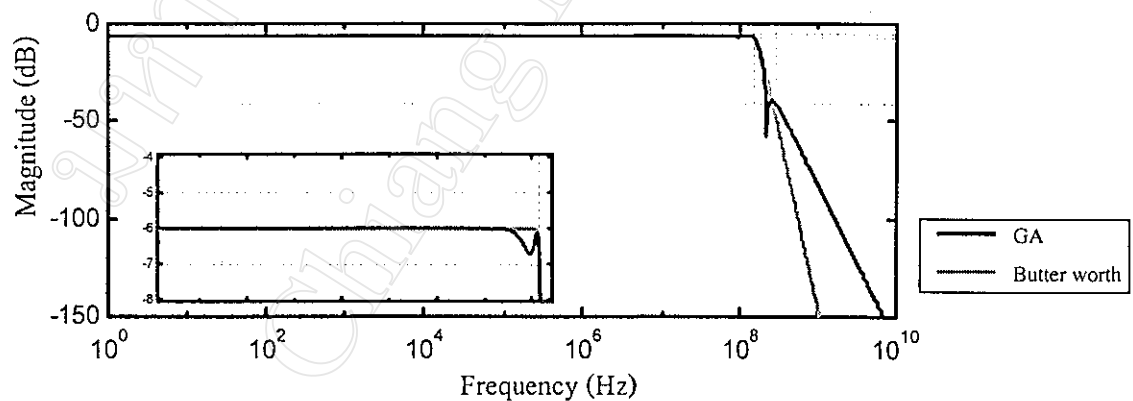
Method	Epoch	Total time	n_order	n_component
GA	12	7 min 14.68 sec	5	6
Butterworth	-	-	9	9

176 334 176 335 -2
 0 0 0 0 333
 0 0 0 0 168
 1 34 0 0 0

(a) ลักษณะ โครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

รูปที่ 4.9 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านต่ำที่ช่วงความถี่ 100 เมกะเฮิร์ตซ์

4.3 การทดสอบวงจรกรองอนาล็อกแบบผ่านสูง

4.3.1 ทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านสูงขั้นพื้นฐาน

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิรตซ์ จนถึงจุด f_s คือ 10,000 เฮิรตซ์ และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่จุด f_p คือ 20,000 เฮิรตซ์จนถึงความถี่อนันต์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงขั้นพื้นฐานแสดงดังตารางที่ 4.9 และรูปที่ 4.10

4.3.2 การทดสอบที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ (K_p) มีค่าเท่ากับ 0.05 เดซิเบล

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้แสดงดังตารางที่ 4.10 และรูปที่ 4.11

4.3.3 การทดสอบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

กำหนดให้ช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันมีค่าอยู่ระหว่างจุด f_s คือ 10,000 เฮิรตซ์ และจุด f_p คือ 11,000 เฮิรตซ์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบแสดงดังตารางที่ 4.11 และรูปที่ 4.12

4.3.4 การทดสอบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ (K_s) มีค่าเท่ากับ 200 เดซิเบล และกำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าเท่ากับ 3 เดซิเบล

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้แสดงดังตารางที่ 4.12 และรูปที่

4.3.5 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 1 เมกะเฮิร์ตซ์

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์ จนถึงจุด f_c คือ 1 เมกะเฮิร์ตซ์ และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_c คือ 2 เมกะเฮิร์ตซ์จนถึงความถี่อนันต์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 1 เมกะเฮิร์ตซ์แสดงดังตารางที่ 4.13 และรูปที่ 4.14

4.3.6 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 10 เมกะเฮิร์ตซ์

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์ จนถึงจุด f_c คือ 10 เมกะเฮิร์ตซ์ และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_c คือ 20 เมกะเฮิร์ตซ์จนถึงความถี่อนันต์

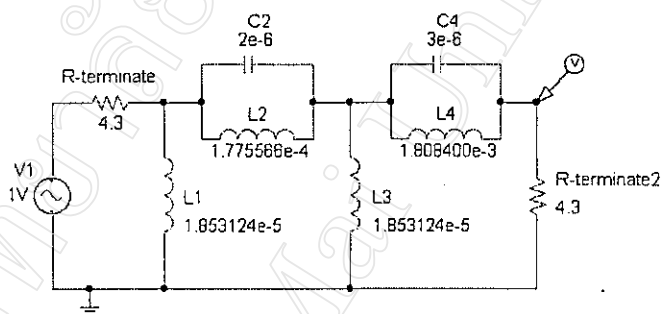
ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 10 เมกะเฮิร์ตซ์แสดงดังตารางที่ 4.14 และรูปที่ 4.15

ตารางที่ 4.9 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงขั้นพื้นฐาน

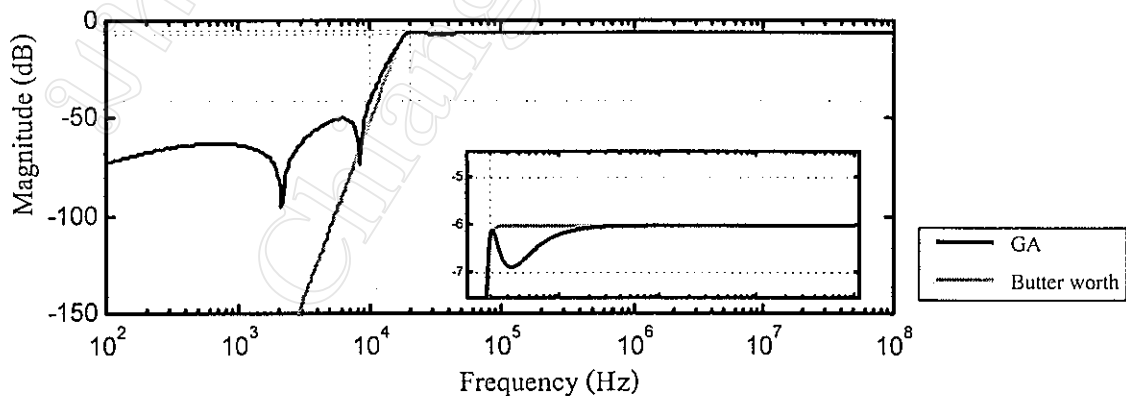
Method	Epoch	Total time	n_order	n_component
GA	9	3 min 46.4 sec	4	6
Butterworth	-	-	11	22

494 -1 494 -1
 0 568 0 644
 0 282 0 285
 1 6 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ต

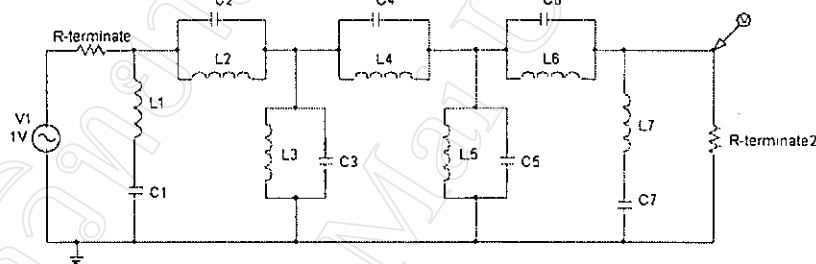
รูปที่ 4.10 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงขั้นพื้นฐาน

ตารางที่ 4.10 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้การกระพือมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

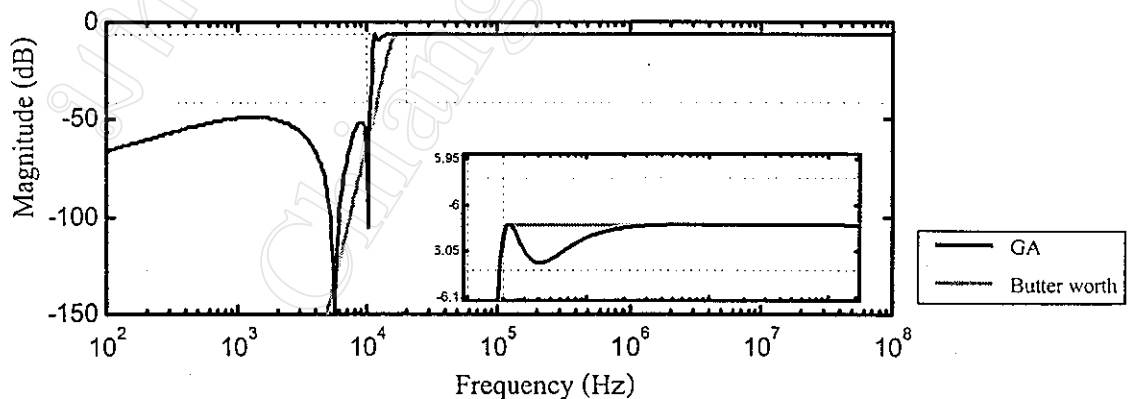
Method	Epoch	Total time	n_order	n_component
GA	27	13 min 24.99 sec	7	14
Butterworth	-	-	14	14

-2 -1 -1 -1 -1 -1 -2
 559 591 516 591 516 591 559
 281 283 182 283 180 283 281
 1 5 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบ โดยใช้วิธีเงินเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัดเดอร์เวิร์ต

รูปที่ 4.11 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้การกระพือมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

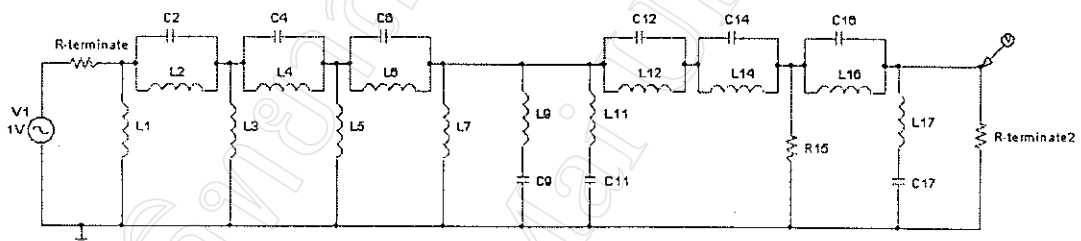
ตารางที่ 4.11 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้ระยะ

ช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแถบ

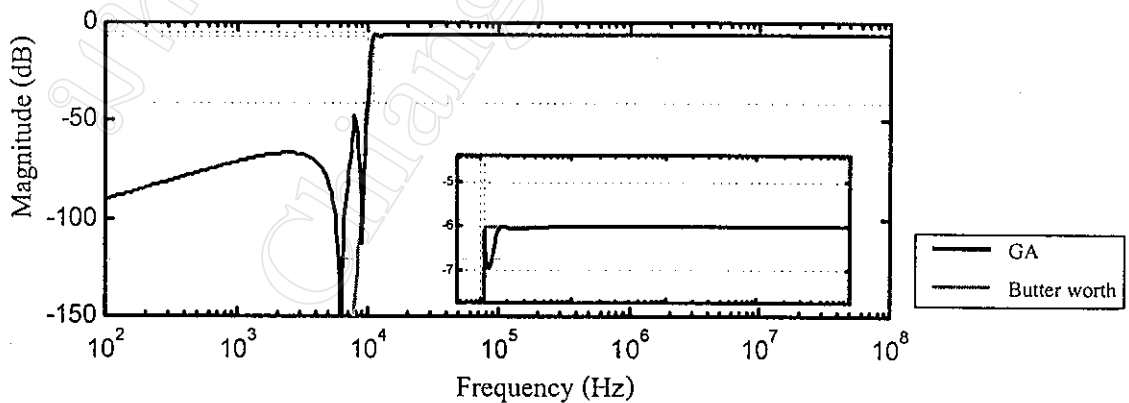
Method	Epoch	Total time	n_order	n_component
GA	108	6 min 47.25 sec	14	23
Butterworth	-	-	50	50

558 -1 534 -1 534 -1 558 0 -2 0 -2 -1 0 -1 115 -1 -2
 0 598 0 598 0 598 0 0 608 0 608 430 0 430 0 528 608
 0 280 0 280 0 280 0 0 274 0 274 312 0 312 0 292 274
 1 10 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

รูปที่ 4.12 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแถบ

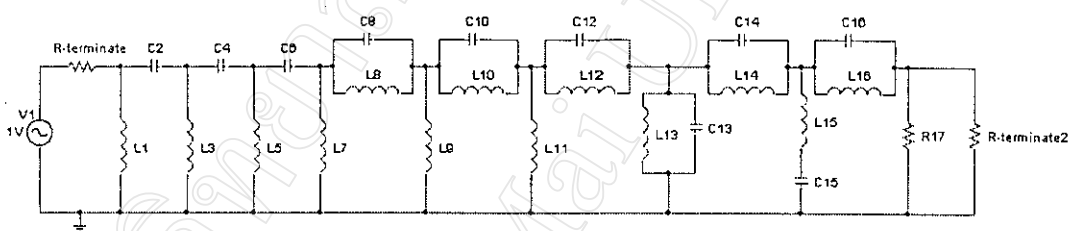
ตารางที่ 4.12 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้อัตรา

การลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

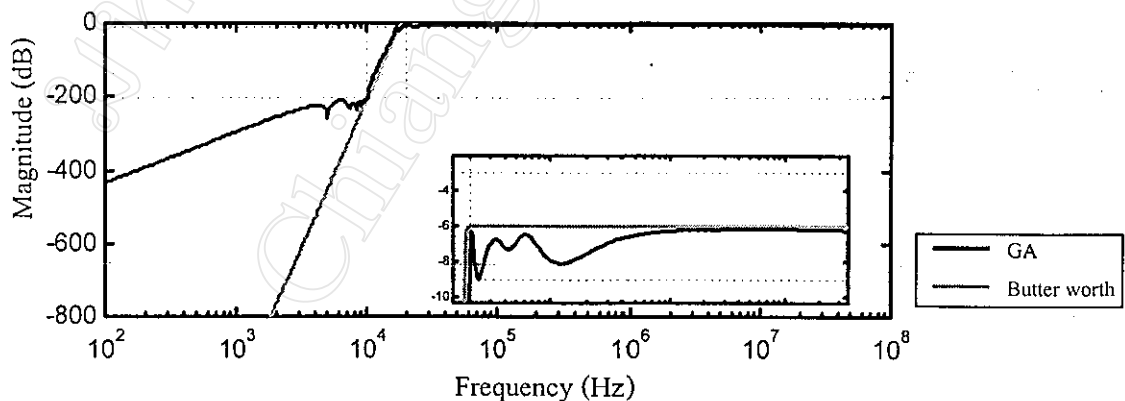
Method	Epoch	Total time	n_order	n_component
GA	83	51 min 48.13 sec	17	24
Butterworth	-	-	40	40

459 288 459 288 459 288 459 -1 459 -1 474 -1 -1 -1 -2 -1 35
 0 0 0 0 0 0 0 589 0 564 0 556 487 540 522 467 0
 0 0 0 0 0 0 0 285 0 285 0 285 208 288 292 303 0
 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

รูปที่ 4.13 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่กำหนดให้

อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

ตารางที่ 4.13 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 1 เมกะเฮิร์ตซ์

Method	Epoch	Total time	n_order	n_component
GA	10	5 min 28.95 sec	5	6
Butterworth	-	-	9	9

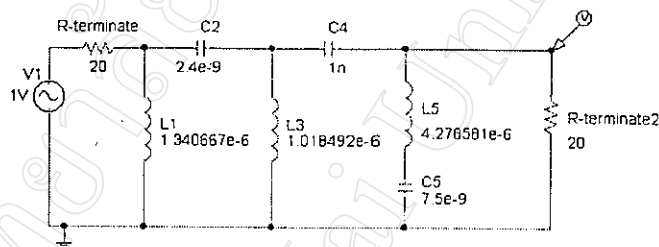
408 226 399 226 -2

0 0 0 0 446

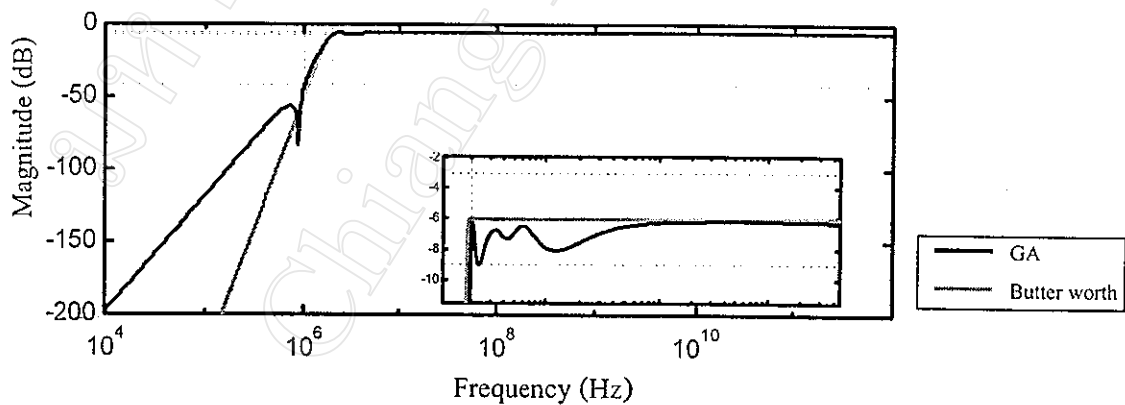
0 0 0 0 242

1 22 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันค่านำออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัดเดอร์เวิร์ต

รูปที่ 4.14 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 1 เมกะเฮิร์ตซ์

ตารางที่ 4.14 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 10 เมกะเฮิร์ตซ์

Method	Epoch	Total time	n_order	n_component
GA	15	5 min 59.6 sec	5	5
Butterworth	-	-	9	9

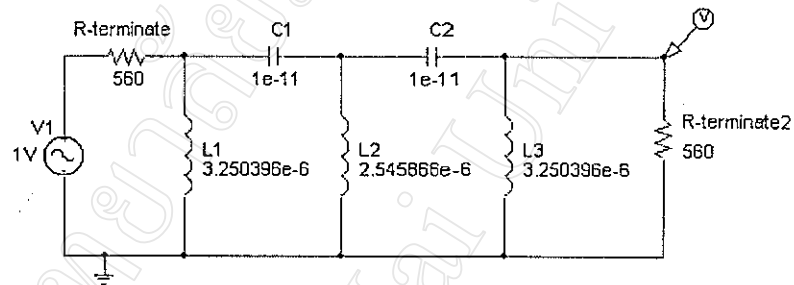
437 169 429 169 437

0 0 0 0 0

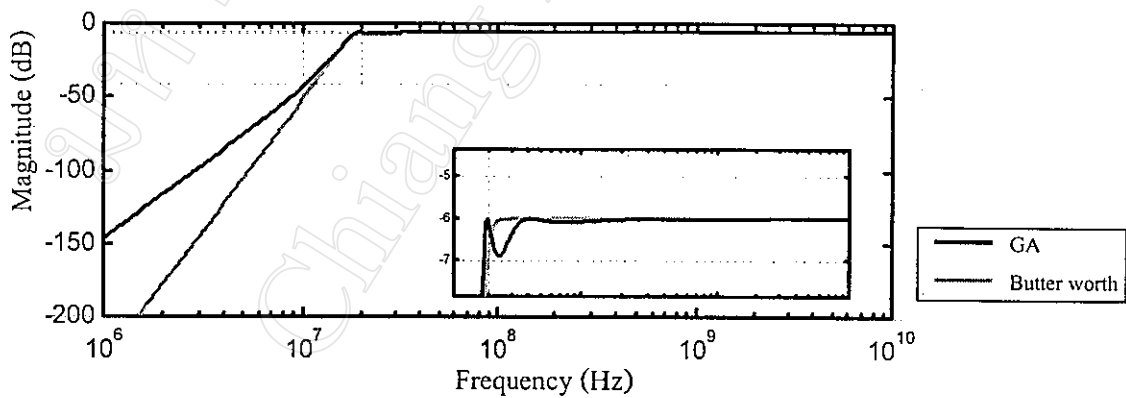
0 0 0 0 0

1 57 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัดเดอร์เวิร์ต

รูปที่ 4.15 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านสูงที่ช่วงความถี่ 10 เมกะเฮิร์ตซ์

4.4 การทดสอบวงจรกรองอนาล็อกแบบผ่านแถบ

4.4.1 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านแถบขั้นพื้นฐาน

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิรตซ์ จนถึงจุด f_{s1} คือ 10,000 เฮิรตซ์ และตั้งแต่ f_{s2} คือ 90,000 เฮิรตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_{p1} คือ 15,000 เฮิรตซ์ จนถึง f_{p2} คือ 60,000 เฮิรตซ์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบขั้นพื้นฐานแสดงดังตารางที่ 4.15 และรูปที่ 4.16

4.4.2 การทดสอบที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าเท่ากับ 0.05 เดซิเบล

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้แสดงดังตารางที่ 4.16 และรูปที่ 4.17

4.4.3 การทดสอบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิรตซ์ จนถึงจุด f_{s1} คือ 10,000 เฮิรตซ์ และตั้งแต่ f_{s2} คือ 66,000 เฮิรตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_{p1} คือ 11,000 เฮิรตซ์ จนถึง f_{p2} คือ 60,000 เฮิรตซ์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบแสดงดังตารางที่ 4.17 และรูปที่ 4.18

4.4.4 การทดสอบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ (K_s) มีค่าเท่ากับ 200 เดซิเบล และอัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ (K_p) มีค่าเท่ากับ 3 เดซิเบล

จากการทดสอบพบว่า เมื่อใช้จำนวนประชากรเท่ากับ 250 ตัว วงจรที่เจเนติกอัลกอริทึมออกแบบได้มีจำนวนอุปกรณ์เท่ากับ 50 ซึ่งสูงกว่าจำนวนอุปกรณ์ที่ออกแบบโดยวิธี

การประมาณค่าแบบแบตเตอรี่เวอร์ต (ใช้จำนวนอุปกรณ์ 48 ตัว) ดังนั้นจึงเพิ่มจำนวนประชากรขึ้นเป็น 1,000 ตัว จึงสามารถค้นพบวงจรที่ใช้จำนวนอุปกรณ์น้อยกว่าได้ในที่สุด

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้แสดงดังตารางที่ 4.18 และรูปที่ 4.19

4.4.5 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านแถบในช่วงความถี่ 1 ถึง 9 เมกะเฮิร์ตซ์

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์จนถึงจุด f_{s1} คือ 1 เมกะเฮิร์ตซ์ และตั้งแต่จุด f_{s2} คือ 9 เมกะเฮิร์ตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่จุด f_{p1} คือ 1.5 เมกะเฮิร์ตซ์จนถึงจุด f_{p2} คือ 6 เมกะเฮิร์ตซ์

จากการทดสอบพบว่า เมื่อใช้จำนวนประชากรเท่ากับ 250 ตัว วงจรที่เงินเนติกอัลกอริทึมออกแบบได้มีจำนวนอุปกรณ์เท่ากับ 24 ซึ่งสูงกว่าจำนวนอุปกรณ์ที่ออกแบบโดยใช้วิธีการประมาณค่าแบบแบตเตอรี่เวอร์ต (ใช้จำนวนอุปกรณ์ 22 ตัว) ดังนั้นจึงเพิ่มจำนวนประชากรขึ้นเป็น 1,000 ตัว จึงสามารถค้นพบวงจรที่ใช้จำนวนอุปกรณ์น้อยกว่าได้ในที่สุด

ผลการทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านแถบในช่วงความถี่ 1 ถึง 9 เมกะเฮิร์ตซ์แสดงดังตารางที่ 4.19 และรูปที่ 4.20

4.4.6 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านแถบในช่วงความถี่ 10 ถึง 90 เมกะเฮิร์ตซ์

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์จนถึงจุด f_{s1} คือ 10 เมกะเฮิร์ตซ์ และตั้งแต่จุด f_{s2} คือ 90 เมกะเฮิร์ตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่จุด f_{p1} คือ 15 เมกะเฮิร์ตซ์จนถึงจุด f_{p2} คือ 60 เมกะเฮิร์ตซ์

จากการทดสอบพบว่า เมื่อใช้จำนวนประชากรเท่ากับ 250 ตัว วงจรที่เงินเนติกอัลกอริทึมออกแบบได้มีจำนวนอันดับเท่ากับ 26 ซึ่งสูงกว่าจำนวนอันดับที่ออกแบบโดยใช้วิธีการประมาณค่าแบบแบตเตอรี่เวอร์ต (อันดับ 22) ดังนั้นจึงเพิ่มจำนวนประชากรขึ้นเป็น 1,000 ตัว จึงสามารถค้นพบวงจรที่มีจำนวนอันดับต่ำกว่าได้ในที่สุด

ผลการทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านแถบในช่วงความถี่ 10 ถึง 90 เมกะเฮิร์ตซ์แสดงดังตารางที่ 4.20 และรูปที่ 4.21

4.4.7 การทดสอบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากัน

กำหนดให้ช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิรตซ์จนถึงจุด f_{s1} คือ 10,000 เฮิรตซ์ และตั้งแต่จุด f_{s2} คือ 70,000 เฮิรตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่จุด f_{p1} คือ 15,000 เฮิรตซ์จนถึงจุด f_{p2} คือ 60,000 เฮิรตซ์

ผลการทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากันแสดงดังตารางที่ 4.21 และรูปที่ 4.22

4.4.8 การทดสอบที่กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ทั้งสองด้านไม่เท่ากัน

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณความถี่ผ่านต่ำได้ (K_{s1}) มีค่าเท่ากับ 35 เดซิเบล และอัตราการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้ความถี่ผ่านสูงได้ (K_{s2}) มีค่าเท่ากับ 70 เดซิเบล

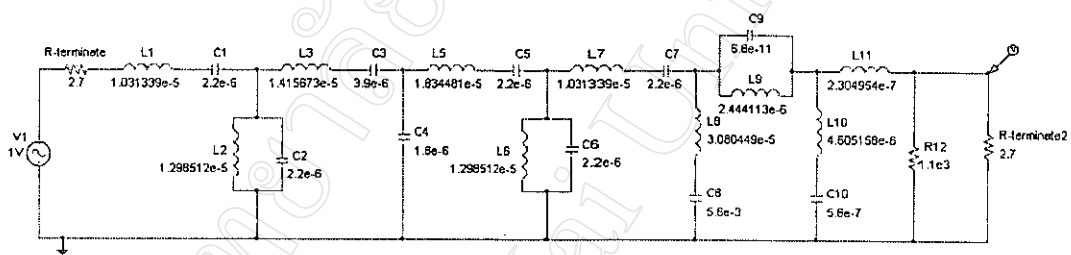
ผลการทดสอบการออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้อัตราการลดทอนของสัญญาณในช่วงที่ไม่ยอมให้สัญญาณผ่านได้ทั้งสองด้านไม่เท่ากันแสดงดังตารางที่ 4.22 และรูปที่ 4.23

ตารางที่ 4.15 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบชั้นพื้นฐาน

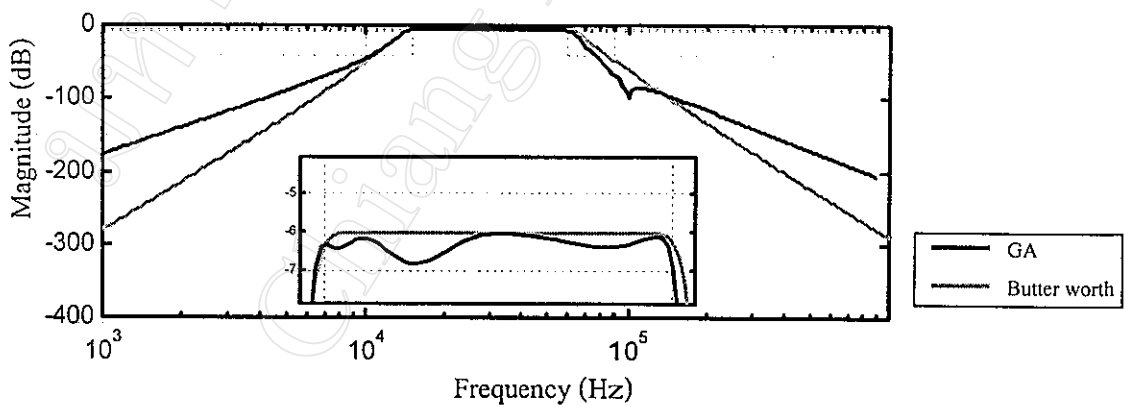
Method	Epoch	Total time	n_order	n_component
GA	37	14 min 43.2 sec	12	21
Butterworth	-	-	11	22

-2 -1 -2 281 -2 -1 -2 -2 -1 -2 361 64
 493 501 504 0 513 501 493 531 443 465 0 0
 283 283 287 0 283 283 283 330 187 275 0 0
 0 1 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัดเดอร์เวิร์ต

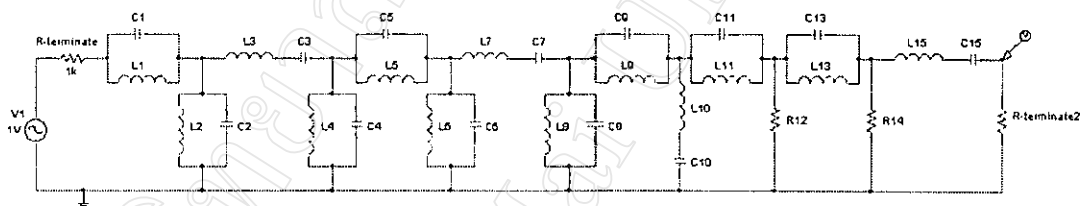
รูปที่ 4.16 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบชั้นพื้นฐาน

ตารางที่ 4.16 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

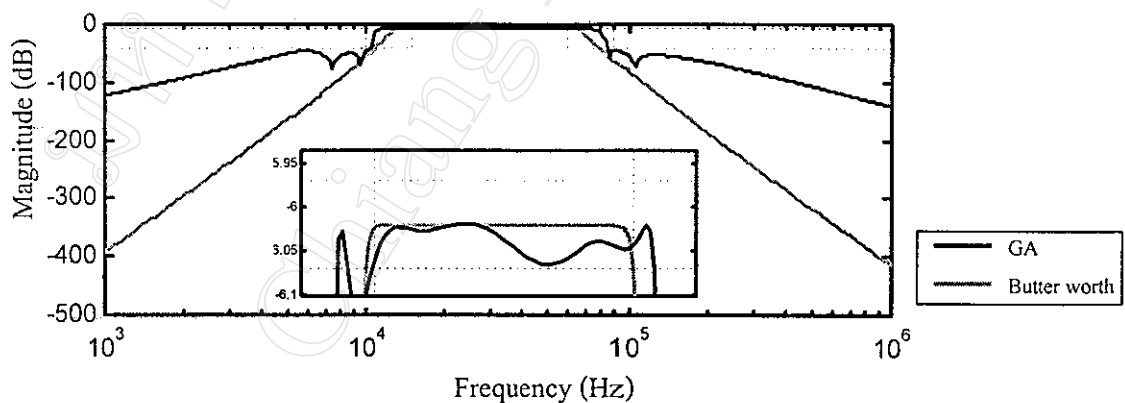
Method	Epoch	Total time	n_order	n_component
GA	62	33 min 20.33 sec	15	28
Butterworth	-	-	16	32

-1 -1 -2 -1 -1 -1 -2 -1 -1 -2 -1 167 -1 160 -2
 596 694 642 682 611 673 634 668 675 697 627 0 627 0 554
 238 244 250 244 237 244 249 229 259 257 267 0 267 0 311
 0 52 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะ โครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัดเดอร์เวิร์ต

รูปที่ 4.17 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

ตารางที่ 4.17 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้ระยะ

ช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

Method	Epoch	Total time	n_order	n_component
GA	246	2 hr 50 min 25.27 sec	34	67
Butterworth	-	-	36	72

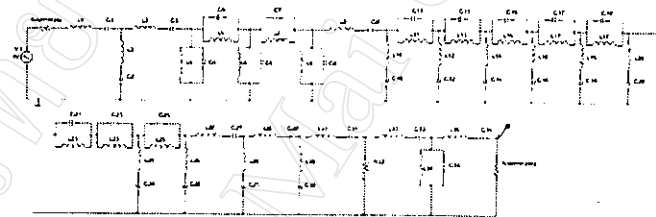
หลักที่ 1 ถึง 17

-2 -2 -2 -1 -1 -1 -1 -1 -2 -2 -1 -2 -1 -2 -1 -2 -1
 539 575 487 578 527 590 526 582 486 547 522 592 522 684 501 619 523
 274 286 274 269 261 269 247 256 282 258 294 248 294 254 296 270 292
 0 19 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

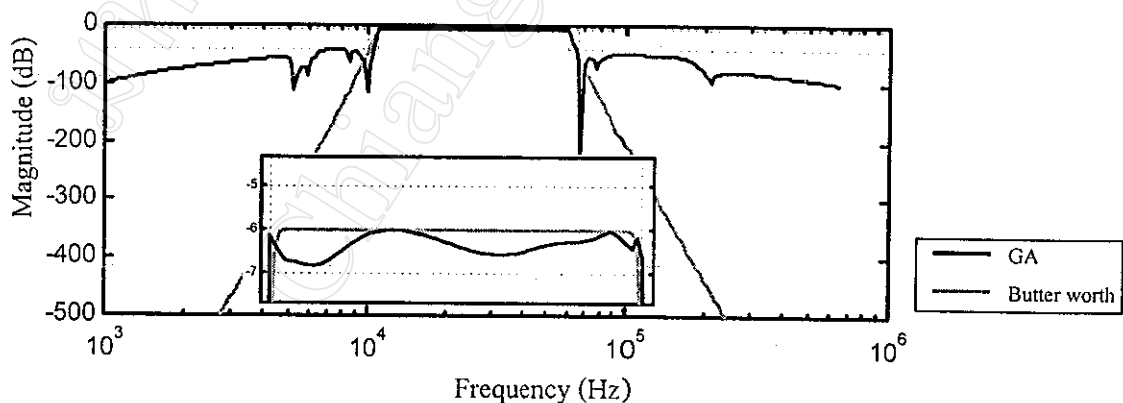
หลักที่ 18 ถึง 35

-2 -1 -2 -1 0 -1 -2 -1 -2 -2 -2 -2 -2 -2 139 -2 -1 -2
 592 523 619 531 0 531 592 467 421 442 684 470 592 325 0 324 632 424
 248 292 270 297 0 297 248 276 191 299 264 293 248 322 0 312 249 295
 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันค่านำออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

รูปที่ 4.18 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้

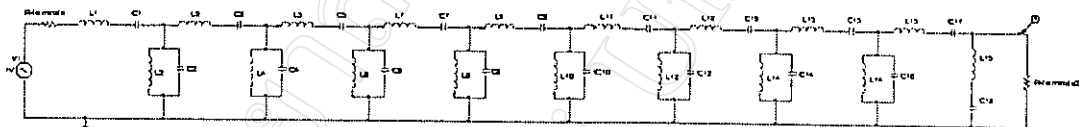
ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

ตารางที่ 4.18 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

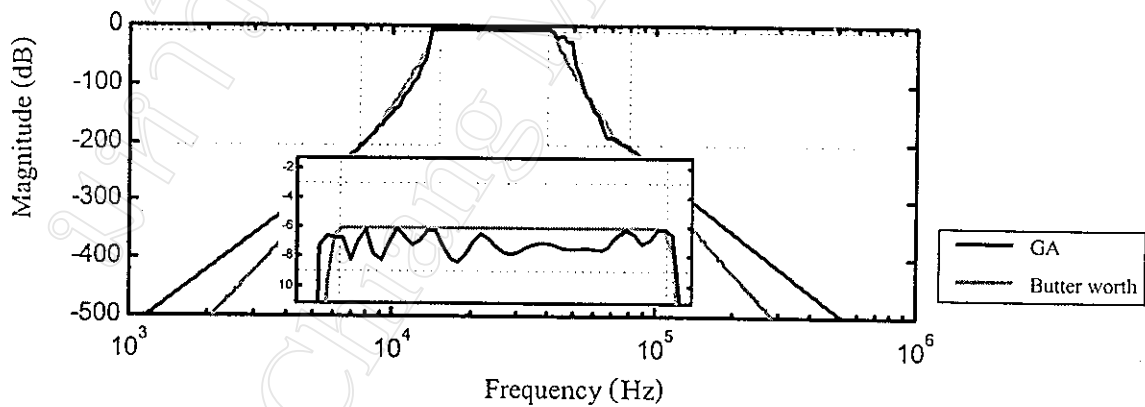
Method	Epoch	Total time	n_order	n_component
GA	46	1 hour 56 min 53.32 sec	18	36
Butterworth	-	-	24	48

-2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -2
 700 682 700 676 700 676 700 676 700 670 700 670 700 679 700 682 688 653
 231 242 231 242 231 242 231 242 231 247 231 247 231 242 231 242 249 226
 0 64 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

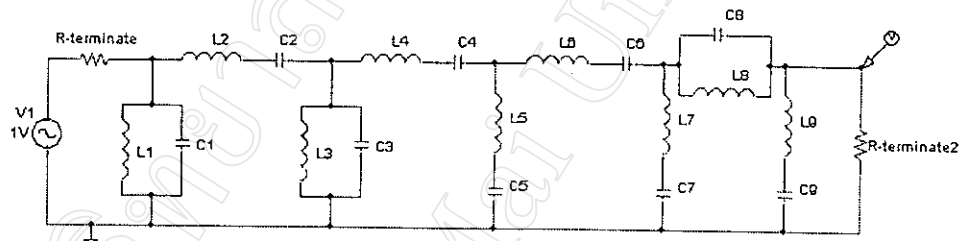
รูปที่ 4.19 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

ตารางที่ 4.19 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่ช่วงความถี่ 1 ถึง 9 เมกะเฮิร์ตซ์

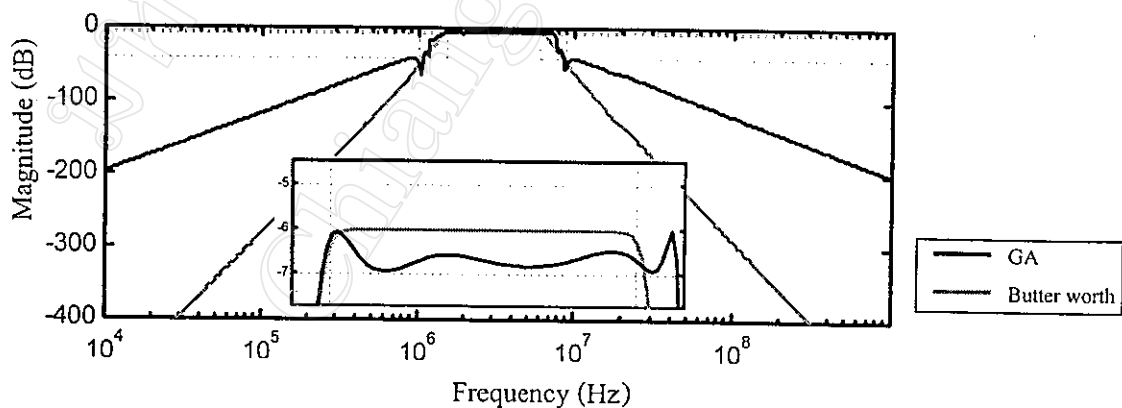
Method	Epoch	Total time	n_order	n_component
GA	31	2 hour 18 min 21.11 sec	9	18
Butterworth	-	-	11	22

-1 -2 -1 -2 -2 -2 -2 -1 -2
 405 391 405 391 384 349 467 344 414
 227 227 227 227 210 261 229 262 201
 1 22 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันค่านำออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

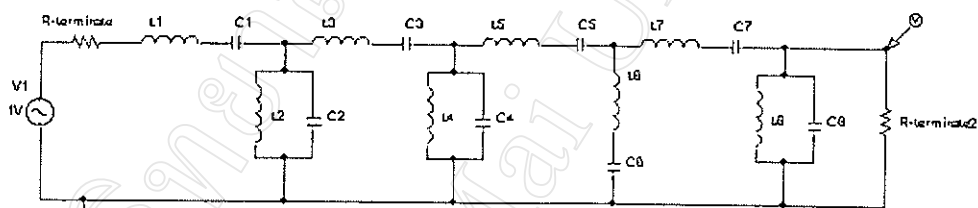
รูปที่ 4.20 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่ช่วงความถี่ 1 ถึง 9 เมกะเฮิร์ตซ์

ตารางที่ 4.20 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่ช่วงความถี่ 10 ถึง 90 เมกะเฮิรตซ์

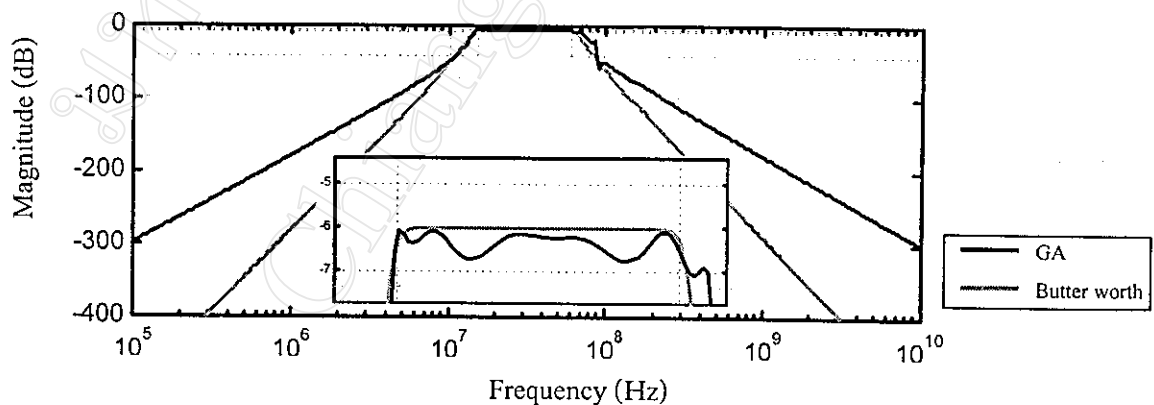
Method	Epoch	Total time	n_order	n_component
GA	19	56 min 2.38 sec	8	16
Butterworth	-	-	11	22

-2 -1 -2 -1 -2 -2 -2 -1
 353 362 359 354 325 334 332 362
 190 189 188 189 196 174 203 189
 0 33 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆหลังจากการถอดรหัสแล้ว



(c) แรงดันค่านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัดเดอร์เวิร์ต

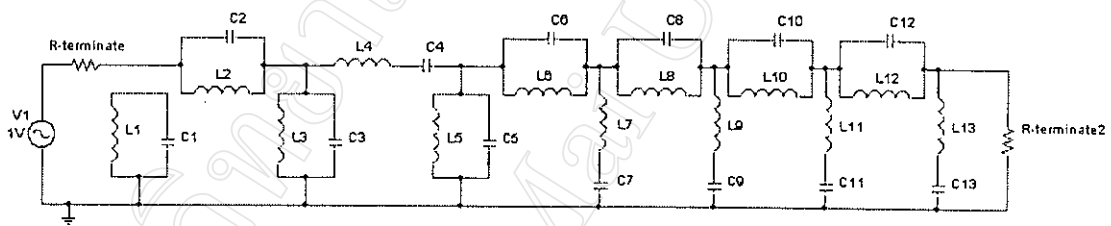
รูปที่ 4.21 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่ช่วงความถี่ 10 ถึง 90 เมกะเฮิรตซ์

ตารางที่ 4.21 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้ระยะ
ช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากัน

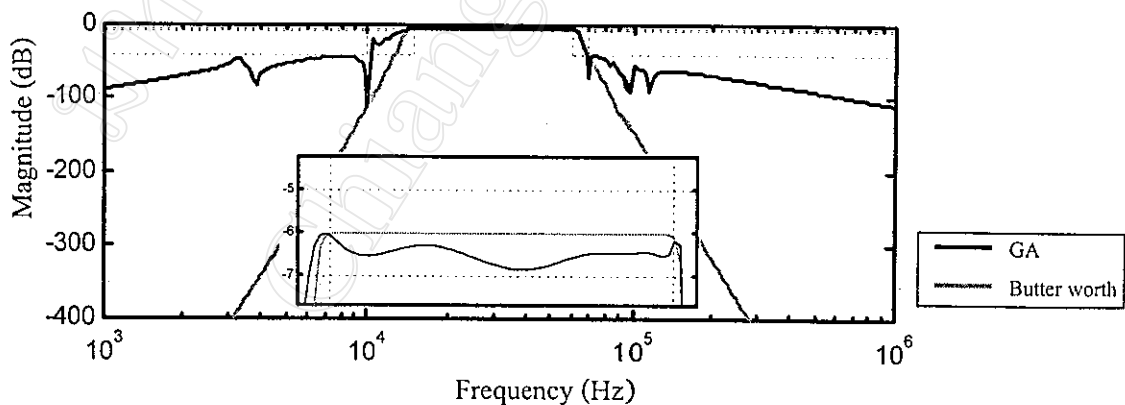
Method	Epoch	Total time	n_order	n_component
GA	52	20 min 42.80 sec	13	26
Butterworth	-	-	26	52

-1 -1 -1 -2 -1 -1 -2 -1 -2 -1 -2 -1 -2
 526 514 614 530 533 527 587 527 608 527 523 472 523
 273 258 273 274 274 290 291 290 239 290 259 275 259
 1 14 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบ
เทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

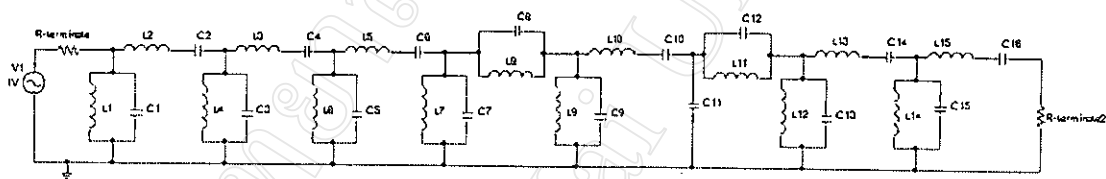
รูปที่ 4.22 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้
ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากัน

ตารางที่ 4.22 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้อัตราการ
ลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ทั้งสองด้านไม่เท่ากัน

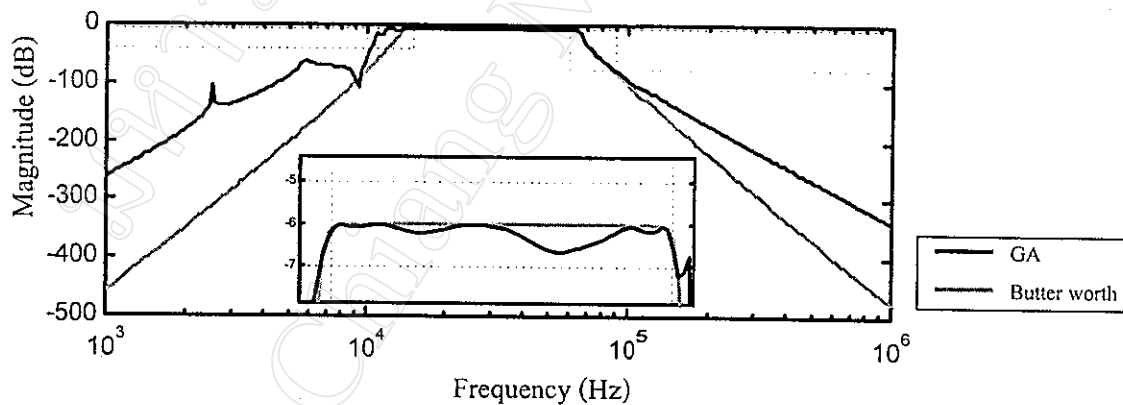
Method	Epoch	Total time	n_order	n_component
GA	78	32 min 56.65 sec	16	31
Butterworth	-	-	18	36

-1 -2 -1 -2 -1 -2 -1 -1 -1 -2 272 -1 -1 -2 -1 -2
 513 496 604 496 501 496 501 532 514 496 0 532 513 496 543 421
 278 283 279 287 280 283 280 290 272 287 0 290 278 287 276 295
 1 7 0 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบ
เทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

รูปที่ 4.23 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบผ่านแถบที่กำหนดให้อัตราการ
ลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้
ทั้งสองด้านไม่เท่ากัน

4.5 การทดสอบวงจรกรองอนาล็อกแบบก้ำจัดแถบ

4.5.1 การทดสอบการออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบขั้นพื้นฐาน

กำหนดให้ช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิรตซ์ จนถึงจุด f_{p1} คือ 10,000 เฮิรตซ์ และตั้งแต่ f_{p2} คือ 90,000 เฮิรตซ์จนถึงความถี่ถ้อยันต์ และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_{s1} คือ 15,000 เฮิรตซ์ จนถึง f_{s2} คือ 60,000 เฮิรตซ์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบขั้นพื้นฐานแสดงดังตารางที่ 4.23 และรูปที่ 4.24

4.5.2 การทดสอบที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณความถี่ผ่านต่ำได้ (K_{p1}) และอัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณความถี่ผ่านสูงได้ (K_{p2}) มีค่า 0.05 เดซิเบลเท่ากันทั้งสองด้าน

จากการทดสอบพบว่า เมื่อใช้จำนวนประชากรเท่ากับ 250 ตัว วงจรที่เจเนเนติกอัลกอริทึมออกแบบได้มีจำนวนอุปกรณ์เท่ากับ 53 ซึ่งสูงกว่าจำนวนอุปกรณ์ที่ออกแบบโดยใช้วิธีการประมาณค่าแบบบัดเตอร์เวอร์ต (ใช้จำนวนอุปกรณ์ 38 ตัว) ดังนั้นจึงเพิ่มจำนวนประชากรขึ้นเป็น 1,000 ตัว จึงสามารถค้นพบวงจรที่ใช้จำนวนอุปกรณ์น้อยกว่าได้ในที่สุด

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้แสดงดังตารางที่ 4.24 และรูปที่ 4.25

4.5.3 การทดสอบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

กำหนดให้ช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิรตซ์ จนถึงจุด f_{p1} คือ 10,000 เฮิรตซ์ และตั้งแต่ f_{p2} คือ 66,000 เฮิรตซ์จนถึงความถี่ถ้อยันต์ และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_{s1} คือ 11,000 เฮิรตซ์ จนถึง f_{s2} คือ 60,000 เฮิรตซ์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบแสดงดังตารางที่ 4.25 และรูปที่ 4.26

4.5.4 การทดสอบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้ (K_p) มีค่าเท่ากับ 200 เดซิเบล และอัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณความถี่ต่ำและผ่านสูงได้ (K_{p1} และ K_{p2}) มีค่า 3 เดซิเบลเท่ากันทั้งสองด้าน

ผลการทดสอบออกแบบวงจรกรองอนาลอกแบบก้ำจัดแถบที่กำหนดให้อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้แสดงตารางที่ 4.26 และรูปที่ 4.27

4.5.5 การทดสอบการออกแบบวงจรกรองอนาลอกแบบก้ำจัดแถบที่ช่วงความถี่ 1 ถึง 9 เมกะเฮิร์ตซ์

กำหนดให้ช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์ จนถึงจุด f_{p1} คือ 1 เมกะเฮิร์ตซ์ และตั้งแต่ f_{p2} คือ 9 เมกะเฮิร์ตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_{s1} คือ 1.5 เมกะเฮิร์ตซ์ จนถึง f_{s2} คือ 6 เมกะเฮิร์ตซ์

ผลการทดสอบออกแบบวงจรกรองอนาลอกแบบก้ำจัดแถบที่ช่วงความถี่ 1 ถึง 9 เมกะเฮิร์ตซ์แสดงตารางที่ 4.27 และรูปที่ 4.28

4.5.6 การทดสอบการออกแบบวงจรกรองอนาลอกแบบก้ำจัดแถบที่ช่วงความถี่ 10 ถึง 90 เมกะเฮิร์ตซ์

กำหนดให้ช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์ จนถึงจุด f_{p1} คือ 10 เมกะเฮิร์ตซ์ และตั้งแต่ f_{p2} คือ 90 เมกะเฮิร์ตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_{s1} คือ 15 เมกะเฮิร์ตซ์ จนถึง f_{s2} คือ 60 เมกะเฮิร์ตซ์

ผลการทดสอบออกแบบวงจรกรองอนาลอกแบบก้ำจัดแถบที่ช่วงความถี่ 10 ถึง 90 เมกะเฮิร์ตซ์แสดงตารางที่ 4.28 และรูปที่ 4.29

4.5.7 การทดสอบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากัน

กำหนดให้ช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ 0 เฮิร์ตซ์ จนถึงจุด f_{p1} คือ 10,000 เฮิร์ตซ์ และตั้งแต่ f_{p2} คือ 70,000 เฮิร์ตซ์จนถึงความถี่อื่นใด และช่วงความถี่ที่ยอมให้สัญญาณผ่านได้มีค่าตั้งแต่ f_{s1} คือ 15,000 เฮิร์ตซ์ จนถึง f_{s2} คือ 60,000 เฮิร์ตซ์

ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากันแสดงดังตารางที่ 4.29 และรูปที่ 4.30

4.5.8 การทดสอบที่กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ทั้งสองด้านไม่เท่ากัน

กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณความถี่ผ่านต่ำได้ (K_{p1}) มีค่าเท่ากับ 0.05 เดซิเบล และอัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณความถี่ผ่านสูงได้ (K_{p2}) มีค่าเท่ากับ 3 เดซิเบล

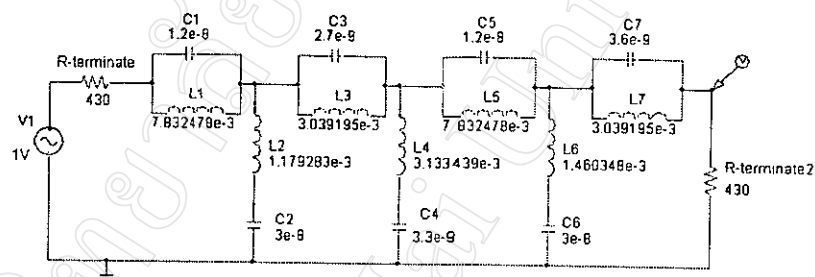
ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ทั้งสองด้านไม่เท่ากันแสดงดังตารางที่ 4.30 และรูปที่ 4.31

ตารางที่ 4.23 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบขั้นพื้นฐาน

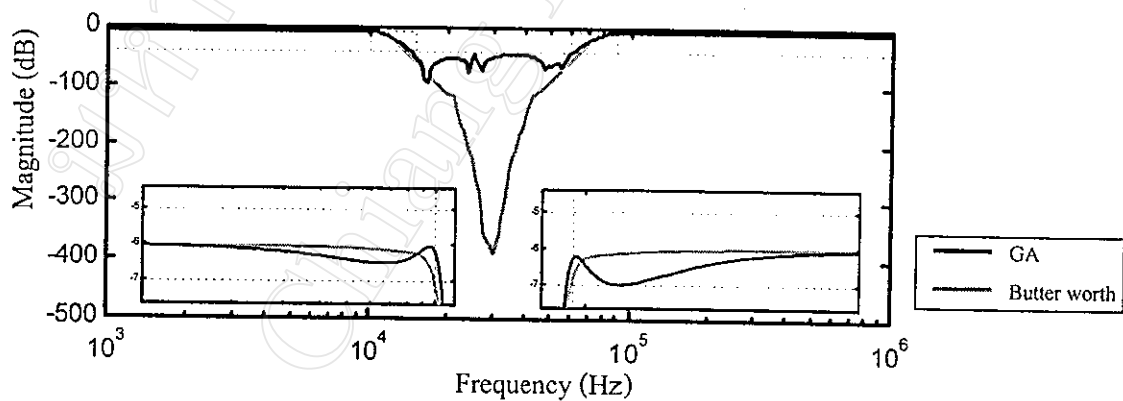
Method	Epoch	Total time	n_order	n_component
GA	30	10 min 13.73 sec	7	14
Butterworth	-	-	12	24

-1 -2 -1 -2 -1 -2 -1
 692 630 661 662 692 637 661
 247 252 228 230 247 252 231
 0 54 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

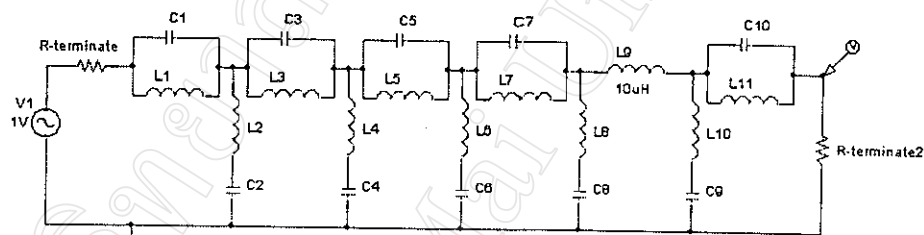
รูปที่ 4.24 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบขั้นพื้นฐาน

ตารางที่ 4.24 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้
การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

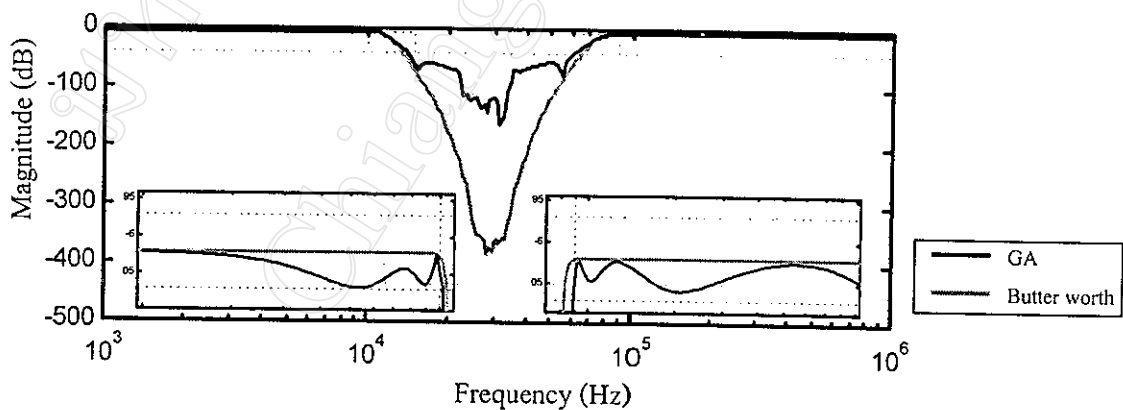
Method	Epoch	Total time	n_order	n_component
GA	49	2 hr 36 min 47.04 sec	11	21
Butterworth	-	-	19	38

-1 -2 -1 -2 -1 -2 -1 -2 468 -2 -1
655 587 676 597 657 627 619 659 0 683 453
246 262 236 262 255 253 246 244 0 244 306
0 47 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

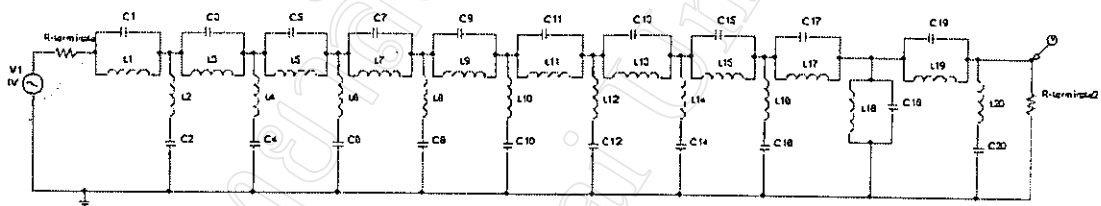
รูปที่ 4.25 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้
การกระเพื่อมของระดับแรงดันต่ำในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้

ตารางที่ 4.25 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้ระยะ
ช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

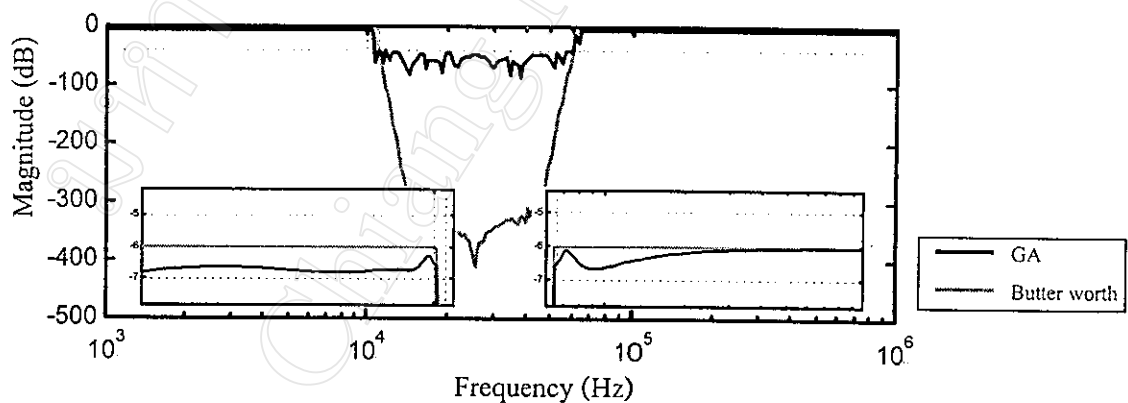
Method	Epoch	Total time	n_order	n_component
GA	79	45 min 49.51 sec	20	40
Butterworth	-	-	69	138

-1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -1 -1 -2
548 469 511 492 532 518 406 536 492 492 417 622 494 600 442 600 397 618 442 551
275 286 275 275 283 281 291 281 296 275 289 242 290 273 307 273 300 236 307 259
0 3 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบ
เทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

รูปที่ 4.26 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้
ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันแคบ

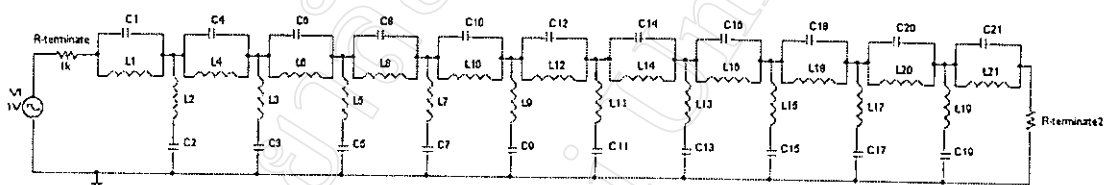
ตารางที่ 4.26 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้

อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

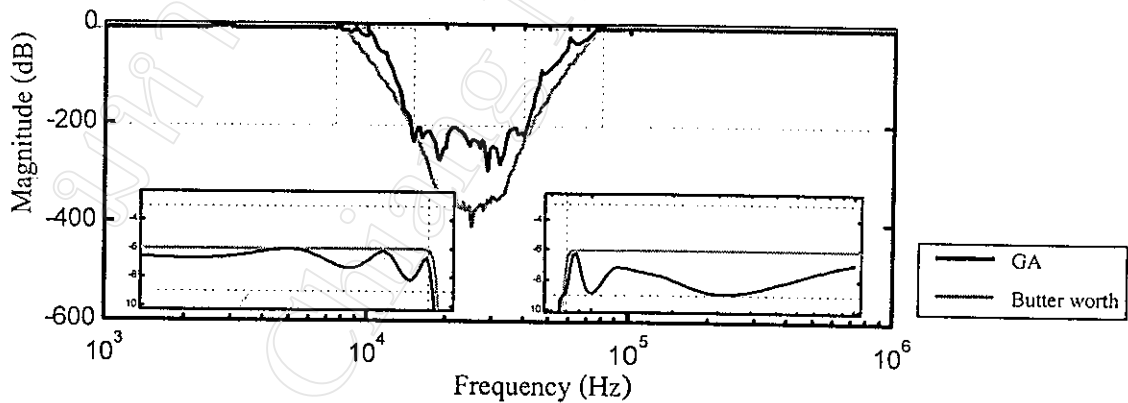
Method	Epoch	Total time	n_order	n_component
GA	121	1 hr 3 min 24.91 sec	21	42
Butterworth	-	-	25	50

-1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1
 685 620 692 620 692 620 684 603 692 597 566 620 692 684 423 662 666 652 611 662 566
 232 261 225 261 232 261 232 261 232 261 261 251 244 249 302 236 251 257 266 236 261
 0 46 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ด

รูปที่ 4.27 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้

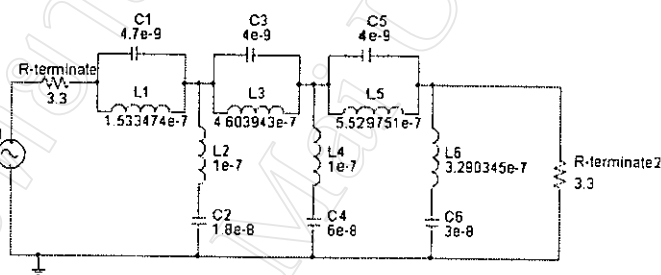
อัตราการลดทอนของสัญญาณสูงในช่วงความถี่ที่ไม่ยอมให้สัญญาณผ่านได้

ตารางที่ 4.27 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่ช่วงความถี่ 1 ถึง 9 เมกะเฮิรตซ์

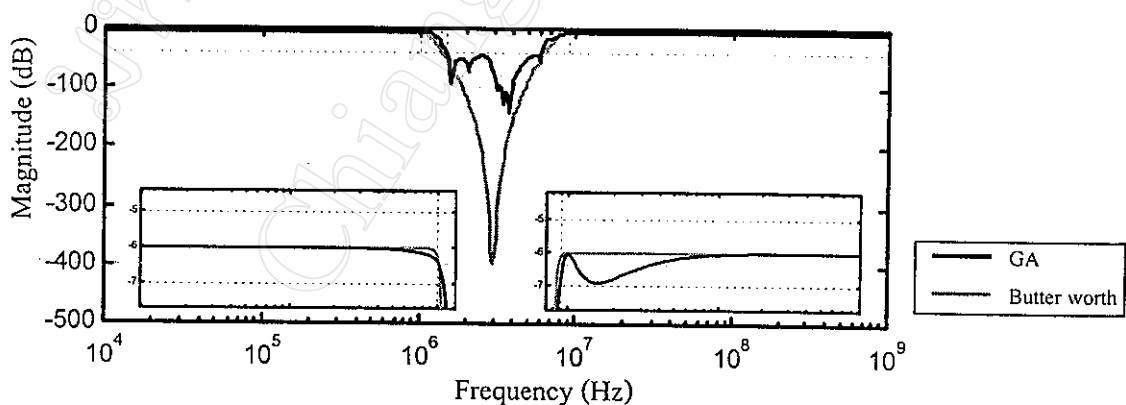
Method	Epoch	Total time	n_order	n_component
GA	33	15 min 47.36 sec	8	16
Butterworth	-	-	12	24

-1 -2 -1 -2 -1 -2 -1 -2
 337 324 373 324 379 362 330 362
 235 249 233 259 233 252 261 243
 0 3 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

รูปที่ 4.28 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่ช่วงความถี่ 1 ถึง 9 เมกะเฮิรตซ์

ตารางที่ 4.28 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่ช่วงความถี่ 10 ถึง 90 เมกะเฮิรตซ์

Method	Epoch	Total time	n_order	n_component
GA	23	10 min 40.65 sec	7	14
Butterworth	-	-	12	24

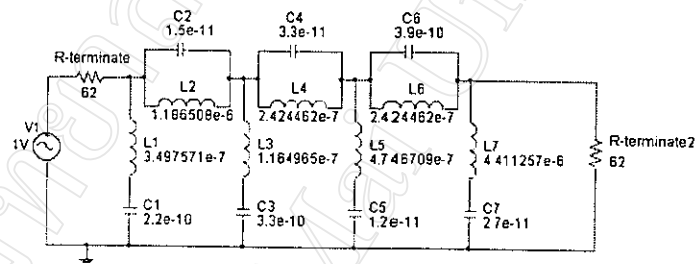
-2 -1 -2 -1 -2 -1 -2

364 404 328 352 374 352 447

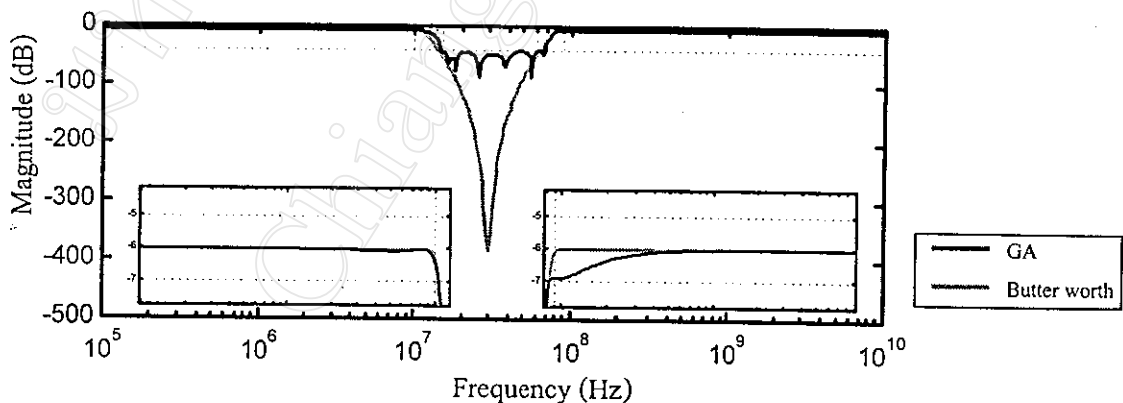
199 171 204 178 170 206 176

1 34 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

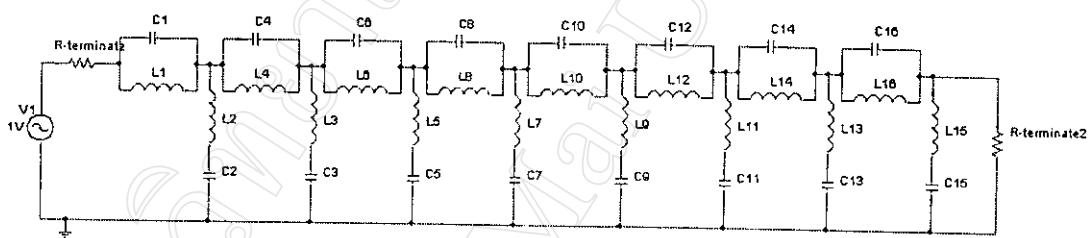
รูปที่ 4.29 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่ช่วงความถี่ 10 ถึง 90 เมกะเฮิรตซ์

ตารางที่ 4.29 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้ระยะ
ช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากัน

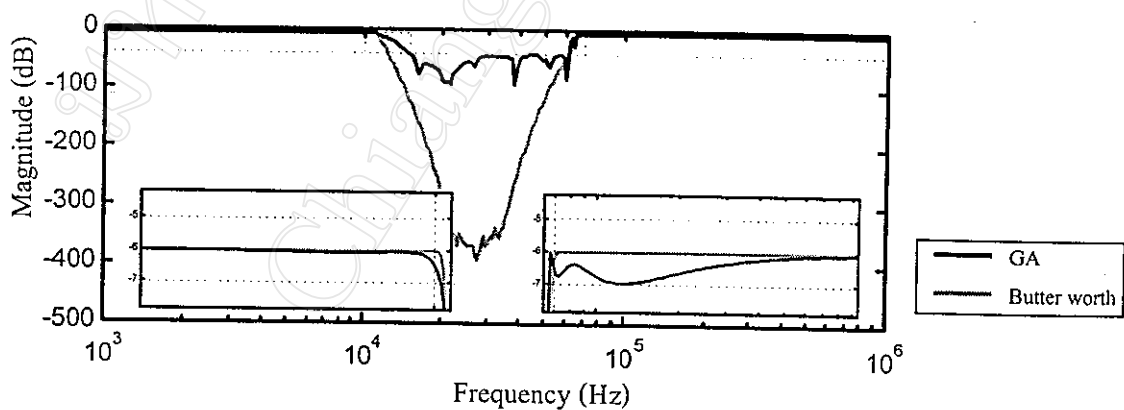
Method	Epoch	Total time	n_order	n_component
GA	68	28 min 52.08 sec	16	32
Butterworth	-	-	27	54

-1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2
 545 535 570 517 545 560 405 560 476 560 475 622 405 584 351 666
 266 280 271 280 266 260 290 257 278 257 277 254 293 258 305 225
 0 14 0 0 0 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะ โครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆหลังจากการถอดรหัสแล้ว



(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบ
เทียบกับวิธีการประมาณค่าแบบบัดเดอร์เวอร์ต

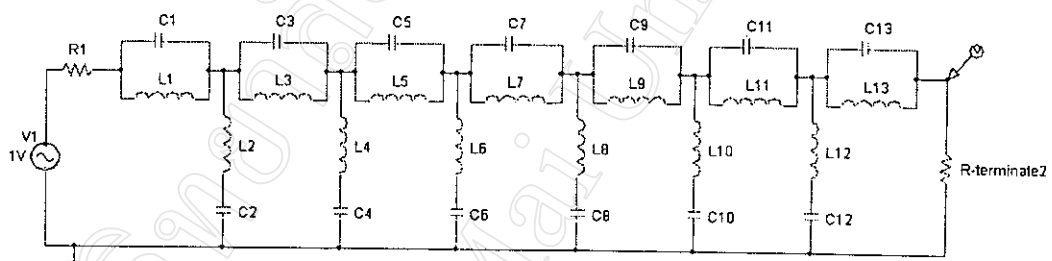
รูปที่ 4.30 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้
ระยะช่วงความถี่ที่กำลังเปลี่ยนแปลงระดับแรงดันทั้งสองด้านไม่เท่ากัน

ตารางที่ 4.30 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ทั้งสองด้านไม่เท่ากัน

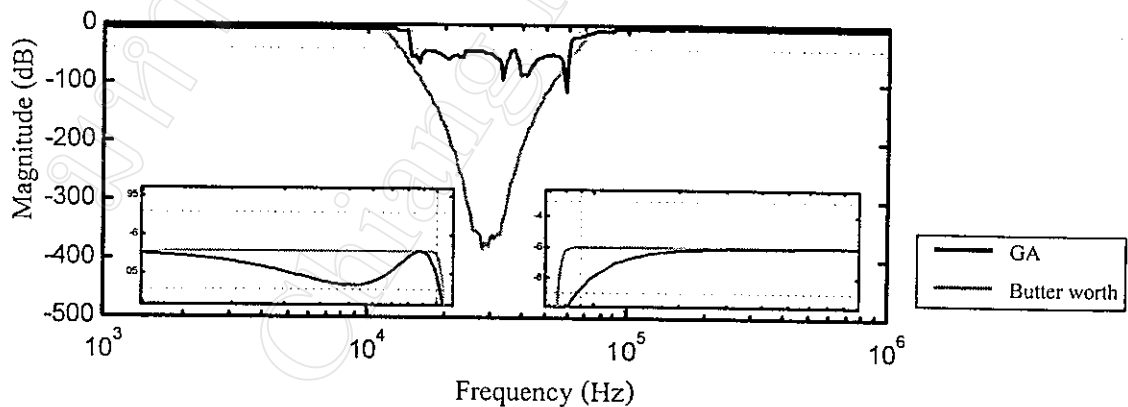
Method	Epoch	Total time	n_order	n_component
GA	67	29 min 59.03 sec	13	26
Butterworth	-	-	19	38

-1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1 -2 -1
 511 441 510 575 458 503 463 573 458 503 458 530 463
 280 292 273 274 296 270 283 275 296 270 296 281 283
 0 1 0 0 0 0 0 0 0 0 0 0 0

(a) ลักษณะโครโมโซมของวงจรที่ออกแบบได้



(b) ลักษณะการเชื่อมต่อวงจรของอุปกรณ์ต่างๆภายหลังจากการถอดรหัสแล้ว

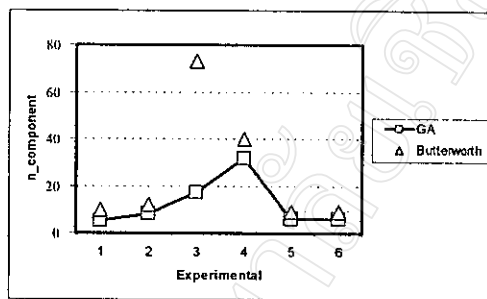


(c) แรงดันด้านขาออก ณ ความถี่ต่างๆที่ออกแบบโดยใช้วิธีเจเนติกอัลกอริทึมเปรียบเทียบกับวิธีการประมาณค่าแบบบัตเตอร์เวิร์ท

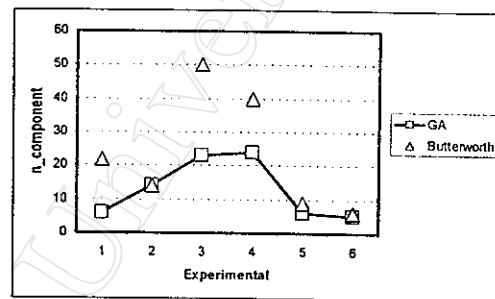
รูปที่ 4.31 ผลการทดสอบออกแบบวงจรกรองอนาล็อกแบบก้ำจัดแถบที่กำหนดให้อัตราการลดทอนของสัญญาณในช่วงความถี่ที่ยอมให้สัญญาณผ่านได้ทั้งสองด้านไม่เท่ากัน

4.6 วิเคราะห์ผลการทดสอบการออกแบบวงจรกรองอนาล็อก

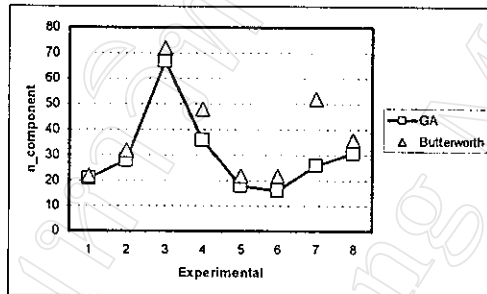
จากการทดสอบการออกแบบวงจรกรองอนาล็อกพบว่า เจนเนติกอัลกอริทึมสามารถออกแบบวงจรได้ตรงตามข้อกำหนดในการออกแบบและใช้จำนวนอุปกรณ์น้อยกว่าการออกแบบโดยวิธีการประมาณค่าแบบบัตเตอร์เวิร์ดทั้งหมดดังแสดงในรูปที่ 4.32 ซึ่งเมื่อเปรียบเทียบลักษณะแรงดันด้านขาออกของ วงจร ณ ความถี่ต่างระหว่าง 2 วิธีนี้ ถึงแม้วิธีบัตเตอร์เวิร์ดจะมีลักษณะแรงดันที่ราบเรียบมากกว่าเจนเนติกอัลกอริทึม แต่ทั้งสองวิธีนี้ล้วนแต่มีลักษณะแรงดันด้านขาออก ณ ความถี่ต่างๆที่ตรงกับข้อกำหนดในการออกแบบทุกประการ



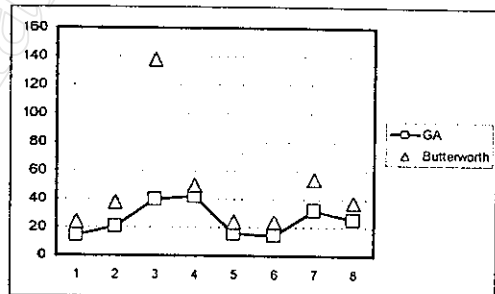
(a) วงจรกรองแบบผ่านต่ำ



(b) วงจรกรองแบบผ่านสูง



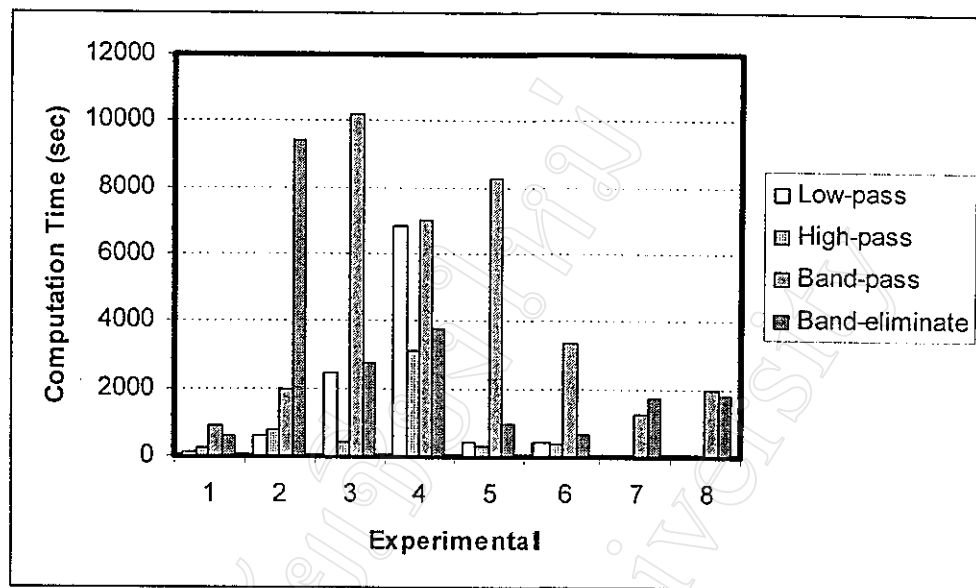
(c) วงจรกรองแบบผ่านแถบ



(d) วงจรกรองแบบกำจัดแถบ

รูปที่ 4.32 กราฟแสดงการเปรียบเทียบจำนวนอุปกรณ์ที่ใช้ในการออกแบบวงจรกรองที่ได้จากวิธีใช้เจนเนติกอัลกอริทึมและการประมาณค่าแบบบัตเตอร์เวิร์ดของวงจรกรองชนิดต่างๆ

จากการทดสอบออกแบบวงจรในด้านต่างๆพบว่า การออกแบบโดยใช้เจนเนติกอัลกอริทึมจะใช้เวลาในการคำนวณแตกต่างกันไป ทั้งนี้จะขึ้นอยู่กับความยากง่ายของข้อกำหนดในการออกแบบเป็นหลัก โดยกราฟแสดงระยะเวลาที่ใช้ในการประมวลผลของแต่ละการทดสอบแสดงได้ดังรูปที่ 4.33



รูปที่ 4.33 กราฟแสดงระยะเวลาการคำนวณที่ใช้ในการออกแบบโดยวิธีเจเนติกอัลกอริทึม

ข้อกำหนดในการออกแบบและค่าพารามิเตอร์ต่างๆของเจเนติกอัลกอริทึม ล้วนแต่มีผลต่อโอกาสที่จะค้นพบคำตอบที่ตรงกับความต้องการและเวลาในการประมวลผลของเจเนติกอัลกอริทึม โดยแสดงดังตารางที่ 4.31

สำหรับค่าพารามิเตอร์สำคัญที่มีผลต่อการทำงานของเจเนติกอัลกอริทึมได้แก่ p_m (อัตราการมิวเตชัน) p_c (อัตราการครอสโอเวอร์) และ pop_size (จำนวนประชากร) โดยจากการทดสอบพบว่า ในรุ่นแรกโครโมโซมรุ่นพ่อแม่ที่ถูกสุ่มขึ้น จะมีจำนวนอันดับแตกต่างกันตั้งแต่อันดับ 1 จนถึงอันดับสูงสุดที่กำหนดไว้ ($segment_max$) ซึ่งแต่ละโครโมโซมจะมีค่าความผิดพลาดเมื่อเปรียบเทียบกับข้อกำหนดแตกต่างกันไป จากนั้นจึงนำโครโมโซมรุ่นพ่อแม่นี้ มาผ่านการมิวเตชันและครอสโอเวอร์ และนำมาผ่านการเลือกได้เป็นประชากรรุ่นที่ 2 ซึ่งจะได้โครโมโซมรุ่นพ่อแม่ที่มีค่าความผิดพลาดค่าหนึ่ง เมื่อสังเกตลักษณะของแรงดันจะเริ่มเป็นไปตามข้อกำหนดที่กำหนดไว้ โดยโครโมโซมเหล่านี้ มักจะมีจำนวนอันดับที่ต่ำ เนื่องจากการสุ่มหาโครโมโซมแต่ละตัวนั้น หากโครโมโซมเป็นวงจรที่มีจำนวนอันดับมาก ย่อมจะต้องสุ่มตำแหน่งและค่าของอุปกรณ์มาก ดังนั้นจึงทำให้โอกาสที่ลักษณะแรงดันด้านขาออกของวงจรตรงกับข้อกำหนดในการออกแบบได้ยากมากกว่าโครโมโซมที่มีจำนวนอันดับน้อยๆ

ตารางที่ 4.31 ข้อกำหนดในการออกแบบและค่าพารามิเตอร์ที่มีผลต่อเวลาในการประมวลผล
โดยใช้เงินเนติกอัลกอริทึม

ข้อกำหนดในการออกแบบ และค่าพารามิเตอร์ต่างๆ	ผลกระทบต่อการทำงานของ เงินเนติกอัลกอริทึม
อัตราส่วนความถี่ (f_s/f_p)	ยังมีค่ามากยิ่งค้นหาคำตอบได้ง่าย
K_p	ยังมีค่ามากยิ่งค้นหาคำตอบได้ง่าย
K_s	ยังมีค่ามากยิ่งค้นหาคำตอบได้ยาก
n_dec (จำนวนที่พิจารณาจุดต่อเคเคด)	ยังมีค่ามากยิ่งใช้เวลาในการประมวลผลมาก
อัตราส่วนความถี่ (f_{min}/f_{max})	ยังมีค่ามากยิ่งใช้เวลาในการประมวลผลมาก
pop_size	ยังมีค่ามากยิ่งใช้เวลาในการประมวลผลมาก
P_m	ยังมีค่ามากยิ่งใช้เวลาในการประมวลผลมาก
P_c	ยังมีค่ามากยิ่งใช้เวลาในการประมวลผลมาก
PercentRLC (โอกาสการเลือกอุปกรณ์ตัวเดียว)	ควรกำหนดให้มีค่ามากในการออกแบบ วงจรกรอง low-pass และ high-pass เพื่อทำ ให้ค้นหาคำตอบได้ง่าย
PercentSub (โอกาสการเลือกอุปกรณ์ย่อย)	ควรกำหนดให้มีค่ามากในการออกแบบ วงจรกรอง band-pass และ band-eliminate เพื่อทำให้ค้นหาคำตอบได้ง่าย
PercentShort (โอกาสการเลือกปิด/เปิดวงจร)	ควรกำหนดให้มีค่าน้อยมาก เพื่อให้มีโอกาส ในการเกิดปิด/เปิดวงจรในบางตำแหน่ง ทำให้ เกิดวงจรในลักษณะแปลกใหม่ได้ในบางครั้ง
segment_max	ยังมีค่ามากยิ่งใช้เวลาในการประมวลผลมาก

ดังนั้นเมื่อโครโมโซมต่างๆในประชากรรุ่น 2 มีจำนวนอันดับน้อย การค้นหาคำตอบส่วนใหญ่จึงต้องเน้นไปที่การเพิ่มจำนวนอันดับของวงจรให้กับโครโมโซม ซึ่งจะทำได้โดยอาศัย ขบวนการมิวเทชัน โดยจากการทดสอบพบว่า หากกำหนดอัตราการมิวเทชันให้ค่าเพิ่มขึ้น (0.8) จะทำให้มีโอกาสเพิ่มจำนวนอันดับให้กับโครโมโซมได้ เพราะการมิวเทชันในงานวิจัยนี้ นอกจาก จะทำการมิวเทชันตั้งแต่ตำแหน่งหลักที่ 1 ถึงหลักสุดท้ายที่ n แล้ว ยังมีการมิวเทชันตำแหน่งหลักที่ n+1 ซึ่งเป็นตำแหน่งถัดจากตำแหน่งหลักสุดท้ายของโครโมโซมได้อีกด้วย

สำหรับการครอสโอเวอร์ จะเห็นได้ว่าเมื่อโครโมโซมของประชากรมีจำนวนอันดับต่ำในรุ่นแรกๆ ดังนั้นการครอสโอเวอร์ที่เกิดขึ้นจึงทำให้เกิดการครอสโอเวอร์ในตำแหน่งเดิม ซึ่งจะไม่ช่วยให้การทำงานของเอนไซม์อัลกอริทึมเร็วขึ้นมากนัก แต่การครอสโอเวอร์นี้จะมีประโยชน์เมื่อค่าและชนิดของอุปกรณ์ภายในโครโมโซมมีความหลากหลายมาก หรือก็คือมีจำนวนอันดับมากขึ้น ซึ่งการครอสโอเวอร์จะช่วยสลับค่าและตำแหน่งในการเชื่อมต่อของอุปกรณ์แต่ละตัวได้ จึงทำให้โครโมโซมถูกพัฒนาให้มีค่าความผิดพลาดที่ต่ำลงได้

นอกจากนี้จำนวนประชากรที่ใช้ในการทำงานของเอนไซม์อัลกอริทึม ก็มีผลต่อเวลาในการประมวลผลของโปรแกรมโดยตรงเนื่องจาก หากกำหนดให้ใช้จำนวนประชากรจำนวนมากเกินไป จะทำให้การประมวลผลค่าต่างๆ ในแต่ละรุ่นทั้งหมดใช้เวลานานมากขึ้น แต่หากกำหนดจำนวนประชากรน้อยเกินไป ก็จะทำให้ไม่เอนไซม์อัลกอริทึมไม่สามารถค้นหาคำตอบที่ดีที่สุดได้ ซึ่งจากการทดสอบในงานวิจัยนี้พบว่า จำนวนประชากรเท่ากับ 250 ตัว เป็นค่าที่เหมาะสมที่สุดที่จะทำให้ค้นหาคำตอบที่ตรงกับข้อกำหนดได้ ทั้งหมดและไม่ใช้เวลาในการประมวลผลนานเกินไป แต่หากการทดสอบใดที่มีข้อกำหนดในการออกแบบยากมาก เมื่อใช้จำนวนประชากรเท่ากับ 250 ตัวแล้วยังไม่สามารถค้นหาคำตอบที่ตรงกับข้อกำหนดในการออกแบบได้ หรืออาจค้นหาคำตอบได้แต่วงจรที่ออกแบบได้มีจำนวนอันดับสูงกว่าวิธีการประมาณแบบบัตเตอร์เวอร์ จึงปรับจำนวน ประชากรเพิ่มขึ้นเป็น 1,000 ตัว ซึ่งการเพิ่มจำนวนประชากรนี้จะเป็นการเพิ่มความหลากหลายของประชากรให้มีความสามารถในการค้นหาคำตอบในพื้นที่การค้นหาที่กว้างมากขึ้นได้ ดังนั้น โอกาสที่จะพบคำตอบที่ดีที่สุดจริงๆ จึงมีสูงมากขึ้น แต่หากใช้จำนวนประชากรจำนวนมาก กับการออกแบบที่มีข้อกำหนดง่าย ก็สามารถทำได้เช่นกัน เพียงแต่จะใช้ระยะเวลาในการประมวลผลแต่ละรอบการทำงานนานขึ้นนั่นเอง