บรรณานุกรม

[1] ธานินทร์ สุเชียง, "การพัฒนาโปรแกรมเอทีพีจีสำหรับวงจรดิจิตอลโดยวิธีรายการลดทอน", วิทยานิพนธ์ มหาวิทยาลัยเชียงใหม่ 2543

[2] พิทยา สอนไว, "การพัฒนาโปรแกรมเอทีพีจีสำหรับวงจรดิจิตอลโดยวิธีบูลีน – แซททิฟาย", วิทยานิพนธ์ มหาวิทยาลัยเชียงใหม่ 2544

[3] อนันท์ ทับเกิด, เอกชัย แสงอินทร์, "การพัฒนาโปรแกรม เอ.ที.พี.จี. สำหรับวงจรดิจิตอลโดยการกำหนดค่าที่จำเป็น", การประชุมเสนอผลงานวิจัยระดับบัณฑิตศึกษาครั้งที่ 1, มหาวิทยาลัยเชียงใหม่ 2543

[4] เอกชัย แสงอินทร์, "การทดสอบวงจรรวมขนาดใหญ่มาก", วารสารวิศวกรรมศาสตร์ มหาวิทยาลัยเชียงใหม่, Vol. 5, No. 2, Nov. 1995, pp. 95 - 104.

[5] Abramovici M., Breuer M. A., and Friedman A. D., "Digital Systems Testing and Testable Design", IEEE Press, Newyork, 1990.

[6] Agrawal V. D., Chakradhar S. T., "Combinational ATPG Theorems for Identifying Untestable Faults in Sequential Circuits", IEEE Trans. on Computer-Aided Design of Integrated and Systems, Vol. 14 No 9, Sep. 1995

[7] Auth E., and Schulz M. H., "A Test–Pattern Generation Algorithm for Sequential Circuit", IEEE Design and Test of Computers Magazine, Vol 8, Iss 2, pp.72 – 85.

[8] Brglez F., Bryan D., and Kozminski K., "Combinational Profile of Sequential Benchmark Circuits", IEEE Proc. Int. Symp. on Circuit and Systems, May 1989, pp. 1929 -1934.

[9] Brglez F., and Fujiwara H., "A Neutral Netlist of 10 Combinational Benchmark Designs and a Special Translator in Fortran", IEEE Proc. Int. Symp. on Circuit and Systems, Jun. 1985

[10] Fujiwara H., "FAN:A Fan-Oriented Test Pattern Generation Algorithm", IEEE Proc.Int. Symp. on Circuits and Systems, 1985, pp. 671 - 674.

[11] Fujiwara H., "Logic Testing and Design for Testability", The MIT Press, Cambridge,Massachusetts, London, 1985.

[12] Fujiwara H., and Shimono T., "On the Acceleration of Test Generation Algorithms", IEEE Trans. on Computers, Vol c-32 , Dec. 1983, pp.1137 - 1144

[13] Hamzaoglu I., and Patel J. H.," New Techniques for Deterministic Test Pattern Generation", IEEE Proc. VLSI Test Symp., 1998, pp. 446 – 452.

[14] Iyer M. A., and Abramovici M., "FIRE: Fault–Independent Combination Redandancy Identification Algorithm", IEEE Trans. on VLSI Systems, Vol. 4, No.2, June 1996, pp.295 – 301.

[15] Kunz W., and Pradhan D. K. , "Recursive Learning: A New Implication Technique for Efficient Solutions to CAD Problem – Test, Verification, and Optimization", IEEE Trans. on CAD, Vol.13, No.9, Sep. 1994, pp. 1143 - 1157.

[16] Lee H. K., and Ha S. H., "HOPE: An Efficient Parallel Fault Simulator for Synchronous Sequential Circuits", IEEE Trans. on CAD, Vol.15, No.9, Sep. 1996, pp. 1048 - 1058.

[17] Lee T. C., and Jha N. K., "Redundancy Identification and Removal in Combinational Logic Circuits", IEEE Proc. Int. Symp. on Circuits and Systems, Sandiego, USA, 1989, pp.1121 – 1124

[18] Niermann T., and Patel J.H., "HITEC: a test generation package for sequential circuits", Design Automation. EDAC., Proc. European Conf., 1991, pp. 214 – 218.

[19] Rajski J., and Cox H., "A Method to Calculate Necessary Assignments in Algorithm Test Pattern Generation", IEEE Trans. on CAD, Vol. 13, No. 4, Apr. 1994 , pp. 515 - 530.

[20] Rosen K. R., "Discrete Mathematics and Application", McGRAW – Hill, 1995

[21] Sang-In A., "Novel Algorithms for Automatic Test Pattern Generation in Digital Circuits", Ph.D. Thesis, Dept. of Electrical Engineering, Imperial College of Science, Technology and Medicine, U. of London, May 1994.

[22] Schulz M. H., Auth E., "ESSENTIAL: an efficient self-learning test pattern generation algorithm for sequential circuits", IEEE Proc. Int. Test Conf..,Calif. , USA, 1989, pp. 28 – 37

[23] Schulz M. H.,Trischler E., and Sarfert T. M., "SOCRATES",IEEE Trans. on Computer Aided Design, Vol 7 , No. 1, Jan 1988, pp.126 - 137

[24] Standish T. A., "Data Structures, Algorithms, and Software Principles in C", Addison – Weslay Publishing, 1995

[25] Stressing J., "Fault simulation and test generation – an overview", IEEE Computer Aided Engineering Jour., Jun. 1989, pp.92 - 98

[26] Zhao J.,Rudnick E. M., and Patel J. H., "Static Logic Implication with Application to Redundancy Identification", IEEE Proc. VLSI Test Symp., Apr. 1997, pp.193 – 198.

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Chiang Mai University