บทที่ 5
การทดสอบประสิทธิภาพของโปรแกรม เอ.ที.พี.จี.

โปรแกรม เอ.ที.พี.จี. พัฒนาขึ้นด้วยโปรแกรมคอมพิวเตอร์ภาษีซี ทำงานบนระบบปฏิบัติการยูนิกซ์ แบ่งออกเป็น 2 โปรแกรมด้วยกัน คือโปรแกรม c_atpg สำหรับการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรดิจิตอลชนิดประกอบ และ s_atpg สำหรับการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรดิจิตอลชนิดลำดับ

5.1 วิธีการทดสอบ

แฟ้มข้อมูลบรรยายวงจรดิจิตอลที่นำมาทำการทดสอบให้กำเนิดรูปแบบสัญญาณทดสอบคือแฟ้มข้อมูลบรรยายวงจรดิจิตอลมาตรฐาน ISCAS Benchmark ซึ่งแบ่งออกเป็น 2 กลุ่มด้วยกัน คือ ISCAS85 [9] เป็นกลุ่มวงจรดิจิตอลชนิดประกอบและ ISCAS89 [8] เป็นกลุ่มวงจรดิจิตอลชนิดลำดับ ซึ่งมีรายการและคุณสมบัติของวงจรที่นำมาทำการทดสอบดังตารางที่ 5.1 และ 5.2 ตามลำดับ

ตารางที่ 5.1 รายการและคุณสมบัติของวงจรในกลุ่มวงจรมาตรฐาน ISCAS85

วงจร[1]	จำนวนขั้ว		จำนวนเกต							
	PI	PO	ทั้งหมด	Buffer	Not	And	Nand	Or	Nor	Xor
C17	5	2	6	-	-	-	6	-	-	-
C432	36	7	160	-	40	4	79	-	19	18
C499	41	32	202	-	40	56	-	2	-	104
C880	60	26	383	26	63	117	87	29	61	-
C1355	41	32	546	32	40	56	416	2	-	-
C1908	33	25	880	162	277	63	377	-	1	-
C2670	233	140	1193	196	321	333	254	77	12	-
C3540	50	22	1669	233	490	498	298	92	68	
C5315	178	123	2307	313	581	718	254	214	27	-
C6288	32	32	2406	-	32	256	-	-	2128	-
C7552	207	108	3512	534	876	776	1028	244	54	-

หมายเหตุ [1] ทุกวงจรมีส่วนขยายเป็น ".BENCH"

ตารางที่ 5.1 รายการและคุณสมบัติของวงจรในกลุ่มวงจรมาตรฐาน ISCAS85 (ต่อ)

วงจร	จำนวน				
	โหนด	เส้นวงจร	แฟนเอาต์	จุดเสียทั้งหมด	จุดเสียตัวแทน
C17	16	17	3	34	22
C432	196	432	89	864	524
C499	243	499	59	998	758
C880	443	880	125	1760	942
C1355	587	1355	259	2710	1574
C1908	913	1908	385	3816	1879
C2670	1426	2670	454	5340	2747
C3540	1719	3540	579	7080	3428
C5315	2485	5315	806	10630	5350
C6288	2448	6288	1456	12576	7744
C7552	3719	7552	1300	15104	7550

ตารางที่ 5.2 รายการและคุณสมบัติของวงจรในกลุ่มวงจรมาตรฐาน ISCAS89

วงจร	จำนวนขั้ว		จำนวนเกต							
	PI	PO	ทั้งหมด	Flip-flop	Not	And	Nand	Or	Nor	Xor
S27	4	1	10	3	2	1	1	2	4	-
S208	11	2	96	8	35	17	19	4	21	-
S298	3	6	119	14	44	31	9	16	19	-
S349	9	11	150	15	57	44	19	10	31	-
S420	19	2	196	16	74	28	46	9	39	-
S641	35	24	379	19	272	90	4	13	-	-
S731	35	23	393	19	254	94	28	17	-	-
S838	35	2	390	32	149	58	89	16	78	-
S1196	14	14	529	18	141	118	119	101	112	-

ตารางที่ 5.2 รายการวงจรและคุณสมบัติของวงจรในกลุ่มวงจรมาตรฐาน ISCAS89 (ต่อ)

วงจร	จำนวน				
	โหนด	เส้นวงจร	แฟนเอาต์	จุดเสียทั้งหมด	จุดเสียตัวแทน
S27	25	26	4	52	32
S208	157	208	32	416	215
S298	190	298	34	569	308
S349	252	340	41	680	350
S420	315	420	66	840	430
S641	533	639	57	1278	467
S731	569	713	80	1426	581
S838	625	838	134	1676	857
S1196	748	1196	155	2392	1242

วิธีการทดสอบทำได้โดยเรียกชื่อโปรแกรมและตามด้วยชื่อแฟ้มข้อมูลบรรยายวงจรที่ต้องการตรวจสอบ เช่น

```
#c_atpg C17.BENCH          หรือ
#s_atpf S27.BENCH
```

เพื่อให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจร C17.BENCH ซึ่งเป็นวงจรชนิดประกอบ หรือเพื่อให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจร S27. BENCH ซึ่งเป็นวงจรชนิดลำดับ

เมื่อจบการให้กำเนิดรูปแบบสัญญาณทดสอบโปรแกรมจะรายงานข้อมูลสรุปขึ้นบนหน้าจอ ข้อมูลที่สำคัญคือจำนวนจุดเสียที่เป็นตัวแทนของแต่ละกลุ่มจุดเสีย จำนวนจุดเสียที่สามารถตรวจสอบได้ ค่าครอบคลุมจุดเสีย จำนวนรูปแบบสัญญาณทดสอบ และเวลาที่ใช้ในการประมวลผลให้กำเนิดรูปแบบสัญญาณทดสอบ รูปแบบสัญญาณทดสอบที่ได้จะเก็บไว้ในแฟ้มข้อมูลที่มีชื่อเดียวกับชื่อแฟ้มวงจรที่จะนำไปตรวจสอบแต่มีส่วนขยายแฟ้มเป็น ".TEST" เช่น "C17.TEST" หรือ "S27.TEST" เป็นแฟ้มชนิดตัวอักษรเก็บทั้งรูปแบบสัญญาณทดสอบและค่าตรรกเอาต์พุตในกรณีที่วงจรที่ทำการทดสอบนั้นไม่มีจุดเสียเกิดขึ้น ดังภาพที่ 5.1 เป็นเนื้อหาของแฟ้มข้อมูล "C17.TEST"

และรายการจุดเสียที่ไม่สามารถตรวจสอบได้จะเก็บไว้ในแฟ้มข้อมูลที่ชื่อเดียวกับวงจรเช่นกันแต่มีส่วนขยายแฟ้มเป็น ".UFLTS" เช่น "C17.UFLTS" หรือ "S27.UFLTS" เป็นแฟ้มชนิดตัวอักษรเช่นเดียวกันเนื้อหาของแฟ้มจะบอกว่ามีจุดเสียจุดใดบ้างที่ไม่สามารถตรวจสอบได้ ดังเช่นภาพที่ 5.2 เป็นเนื้อหาของแฟ้ม "C432.UFLTS" บอกว่าจุดเสียที่เกิดขึ้นกับขั้วอินพุตขั้วที่ 1 ของเกต 429 จุดเสียชนิดติดค้าง "1" ไม่สามารถตรวจสอบได้

```
*Test patterns and fault free responses:
  1: 10101        11
  2: 10011        01
  3: 01110        00
  4: 01001        11
  5: 00010        00
  6: 10111        10
  7: 11000        11
```

ภาพที่ 5.1 เนื้อหาของแฟ้มข้อมูล "C17.TEST"

```
* Undetectable Faults
  { node  | line  | s-a -x }
  1  429     1       1
```

ภาพที่ 5.2 เนื้อหาของแฟ้มข้อมูล "C432.UFLTS"

5.2 ผลการทดสอบ

โปรแกรมที่พัฒนาขึ้นมาได้ทำการทดสอบการให้กำเนิดรูปแบบสัญญาณทดสอบทั้งกลุ่มวงจร ISCAS85 และISCAS89 บนเครื่องคอมพิวเตอร์ Sun Ultra10 ระบบปฏิบัติการ Solaris เวอร์ชัน 2.5 ความเร็วของตัวประมวลผลกลาง 440 เมกกะเฮิร์ต และความจุของหน่วยความจำ 128 เมกกะไบต์ ได้ผลการทดสอบดังนี้

5.2.1 ผลการทดสอบการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรชนิดประกอบ

การทดสอบให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรดิจิตอลชนิดประกอบได้ผลดังตารางที่ 5.3 นำผลการทดสอบไปเปรียบเทียบกับผลของโปรแกรมที่ใช้หลักวิธีอื่น ได้แก่ หลักวิธี ATOM พัฒนาขึ้นในปี ค.ศ.1998 ทำงานบนเครื่อง PC Pentium Pro ระบบปฏิบัติการ Linux เวอร์ชัน 2.0.0 ความจุหน่วยความจำ 128 เมกกะไบต์ [13] หลักวิธี SOCRATES ทำงานบนเครื่อง APOLLO DN 3000 Workstation [23] หลักวิธี Reduction List พัฒนาขึ้นในปี ค.ศ.2000 ทำงานบนเครื่อง SUN SPARCstation ระบบปฏิบัติการ Solaris เวอร์ชัน 2.4 ความจุหน่วยความจำ 32 เมกกะไบต์ [2] และหลักวิธี Boolean Satisfiability ทำงานบนเครื่อง PC Pentium ความเร็วของตัวประมวลผลกลาง 350 เมกกะเฮิร์ต ระบบปฏิบัติการ Linux เวอร์ชัน 2.2.5–15 ความจุหน่วยความจำ 128 เมกกะไบต์ [3] ได้ผลดังตารางที่ 5.4

ตารางที่ 5.3 ผลการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรชนิดประกอบ

วงจร	จำนวนจุดเสียตัวแทน	จำนวนจุดเสียที่ไม่สามารถตรวจสอบได้[1]	ค่าครอบคลุมจุดเสีย(%)	จำนวนรูปแบบสัญญาณทดสอบ	เวลาที่ใช้ (วินาที)
C432	524	-	99.24	77	0.117
C499	758	-	96.57	84	0.433
C880	942	-	100.00	79	0.167
C1355	1574	-	99.49	124	0.733
C1908	1879	-	99.47	168	0.833
C2670	2747	3	95.74	151	2.000
C3540	3428	-	96.00	215	1.967
C5315	5350	1	98.90	169	2.300
C6288	7744	16	99.56	36	1.450
C7552	7550	2	98.09	281	18.383

หมายเหตุ [1] ที่พบในกระบวนการเรียนรู้ก่อนการให้กำเนิดรูปแบบสัญญาณทดสอบ

ตารางที่ 5.4 ผลการเปรียบเทียบประสิทธิภาพกับหลักวิธีอื่น ๆ สำหรับวงจรชนิดประกอบ

Circuit	ATOM			SOCRATES			Reduction List.		
	FC. (%)	# of TP.	Time (sec.)	FC. (%)	# of TP.	Time (sec.)	FC. (%)	# of TP.	Time (sec.)
C432	99.23	110	0.10	99.24	58	8.8	99.11	50	0.10
C499	98.94	127	0.30	98.94	56	30.6	98.87	52	0.00
C1355	99.49	192	2.00	99.49	88	55.4	99.34	85	0.017
C1908	99.52	210	0.80	99.52	125	95.1	99.43	119	0.183
C2670	95.74	242	1.10	95.49	127	99.2	95.12	107	6.483
C3540	96.00	264	1.90	96.00	171	172.5	95.37	154	0.517
C5315	98.89	216	1.20	98.90	143	115.8	98.69	122	0.333
C6288	99.56	64	1.30	99.56	38	170.8	99.42	32	0.183
C7552	98.26	393	4.60	98.25	231	401.6	97.85	205	32.133

หมายเหตุ FC คือ ค่าครอบคลุมจุดเสีย

# of TP. คือจำนวนรูปแบบสัญญาณทดสอบ

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Chiang Mai University

ตารางที่ 5.4 ผลการเปรียบเทียบประสิทธิภาพกับหลักวิธีอื่น ๆ สำหรับวงจรชนิดประกอบ (ต่อ)

Circuit	Boolean Sat.			The Proposed		
	FC. (%)	# of TP.	Time (sec.)	FC. (%)	# of TP.	Time (sec.)
C432	99.11	69	1.8	99.24	77	0.117
C499	98.87	58	1.1	96.57	84	0.433
C1355	99.34	99	10.6	99.49	124	0.733
C1908	99.30	145	5.7	99.47	168	0.833
C2670	95.34	149	43.7	95.74	151	2.000
C3540	95.37	203	53.1	96.00	215	1.967
C5315	*	*	*	98.90	169	2.300
C6288	99.45	37	60.1	99.56	36	1.450
C7552	95.10	210	119.7	98.09	281	18.383

หมายเหตุ * ไม่มีข้อมูล

จากผลการทดสอบในตารางที่ 5.3 แสดงให้เห็นว่าโปรแกรม เอ.ที.พี.จี. ที่พัฒนาขึ้นสามารถให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรดิจิตอลได้เป็นอย่างดี โดยให้ค่าครอบคลุมจุดเสียสูงมีค่าอยู่ระหว่าง 95-100% ใช้เวลาในการประมวลผลน้อย เมื่อนำไปเปรียบเทียบกับหลักวิธีอื่นปรากฏว่าได้ค่าครอบคลุมจุดเสียใกล้เคียงกันมาก และใช้เวลาในการประมวลผลค่อนข้างน้อยกว่า แต่มีจำนวนรูปแบบสัญญาณทดสอบมากกว่าหลักวิธีอื่น ๆ ยกเว้นหลักวิธี ATOM ที่มีจำนวนรูปแบบสัญญาณทดสอบมากที่สุด สำหรับกระบวนการเรียนรู้เพื่อระบุจุดเสียที่ไม่สามารถตรวจสอบได้ก่อนกระบวนการให้กำเนิดรูปแบบสัญญาณทดสอบนั้นสามารถระบุจุดเสียได้ใน 4 วงจร คือ C2670.BENCH จำนวน 3 จุดเสีย C5315.BENCH จำนวน 1 จุดเสีย C6288.BENCH จำนวน 16 จุดเสีย และ C7552.BENCH จำนวน 2 จุดเสีย จึงช่วยลดเวลาที่ใช้ในการกำเนิดรูปแบบสัญญาณทดสอบลง

5.2.2 ผลการทดสอบสำหรับวงจรดิจิตอลชนิดลำดับ

การทดลองให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรดิจิตอลชนิดลำดับได้ผลดังตารางที่ 5.5 นำผลการทดสอบไปเปรียบเทียบกับผลของโปรแกรมที่ใช้หลักวิธีอื่น ได้แก่ หลักวิธี ATOM หลักวิธี Reduction List หลักวิธี Boolean Satisfiability และหลักวิธีที่เพิ่มขึ้นมาคือหลักวิธี ESSENTAIL ซึ่งเป็นหลักวิธีที่พัฒนาต่อจากหลักวิธี SOCRATES ทำงานบนเครื่อง VAX [22] ได้ผลการเปรียบเทียบดังตารางที่ 5.6

ตารางที่ 5.5 ผลการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรชนิดลำดับ

วงจร	จำนวนจุดเสียตัวแทน	จำนวนจุดเสียที่ไม่สามารถตรวจสอบได้[1]	ค่าครอบคลุมจุดเสีย(%)	จำนวนรูปแบบสัญญาณทดสอบ	เวลาที่ใช้ (วินาที)
S27	32	-	100.00	54	0.017
S208	215	-	79.07	155	1.667
S298	308	-	80.52	162	3.150
S349	350	-	90.29	127	1.450
S420	430	-	66.74	153	5.767
S641	467	-	90.79	329	3.217
S713	581	16	88.47	239	5.267
S838	857	-	63.40	186	21.967
S1196	1242	-	97.83	746	4.400

หมายเหตุ [1] ที่พบในกระบวนการเรียนรู้ก่อนการให้กำเนิดรูปแบบสัญญาณทดสอบ

ตารางที่ 5.6 ผลการเปรียบเทียบประสิทธิภาพกับหลักวิธีอื่น ๆ สำหรับวงจรชนิดลำดับ

Circuit	ATOM			ESSENTIAL			Reduction List.		
	FC. (%)	# of TP.	Time (sec.)	FC. (%)	# of TP.	Time (sec.)	FC. (%)	# of TP.	Time (sec.)
S208	100.0	65	0.000	63.72	150	26.92	62.33	101	42.716
S298	100.0	52	0.000	85.39	250	135.7	85.06	116	59.133
S349	99.42	65	0.000	93.14	73	23.2	95.14	97	79.566
S420	100.0	98	0.100	41.63	148	80.47	40.93	107	119.00
S641	100.0	99	0.100	86.30	175	41.33	86.51	167	146.800
S713	93.45	100	0.100	81.93	239	142.5	81.93	136	159.316
S838	100.0	183	0.200	29.64	169	263.1	4.40	69	750.583
S1196	100.0	227	0.400	99.76	358	94.13	98.87	359	331.550

ตารางที่ 5.6 ผลการเปรียบเทียบประสิทธิภาพกับหลักวิธีอื่น ๆ สำหรับวงจรชนิดลำดับ (ต่อ)

Circuit	Boolean Sat.			The Proposed		
	FC. (%)	# of TP.	Time (sec.)	FC. (%)	# of TP.	Time (sec.)
S208	*	*	*	79.07	155	1.667
S298	83.71	126	102.6	80.52	162	3.150
S349	99.63	60	14.6	90.29	127	1.450
S420	48.21	252	212.8	66.74	153	5.767
S641	94.23	254	288.7	90.79	329	3.217
S713	93.38	61	510.8	88.47	239	5.267
S838	52.68	426	683.6	63.40	186	21.967
S1196	98.61	455	19.3	97.83	746	4.400

หมายเหตุ * ไม่มีข้อมูล

จากผลการทดสอบจากตารางที่ 5.5 และผลการเปรียบเทียบกับหลักวิธีอื่นในตารางที่ 5.6 โปรแกรม เอ.ที.พี.จี. ที่พัฒนาขึ้นสามารถให้กำเนิดรูปแบบสัญญาณทดสอบที่มีประสิทธิภาพใกล้เคียงกับหลักวิธีอื่น ๆ ยกเว้นเพียงหลักวิธี ATOM ที่มีประสิทธิภาพสูงมาก ไม่ว่าจะเป็นการให้ค่าครอบคลุมจุดเสียที่สูงหรือการใช้เวลาในการประมวลผลที่ต่ำมาก ส่วนหลักวิธีที่เสนอยังคงมีจำนวนรูปแบบสัญญาณทดสอบที่มากกว่าหลักวิธีอื่น ๆ ซึ่งเป็นเพราะในการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรดิจิตอลชนิดลำดับนั้นก็ยังใช้การยุบรวมจุดเสียและการให้กำเนิดรูปแบบสัญญาณทดสอบที่มีหลักการเดียวกันกับวงจรดิจิตอลชนิดประกอบนั่นเอง แต่จุดเด่นคือเวลาที่ใช้ในการประมวลผลที่ค่อนข้างต่ำ มีเพียงวงจร S383.BENCH ที่ใช้เวลามากเนื่องวงจรนี้มีจำนวนเกตภายในโดยเฉพาะฟลิปฟลอปมากเมื่อเทียบกับจำนวนขั้วเอาต์พุตหลักของวงจรที่มีเพียง 2 ขั้ว ทางเลือกสำหรับการแพร่ผลของจุดเสียจึงมีไม่มาก ทำให้ต้องใช้เวลาในการประมวลผลมากกว่าวงจรอื่น ๆ สำหรับการระบุจุดเสียที่ไม่สามารถทดสอบได้ก่อนการให้กำเนิดรูปแบบสัญญาณทดสอบสามารถระบุได้ 1 วงจร คือวงจร S713.BENCH ซึ่งสามารถระบุจุดเสียได้ทั้งหมด 16 จุดเสีย ทำให้ลดเวลาที่ใช้ในการประมวลผลลงได้

มหาวิทยาลัยเชียงใหม่ Chiang Mai University