# ใบรับรองวิทยานิพนธ์

**บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์**

วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า)

**ปริญญา**

| วิศวกรรมไฟฟ้า | วิศวกรรมไฟฟ้า |
|---|---|
| **สาขา** | **ภาควิชา** |

**เรื่อง** การออกแบบวงจรรวมกำลังงานต่ำโดยใช้แหล่งจ่ายไฟหลายค่า

Design of Low-power VLSI Digital Circuit Using Multiple Supply Voltages

**นามผู้วิจัย** นายธานินทร์ ดวงจันทร์

**ได้พิจารณาเห็นชอบโดย**

**ประธานกรรมการ** .....

( ผู้ช่วยศาสตราจารย์ชูเกียรติ การะเกตุ, Ph.D. )

**กรรมการ** .....

( อาจารย์ดุสิต ธนเพทาย, Ph.D. )

**กรรมการ** .....

( รองศาสตราจารย์มงคล รักษาพัชรวงศ์, Ph.D. )

**หัวหน้าภาควิชา** .....

( รองศาสตราจารย์มงคล รักษาพัชรวงศ์, Ph.D. )

**บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์รับรองแล้ว**

.....

( รองศาสตราจารย์กัญจนา ธีระกุล, D.Agr. )

**คณบดีบัณฑิตวิทยาลัย**

**วันที่**..... **เดือน**..... **พ.ศ.**.....

วิทยานิพนธ์

เรื่อง

# การออกแบบวงจรรวมกำลังงานต่ำโดยใช้แหล่งจ่ายไฟหลายค่า

# Design of Low-power VLSI Digital Circuit Using Multiple Supply Voltages


โดย

นายธานินทร์ ดวงจันทร์


เสนอ

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์
เพื่อความสมบูรณ์แห่งปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า)
พ.ศ. 2552

ธานินทร์ ดวงจันทร์ 2552: การออกแบบวงจรรวมกำลังงานต่ำโดยใช้แหล่งจ่ายไฟหลายค่า ปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) สาขาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า ประธานกรรมการที่ปรึกษา: ผู้ช่วยศาสตราจารย์ ชูเกียรติ การะเกตุ, Ph.D. 106 หน้า

งานวิจัยนี้นำเสนอวิธีการลดกำลังงานสูญเสียโดยใช้วิธีการป้อนแรงดันไฟเลี้ยงหลายค่าสำหรับการออกแบบวงจรกำลังงานต่ำในระบบวงจรรวมขนาดใหญ่ เทคนิคนี้เป็นการป้อนระดับแรงดันไฟเลี้ยงที่แตกต่างกันให้แก่ลอจิกเกทแต่ละตัวในวงจรเพื่อลดกำลังงานสูญเสีย ในการทดลองได้พัฒนาโปรแกรมภาษาซีโดยใช้กราฟอัลกอริทึมแบบมีทิศทาง (Directed acyclic graph) เพื่อค้นหาเส้นทางของโครงข่ายกราฟโมเดล ในขั้นตอนแรกเป็นการคำนวณค่าเวลาหน่วงโดยเริ่มจากอินพุทปฐมภูมิไปยังเอาท์พุทปฐมภูมิ ค่าเวลาหน่วงในเส้นทางที่มีค่าเวลาหน่วงมากที่สุดเป็นเส้นทางวิกฤต ส่วนเส้นทางอื่นๆ ที่มีค่าเวลาหน่วงน้อยกว่าเส้นทางวิกฤตเป็นเส้นทางไม่วิกฤต ต่อมาเป็นการป้อนแรงดันไฟเลี้ยง 3 ระดับแรงดันให้ลอจิกเกทแต่ละตัวของแต่ละเส้นทาง เส้นทางที่เป็นเส้นทางวิกฤตจะถูกป้อนแรงดันที่ระดับ 5.0 โวลท์ ส่วนเส้นทางอื่นที่ไม่เป็นเส้นทางวิกฤตจะถูกป้อนแรงดันระดับ 3.3 โวลท์และ 4.0 โวลท์ ตามลำดับ สุดท้ายเป็นการหาค่ากำลังงานสูญเสียของเกททุกตัวในวงจรตามการป้อนแรงดัน ผลการทดลองพบว่า การป้อนแรงดันที่ระดับแรงดัน 3.3, 4.0 และ 5.0 โวลท์มีค่าเวลาหน่วงมากที่สุดเท่ากับค่าเวลาหน่วงมากที่สุดของวงจรที่ป้อนแรงดันระดับ 5.0 โวลท์ จากการทดลองในวงจรเดียวกัน นอกจากนี้ค่ากำลังงานสูญเสียจากการป้อนแรงดัน 3.3, 4 .0 และ 5.0 โวลท์มีค่าลดลงประมาณ 8.3-13.7 เปอร์เซ็นต์เมื่อเทียบกับการป้อนแรงดันที่ระดับสูงสุด

_____ _____ ___ / ___ / ___

ลายมือชื่อนิสิต ลายมือชื่อประธานกรรมการ

Tanin Duangjan 2009: Design of Low-power VLSI Digital Circuit Using Multiple Supply Voltages. Master of Engineering (Electrical Engineering), Major Field: Electrical Engineering, Department of Electrical Engineering. Thesis Advisor: Assistant Professor Chugiat Garagate, Ph.D. 106 pages.

This study proposes the multiple voltage supply technique for low-power design of VLSI system. This technique applies difference levels of voltages to each of logic gate in circuit to reduce power dissipation. C programming was used to develop the directed acyclic graph algorithm to track path in network graph model. The processes were as follows. First, to compute the delay time of each path, the algorithm starts from its primary input to primary output. The longest delay time was the critical path and the other paths being shorter than the critical path were called non-critical path. Second, the three supply voltages were applied to each logic gate in both critical and non-critical paths. For the critical path, 5.0 volts were applied to all gates. Regarding non-critical paths, 3.3 volts and 4.0 volts were applied to those paths, which the total delay time must less than the critical path. Finally, the power dissipations of logic gates in each path were computed. The results showed that, in the same circuit, the maximum delay time applying the mixed 3.3, 4.0 and 5.0 volts were equal to those applying 5.0 volts only. In addition, the total dynamic power dissipation of the mixed 3.3, 4.0 and 5.0 volts were reduced about 8.3-13.7% when compared to those of the maximum voltages.

_____ _____ ___ / ___ / ___

Student's signature Thesis Advisor's signature

# กิตติกรรมประกาศ

ผู้วิจัยขอกราบขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.ชูเกียรติ การะเกตุ ประธานกรรมการที่ปรึกษาวิทยานิพนธ์ อาจารย์ ดร.ดุสิต ธนเพทาย กรรมการที่ปรึกษาสาขาวิชาเอก และรองศาสตราจารย์ ดร.มงคล รักษาวัชรพงศ์ กรรมการที่ปรึกษาสาขาวิชารอง ที่ให้คำปรึกษาในการเรียนการค้นคว้าวิจัย ตลอดจนตรวจแก้ไขข้อบกพร่องวิทยานิพนธ์จนกระทั่งลุล่วงเสร็จสมบูรณ์ไปได้ด้วยดี

ขอกราบขอบพระคุณอาจารย์ภาควิชาวิศวกรรมไฟฟ้าทุกท่าน ที่ได้อบรมสั่งสอนและมอบความรู้อันเป็นประโยชน์อย่างยิ่งในการนำไปใช้ประโยชน์ต่อไป และขอขอบคุณเจ้าหน้าที่ภาควิชาวิศวกรรมไฟฟ้าทุกท่าน ที่ได้ให้ความช่วยเหลือและแนะนำต่างๆ ตลอดจนเพื่อนๆและพี่ๆทุกคน ที่ให้การสนับสนุน ให้กำลังใจในการทำวิทยานิพนธ์ฉบับนี้จนสำเร็จลุล่วงไปด้วยดี

ด้วยความดีหรือประโยชน์อันใดเนื่องจากวิทยานิพนธ์เล่มนี้ ขอมอบแด่คุณพ่อ คุณแม่ ที่ได้อบรมและให้กำลังใจผู้วิจัยมาโดยตลอดในทุกเรื่อง

ธานินทร์ ดวงจันทร์

เมษายน 2552

# สารบัญ

หน้า


สารบัญ (1)

สารบัญตาราง (2)

สารบัญภาพ (3)

คำอธิบายสัญลักษณ์และคำย่อ (7)

คำนำ 1

วัตถุประสงค์ 3

การตรวจเอกสาร 4

อุปกรณ์และวิธีการ 43

- อุปกรณ์ 43
- วิธีการ 43

ผลและวิจารณ์ 64

- ผล 64
- วิจารณ์ 89

สรุปและข้อเสนอแนะ 93

- สรุป 93
- ข้อเสนอแนะ 95

เอกสารและสิ่งอ้างอิง 96

ภาคผนวก 98

# สารบัญตาราง


| ตารางที่ | | หน้า |
|---|---|---|
| 1 | ผลการทำงานที่ระดับแรงดันและความถี่ต่างๆ | 15 |
| 2 | ค่าคงที่สำหรับเทคโนโลยี 0.07um | 21 |
| 3 | ค่าการใช้พลังงานของหน่วยประมวลผลและเปอร์เซ็นต์การลดลง | 22 |
| 4 | ช่องทางเดินกระแสของทรานซิสเตอร์ลอจิกเกท | 65 |
| 5 | ค่าความต้านทานแฝงของทรานซิสเตอร์ลอจิกเกทต่าง | 66 |
| 6 | ตารางแสดงการประมาณค่าความจุอินพุทของลอจิกเกทต่างๆ | 67 |
| 7 | ผลการทดสอบการทำงานของอินเวอร์เตอร์เกทเพื่อหาพารามิเตอร์ของเกท | 71 |
| 8 | ค่าเวลาหน่วงเฉลี่ยของลอจิกอินเวอร์เตอร์ | 71 |
| 9 | ผลการทดสอบการทำงานของแอนด์เกทเพื่อหาพารามิเตอร์ของเกท | 73 |
| 10 | ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท | 74 |
| 11 | ผลการทดสอบการทำงานของแนนด์เกทเพื่อหาพารามิเตอร์ของเกท | 76 |
| 12 | ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท | 77 |
| 13 | ผลการทดสอบการทำงานของออร์เกทเพื่อหาพารามิเตอร์ของเกท | 79 |
| 14 | ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท | 80 |
| 15 | ผลการทดสอบการทำงานของนอร์เกทเพื่อหาพารามิเตอร์ของเกท | 82 |
| 16 | ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท | 83 |
| 17 | ผลการทดสอบค่าเวลาหน่วงที่แรงดันไฟเลี้ยงระดับต่างๆ | 84 |
| 18 | ค่ากำลังงานสูญเสียพลวัตที่ระดับแรงดันต่างๆ | 85 |
| 19 | ผลการทดสอบค่าเวลาหน่วงหลังจากเพิ่ม LC เทียบกับแรงดัน 5 โวลท์ | 87 |
| 20 | ค่ากำลังงานสูญเสียพลวัตจากการป้อนแรงดันหลายค่าพร้อมทั้งวงจรปรับระดับแรงดัน | 88 |

# สารบัญภาพ


| ภาพที่ | | หน้า |
|---|---|---|
| 1 | การเก็บประจุและคายประจุของตัวเก็บประจุโหลดผ่านวงจรซีมอส | 5 |
| 2 | ลักษณะการเกิดการลัดวงจรของการทำงานของทรานซิสเตอร์ | 8 |
| 3 | รูปสัญญาณขาเข้าและแบบจำลองกระแสลัดวงจร | 9 |
| 4 | กระแสรั่วไหลของวงจรสมมูลอินเวอร์เตอร์แบบซีมอส | 10 |
| 5 | วงจร Self-timed synchronous | 12 |
| 6 | การเปลี่ยนแปลงแรงดันไฟเลี้ยงตามข้อมูล | 12 |
| 7 | สัญญาณควบคุมสำหรับการสร้างแรงดันอ้างอิง | 13 |
| 8 | วงจรสร้างสัญญาณอ้างอิง | 14 |
| 9 | กราฟความสัมพันธ์ของเวลากับแรงดันไฟเลี้ยง | 15 |
| 10 | กราฟความสัมพันธ์ของพลังงานและแรงดันไฟเลี้ยง | 15 |
| 11 | กราฟความสัมพันธ์ของกำลังงานและเวลากับแรงดันไฟเลี้ยงของวงจร | 18 |
| 12 | ผลการปรับแรงดันไฟเลี้ยงและแรงดันเริ่มดันสำหรับค่าที่เหมาะสม | 21 |
| 13 | การต่อวงจรรวมโดยใช้เทคนิคโครงสร้างแบบขนาน | 23 |
| 14 | ตัวอย่างวงจรเกท | 25 |
| 15 | การจัดค่าระดับแรงดันให้กับโครงสร้างของ CVS | 26 |
| 16 | การจัดวางและแบ่งส่วนของโครงสร้างของ CVS | 26 |
| 17 | โครงสร้างเลย์เอาท์แบบ ROW-by-ROW | 27 |
| 18 | วงจรเกทพื้นฐานที่ออกแบบโดยใช้ระดับแรงดัน H-Type และ L-Type | 28 |
| 19 | รูปแบบของการออกแบบระหว่างเกทมาตรฐานและรูปแบบใหม่ | 28 |
| 20 | โครงสร้างของ CVS โดยใช้เกทเซลล์ใหม่ | 29 |
| 21 | อัลกอริทึมสำหรับการลดกำลังงานด้วยเทคนิค MVS | 30 |
| 22 | ตัวอย่างวงจรของการนำเสนออัลกอริทึม | 30 |
| 23 | ซีมอสอินเวอร์เตอร์และคุณสมบัติการถ่ายโอนทางดีซี | 33 |
| 24 | วงจรแนนด์เกทและนอร์เกท 2 อินพุท | 36 |

# สารบัญภาพ (ต่อ)


| ภาพที่ | | หน้า |
|---|---|---|
| 25 | การแสดงกราฟตัวอย่าง | 39 |
| 26 | กราฟที่บอกขนาดของความสำคัญ | 39 |
| 27 | อะไซคลิกกราฟ (Acyclic graph) | 40 |
| 28 | การแสดงกราฟด้วยเมทริกซ์ | 41 |
| 29 | การแทนที่กราฟด้วยลิงค์ลิสท์ | 41 |
| 30 | ตัวอย่างทรานซิสเตอร์เลย์เอาท์ของลอจิกนอร์เกท | 45 |
| 31 | วงจรอินเวอร์เตอร์เมื่อพิจารณาโหลด | 47 |
| 32 | การวิเคราะห์ค่าความต้านทานของช่องทางเดินกระแสของทรานซิสเตอร์ | 47 |
| 33 | การประมาณค่าความต้านทานของทรานซิสเตอร์ | 48 |
| 34 | การวิเคราะห์ประเมินค่าความต้านทานของเอ็นมอสทรานซิสเตอร์ | 48 |
| 35 | ตัวเก็บประจุแฝงที่เกิดขึ้นในโครงสร้างมอส | 50 |
| 36 | ค่าความจุรวมทั้งหมดที่เกท | 51 |
| 37 | ค่าความจุแฝงที่เกิดขึ้นในอินเวอร์เตอร์เกทและเมื่อต่อกับเกทอื่น | 52 |
| 38 | การคำนวณค่าความจุโหลด (Fan out) | 53 |
| 39 | ส่วนประกอบของเวลาหน่วงในวงจรคอมบิเนชัน | 54 |
| 40 | นิยามค่าเวลาหน่วง | 55 |
| 41 | ขั้นตอนการหาเส้นทางจากกราฟ | 56 |
| 42 | ตัวอย่างวงจรที่สร้างจากเนทลิส | 58 |
| 43 | ตัวอย่างการแปลงวงจรโครงข่ายเป็นวงจรกราฟ | 58 |
| 44 | ขั้นตอนการทำงานของโปรแกรมที่พัฒนาในการหาเส้นทาง | 60 |
| 45 | ขั้นตอนการทำงานของการจัดเรียงลำดับโนด | 61 |
| 46 | การต่อลอจิกเกทจากแรงดันระดับต่ำเพื่อขับลอจิกเกทที่ป้อนด้วยแรงดันระดับสูง | 62 |
| 47 | วงจรปรับระดับแรงดัน SSLC | 63 |
| 48 | ค่าความจุแฝงทางด้านอินพุทของลอจิกเกทต่างๆ | 69 |
| 49 | ผลการทดสอบอินเวอร์เตอร์เกท | 70 |

# สารบัญภาพ (ต่อ)


| ภาพที่ | | หน้า |
|---|---|---|
| 50 | กราฟแสดงค่าเวลาหน่วงของอินเวอร์เตอร์เกท | 71 |
| 51 | กราฟการใช้กำลังงานเฉลี่ยของอินเวอร์เตอร์เกท | 72 |
| 52 | ผลการทำงานของแอนด์เกท 2 อินพุท | 73 |
| 53 | กราฟแสดงค่าเวลาหน่วงเฉลี่ยของแอนด์เกท | 74 |
| 54 | กราฟการใช้กำลังงานของลอจิกแอนด์เกท 2-8 อินพุท | 75 |
| 55 | ผลการทำงานของแนนด์เกท 2 อินพุท | 76 |
| 56 | กราฟแสดงค่าเวลาหน่วงของลอจิกแนนด์เกท | 77 |
| 57 | กราฟการใช้กำลังงานเฉลี่ยของแนนด์เกท 2-4 อินพุท | 78 |
| 58 | ผลการทำงานของออร์เกท 2 อินพุท | 79 |
| 59 | กราฟแสดงค่าเวลาหน่วงเฉลี่ยของลอจิกออร์เกท | 80 |
| 60 | กราฟการใช้กำลังงานเฉลี่ยของออร์เกท 2-5 อินพุท | 81 |
| 61 | ผลการทำงานของวงจรนอร์เกท 2 อินพุท | 82 |
| 62 | กราฟแสดงค่าเวลาหน่วงลอจิกนอร์เกท 2-8 อินพุท | 83 |
| 63 | กราฟการใช้กำลังงานเฉลี่ยของนอร์เกท 2-8 อินพุท | 84 |
| 64 | กราฟเปรียบเทียบเวลาหน่วงที่แรงดันต่างๆ | 85 |
| 65 | กราฟกำลังงานสูญเสียพลวัตที่ระดับแรงดันไฟเลี้ยงต่างๆ | 86 |
| 66 | ผลจำลองการทำงานของวงจรปรับระดับแรงดัน | 87 |
| 67 | ค่าเวลาหน่วงจากการเพิ่มวงจร LC เทียบกับแรงดัน 5 โวลท์ | 88 |
| 68 | กราฟค่ากำลังงานสูญเสียที่แรงดัน 5 โวลท์และแรงดันหลายค่าพร้อมวงจร LC | 89 |
| 69 | กราฟเปรียบเทียบค่าเวลาหน่วงที่แรงดันต่ำสุดและสูงสุด | 90 |
| 70 | กราฟเปรียบเทียบเวลาหน่วงระหว่างแรงดัน 5 โวลท์ กับแรงดันหลายค่า | 91 |
| 71 | การเปรียบเทียบกำลังงานสูญเสียในภาวะแรงดันต่างๆ | 92 |

# สารบัญภาพ (ต่อ)


| ภาพผนวกที่ | | หน้า |
|---|---|---|
| 1 | เลย์เอาท์ของอินเวอร์เตอร์เกท | 99 |
| 2 | เลย์เอาท์ของแอนด์เกท 2 อินพุท | 99 |
| 3 | เลย์เอาท์ของแอนด์เกท 3 อินพุท | 100 |
| 4 | เลย์เอาท์ของแอนด์เกท 4 อินพุท | 100 |
| 5 | เลย์เอาท์ของแนนด์เกท 2 อินพุท | 101 |
| 6 | เลย์เอาท์ของแนนด์เกท 3 อินพุท | 101 |
| 7 | เลย์เอาท์ของแนนด์เกท 4 อินพุท | 102 |
| 8 | เลย์เอาท์ของนอร์เกท 2 อินพุท | 102 |
| 9 | เลย์เอาท์ของนอร์เกท 3 อินพุท | 103 |
| 10 | เลย์เอาท์ของออร์เกท 2 อินพุท | 103 |
| 11 | เลย์เอาท์ของออร์เกท 3 อินพุท | 104 |
| 12 | เลย์เอาท์ของออร์เกท 4 อินพุท | 104 |
| 13 | เลย์เอาท์ของวงจรปรับระดับแรงดัน | 105 |

# คำอธิบายสัญลักษณ์และคำย่อ

| | | |
|---|---|---|
| ASIC | = | applicaton-specific integrated circuit |
| ABB | = | adaptive body bias |
| CCLC | = | cross-coupled PMOS pair level converter |
| CMOS | = | complementary MOS |
| CVS | = | clustered voltage scaling |
| DAG | = | directed acyclic graph |
| DFS | = | depth first search |
| DSV | = | dual supply voltage |
| DVS | = | dynamic voltage scaling |
| FIFO | = | first in first out |
| FIR | = | finite impulse respone |
| LC | = | level converstor |
| LIFO | = | last in first out |
| MOS | = | metal-oxide-semiconductor |
| MSV | = | multiple supply voltage |
| nMOS | = | n-channel MOS transistor |
| pMOS | = | p-channel MOS transistor |
| SSLC | = | single-supply diode-voltage-limited level converter |
| VLSI | = | very large scale integration |

# การออกแบบวงจรรวมกำลังงานต่ำโดยใช้แหล่งจ่ายไฟหลายค่า

# Design of Low-power VLSI Digital Circuit Using Multiple Supply Voltages

## คำนำ

ในปัจจุบันการพัฒนาออกแบบดิจิตอลไอซีระบบชิพเดี่ยวมีวงจรขนาดใหญ่ ความยุ่งยากและซับซ้อนสูง พร้อมทั้งความก้าวหน้าทางเทคโนโลยีได้เจริญก้าวหน้าไปอย่างรวดเร็ว ทำให้อุปกรณ์อิเล็กทรอนิกส์มีขนาดเล็กลงจนสามารถพกพาได้สะดวกขึ้น ซึ่งตลอดเวลาที่ผ่านมา การออกแบบวงจรรวมได้เน้นความสำคัญไปที่ความเร็วในการทำงานของวงจรเป็นหลักและพื้นที่ของวงจรต้องมีขนาดเล็ก ทำให้การออกแบบวงจรจึงนิยมออกแบบให้อุปกรณ์มีขนาดเล็กลงโดยการคิดค้นเทคโนโลยีใหม่ๆในการสร้างอุปกรณ์ทรานซิสเตอร์ให้มีขนาดเล็ก ทำให้ภายในชิพมีความหนาแน่นของทรานซิสเตอร์เป็นจำนวนสูงมาก จนทำให้เกิดความร้อนขึ้นภายในชิพ (Chip) นั้นเป็นผลทำให้ต้นทุนในการผลิตสูงขึ้นจากการออกแบบระบบระบายความร้อน ซึ่งสาเหตุเกิดจากกำลังงานสูญเสียที่เกิดขึ้นภายในวงจรรวมนั้นเอง ตลอดมาผู้ออกแบบวงจรรวมมีเหตุผลที่แตกต่างกันสำหรับการออกแบบวงจรรวมขนาดใหญ่ ซึ่งขึ้นอยู่กับเป้าหมายในการใช้งาน แต่สิ่งสำคัญเป็นอันแรกที่คำนึงถึงคือ การออกแบบวงจรที่มีการลดกำลังงานสูญเสียที่เกิดขึ้นในวงจรรวมหรือลดการใช้พลังงานของวงจรลงในขณะที่ประสิทธิภาพการทำงานยังเหมือนเดิม ซึ่งเป็นเหตุผลหลักในการออกแบบวงจรจำพวกอุปกรณ์พกพา เป็นสาเหตุให้นักออกแบบวงจรรวมเริ่มตระหนักถึงการออกแบบวงจรประหยัดพลังงานมากขึ้น และเป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก ดังนั้นการลดกำลังงานสูญเสียที่เกิดขึ้นนี้สามารถทำได้โดยการลดแรงดันไฟเลี้ยงของวงจร ซึ่งเป็นวิธีที่มีประสิทธิภาพมากและเป็นที่นิยมอย่างแพร่หลายในการออกแบบวงจรรวมขนาดใหญ่ อย่างไรก็ตามการลดแรงดันไฟเลี้ยงแหล่งจ่ายวงจรไฟฟ้าลงนำมาซึ่งดีเลย์ (Delay) ของวงจร พร้อมทั้งยังทำให้ประสิทธิภาพการทำงานของวงจรลดลงด้วย การรักษาประสิทธิภาพการทำงานของวงจรนั้นสามารถทำได้โดยวิธี pipeline และโครงสร้างแบบขนาน (Parallel architecture) นอกจากนี้ยังมีวิธีอื่นๆ ในการลดกำลังงานในวงจรรวม

การลดกำลังงานสูญเสียโดยวิธี pipeline และโครงสร้างแบบขนาน (Parallel architecture) นั้น สามารถรักษาประสิทธิภาพการทำงานของวงจรให้คงเดิมอยู่ได้เหมือนเดิม แต่จะต้องสร้างวงจรเพิ่มเติมขึ้นจากวงจรเดิม ซึ่งอาจจะต้องออกแบบวงจรให้มีขนาดใหญ่ขึ้นจากวงจรเดิมมากเป็นขนาด

เท่าตัวทำให้วงจรมีขนาดใหญ่ขึ้น และการลดกำลังงานสูญเสียที่นิยมอีกวิธีหนึ่งคือ การลดแรงดัน ในที่นี้จะคำนึงถึงภาระโหลดที่เข้ามาทางอินพุทด้วย นั่นคือแรงดันจะปรับเปลี่ยนตามขนาดของภาระงานที่เข้ามา ถ้าภาระงานมีจำนวนมากแรงดันจะเพิ่มขึ้น แต่ถ้าภาระงานที่รับเข้ามามีปริมาณน้อยก็จะปรับเปลี่ยนแรงดันลง ซึ่งเทคนิคนี้เรียกว่า การปรับเปลี่ยนแรงดันไฟเลี้ยงพลวัต (Dynamic Voltage Scaling : DVS) ทำให้ในช่วงการทำงาน (Active) มีการใช้พลังงานอย่างมีประสิทธิภาพ แต่ทำให้เกิดปัญหาตามมานั้นคือ เวลาหน่วงของเกท (Gate delay) ของซีมอส (CMOS) จะเพิ่มมากขึ้น และจะทำให้ประสิทธิภาพของวงจรลดลงอย่างเห็นได้ชัดเจน จากนั้นได้มีนักวิจัยหาทางแก้ไขปัญหานี้โดยการปรับเปลี่ยนแรงดันเริ่มดัน (Threshold voltage) ให้ลดลงตามการเปลี่ยนแปลงของแหล่งจ่ายแรงดันไฟฟ้า เพื่อให้วงจรมีประสิทธิภาพมากขึ้น แต่จะมีความยุ่งยากในการออกแบบวงจร เนื่องจากจะต้องใช้เทคโนโลยีเฉพาะที่เป็นลักษณะ dual well หรือ triple well เท่านั้น ทำให้เกิดข้อจำกัดในการออกแบบวงจรรวม และเพิ่มต้นทุนในการผลิตอีกด้วย

ดังนั้นในงานวิจัยนี้ เพื่อศึกษาการลดพลังงานในวงจรรวมขนาดใหญ่โดยใช้เทคโนโลยีซีมอส ซึ่งเป็นที่ทราบว่า ในวงจรรวมประกอบด้วยลอจิกเกทเป็นจำนวนมากประกอบขึ้นเป็นวงจรขนาดใหญ่ โดยในวงจรเหล่านั้นจะมีส่วนที่เป็นเส้นทางวิกฤติ (Critical paths) และส่วนที่ไม่เป็นเส้นทางวิกฤติ ในวงจรที่เป็นเส้นทางวิกฤตินั้นจะเป็นส่วนที่เป็นปัญหาของวงจร ถ้าหากลดแรงดันไฟเลี้ยงในส่วนนี้ลงจะทำให้ประสิทธิภาพของวงจรลดลงและเกทดีเลย์เพิ่มขึ้น แต่ถ้าหากแรงดันไฟเลี้ยงให้วงจรส่วนนี้คงเดิม แต่ลดการจ่ายแรงดันให้กับส่วนที่ไม่เป็นส่วน เส้นทางวิกฤติก็จะทำให้วงจรมีประสิทธิภาพการทำงานเหมือนเดิม แต่สามารถลดกำลังงานไฟฟ้าลงได้ ทำให้สามารถประหยัดพลังงานได้

# วัตถุประสงค์

1. ศึกษาการทำงานของวงจรรวมจากการออกแบบและสร้างด้วยเทคโนโลยีซีมอส

2. เพื่อศึกษาวิธีการลดกำลังงานสูญเสียที่เกิดขึ้นในวงจรรวมโดยใช้เทคโนโลยีซีมอส

3. เพื่อศึกษาการออกแบบวงจรรวมเพื่อลดกำลังงานสูญเสีย โดยการใช้แหล่งจ่ายไฟหลายค่า (Multiple Supply Voltages : MSV) ในการลดกำลังงานที่เกิดขึ้นในวงจรรวม

4. เพื่อศึกษาวิธีการออกแบบในการจำแนกวงจรออกเป็นส่วนของเส้นทางวิกฤติ (Critical paths) และในส่วนของไม่เป็นเส้นทางวิกฤติ (Non-critical paths)

5. สามารถออกแบบวงจรรวมโดยการใช้เทคนิคแหล่งจ่ายไฟหลายค่าในการลดกำลังงานในวงจรรวมได้

# การตรวจเอกสาร

ในส่วนนี้จะกล่าวถึงทฤษฎีการเกิดกำลังงานสูญเสียในวงจรดิจิตอลซีมอส โดยจะระบุถึงสาเหตุของการเกิดกำลังสูญเสียในแต่ละองค์ประกอบ เพื่อพัฒนาอุปกรณ์จำพวกพกพาที่มีขนาดเล็กที่ภายในประกอบขึ้นเป็นวงจรรวมที่มีขนาดใหญ่ (VLSI หรือ ULSI) พร้อมทั้งพัฒนาปรับปรุงการออกแบบให้สามารถใช้งานได้โดยใช้กำลังงานต่ำ แต่ยังคงประสิทธิภาพการทำงานสูงเหมือนดิม โดยจะกล่าวถึงการค้นคว้าหาวิธีการต่างๆ ในการลดกำลังงานสูญเสียที่เกิดขึ้นในวงจรให้มีค่าต่ำที่สุดที่สามารถทำได้ แต่ยังคงประสิทธิการทำงานยังคงเดิม ซึ่งวิธีการที่ใช้ลดกำลังงานสูญเสียในวงจรดิจิตอลได้ถูกคิดค้นวิจัยอย่างกว้างขวางเริ่มตั้งแต่อุปกรณ์ ขบวนการ คุณสมบัติอุปกรณ์ การเชื่อมต่อ ตลอดจนการออกแบบ อัลกอริทึม (Algorithm) โดยในระดับวงจรนั้น การเลือกวิธีการออกแบบวงจรที่ถูกต้องเหมาะสม การลดการสวิงของแรงดัน และกลยุทธสัญญาณนาฬิกาสามารถถูกนำมาใช้ลดกำลังงานสูญเสียในระดับทรานซิสเตอร์ได้ ส่วนในระดับโครงสร้างนั้น การจัดการพลังงานอย่างชาญฉลาดของโครงสร้างที่มีหลากหลายบล็อก และการออกแบบโครงสร้างอย่างเหมาะสม สุดท้ายเป็นกำลังงานที่เกิดขึ้นในระบบ สามารถถูกลดโดยการเลือกขั้นตอนการประมวลผลข้อมูล (Algorithm) อย่างเหมาะสม โดยเฉพาะในการลดจำนวนการสวิตซ์สำหรับการทำงานที่ต่ำสุด

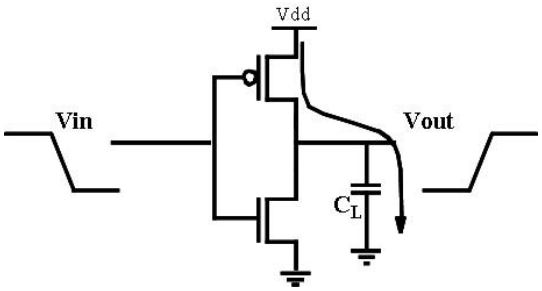
## 1. กำลังงานสูญเสียในวงจรดิจิตอล CMOS

กำลังงานสูญเสียในวงจรดิจิตอล CMOS โดยทั่วไปสามารถถูกระบุออกเป็น 3 องค์ประกอบหลัก คือ

### 1.1 กำลังงานสูญเสียพลวัต (Dynamic power dissipation)

กำลังงานสูญเสียประเภทนี้ เป็นกำลังงานสูญเสียที่เกิดขึ้นระหว่างการสวิทช์ (การเปลี่ยนสถานะ) เมื่อแรงดันที่จุดเอาท์พุทของลอจิกเกทมีการเปลี่ยนแปลง ตามภาพที่ 1 นั้น เป็นวงจรดิจิตอลซีมอสที่ประกอบด้วยทรานซิสเตอร์เอ็นมอส (nMOS) และพีมอส (pMOS) ประกอบเข้าด้วยกันเป็นวงจรอินเวอร์เตอร์ เมื่อแรงดันอินพุทเท่ากับศูนย์ พีมอสจะนำกระแส ทำให้กระแสไหลจากแหล่งจ่ายไฟเลี้ยง ($V_{DD}$) ไปประจุให้กับตัวเก็บประจุที่จุดเอาท์พุทของวงจร ($C_L$) ในระหว่างการประจุไฟฟ้า แรงดันที่จุดเอาท์พุทมีระดับเปลี่ยนแปลงจากระดับลอจิกต่ำ (Low) ไปสู่

ระดับลอจิกสูง (High) และเมื่อแรงดันอินพุทมีค่าเพิ่มมากขึ้นมากกว่า $V_{TN}$ ทำให้เอ็นมอสเริ่มทำงานและเข้าสู่สภาวะอิ่มตัว ทำให้ตัวเก็บประจุเอาท์พุทคายประจุผ่านทรานซิสเตอร์เอ็นมอสลงกราวด์ ทำให้แรงดันเอาท์พุทเปลี่ยนแปลงระดับลอจิกสูง (High) ไปสู่ระดับลอจิกต่ำ (Low) การทำงานดังกล่าวข้างต้นทำให้กระแสเปลี่ยนระดับจากแหล่งจ่ายไฟเลี้ยง ($V_{DD}$)ไปสู่กราวด์ผ่านทรานซิสเตอร์ทั้งสองตัวสลับกันทำงานโดยใช้ตัวเก็บประจุในการเก็บและคายประจุ ซึ่งการทำงานในลักษณะนี้ทำให้เกิดกำลังงานสูญเสียจากการทำงานของทรานซิสเตอร์ในลักษณะสวิทช์ จึงเรียกกำลังงานสูญเสียนี้ว่า กำลังงานสูญเสียพลวัต (Dynamic power dissipation) หรือ เรียกว่า Switching power dissipation (Roy and Prasad, 2000)




**ภาพที่ 1** การเก็บประจุและคายประจุของตัวเก็บประจุโหลดผ่านวงจรซีมอส

**ที่มา**: (Rabaey *et al.*, 2003)

ดังนั้นสำหรับวงจรอินเวอร์เตอร์กำลังสูญเสียเฉลี่ยแบบพลวัต (Dynamic) สามารถแทนด้วยผลบวกของ กำลังสูญเสียเฉลี่ยแบบพลวัตในทรานซิสเตอร์เอ็นมอสและพีมอส เมื่อกำหนดให้แรงดันอินพุทเป็นสัญญาณรูปสี่เหลี่ยม สามารถเขียนสมการได้ดังสมการที่ (1)

$$P_D = \frac{1}{T}\int_0^{\frac{T}{2}} i_N(t) V_{out}\,dt + \frac{1}{T}\int_{\frac{T}{2}}^{T} i_P(t)\left(V_{DD} - V_{out}\right)dt \qquad (1)$$

เมื่อ $P_D$ คือ กำลังงานสูญเสียพลวัต

$i_N$ คือ กระแสชั่วขณะของทรานซิสเตอร์เอ็นมอส

$i_P$ คือ กระแสชั่วขณะของทรานซิสเตอร์พีมอส

$V_{DD}$ คือ แหล่งจ่ายแรงดันไฟเลี้ยง

$V_{out}$ คือ แรงดันที่เอาท์พุท

$C_L$ คือ ตัวเก็บประจุโหลด

เมื่อกำหนดให้

$$i_N(t) = C_L \frac{dV_{out}}{dt} \tag{2}$$

$$i_P(t) = C_L \frac{dV_{out}}{dt} \tag{3}$$

$$P_D = \frac{C_L}{T}\int_0^{V_{DD}} V_{out}\, d(V_{out}) + \frac{C_L}{T}\int_{V_{DD}}^{0} (V_{DD} - V_{out})\, d(V_{DD} - V_{out}) \tag{4}$$

$$P_D = \frac{C_L V^2{}_{DD}}{T} \tag{5}$$

จากสมการที่ (5) สามารถเขียนสมการใหม่ได้ดังสมการที่ (6) คือ

$$P_D = \alpha C_L V^2{}_{DD} f_{clk} \tag{6}$$

เมื่อกำหนดให้ $\propto$ คือ activity ของการสวิทช์ของวงจร

$f_{clk}$ คือ ความถี่สัญญาณนาฬิกาการทำงาน

นั่นคือสามารถหากำลังงานซึ่งคำนวณได้จากสมการ (7)

$$P(t) = \frac{dE}{dt} = V_{DD} \times i_{DD}(t) \tag{7}$$

ถ้าหากสมมุติให้แรงดันอินพุทเป็น step โดยเริ่มต้นที่ t = 0 จะได้ค่ากระแสตามสมการที่ (8)

$$i_{DD}(t) = C_L \frac{dV_{out}}{dt} \tag{8}$$

ดังนั้นพลังงานที่จ่ายออกมาจากแหล่งจ่ายไฟเลี้ยง ($V_{DD}$) ในช่วงเวลาการเปลี่ยนแปลงจากระดับลอจิกต่ำไปสู่ระดับลอจิกสูงที่เกทเอาท์พุทสามารถเขียนสมการที่ (9)

$$E_{0\to1} = \int_0^{t_d} P(t)dt = V_{DD}C_L \int_0^V dV_O = C_L V_{DD} V \qquad (9)$$

เมื่อแรงดัน V เป็นแรงดันสูงสุดที่ตัวเก็บประจุสามารถประจุแรงดันได้ จากสมการ (8) ถ้ากำหนดให้ $C_L$ เป็นอิสระจาก $V_O$ และไม่เปลี่ยนแปลงตามเวลา ถ้ากำหนดให้ $V=V_{DD}$ เขียนสมการ (9) ได้เป็น

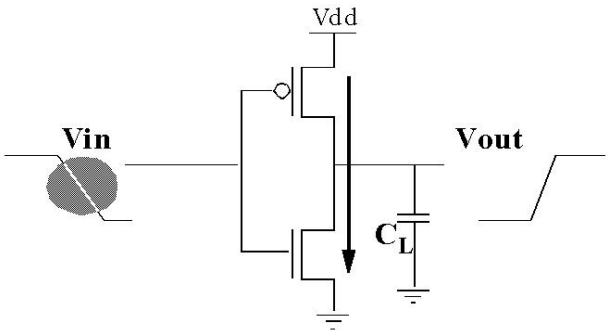
$$E_{0\to1} = C_L V^2{}_{DD} \qquad (10)$$

พลังงานที่ถูกเก็บอยู่ในตัวเก็บประจุ $C_L$ จากการเปลี่ยนสถานะจากระดับลอจิกต่ำปสู่ระดับลอจิกสูงมีค่าแรงดันตกคร่อมเป็นครึ่งหนึ่งของค่าจากสมการ (10) เป็นแรงดันที่เก็บใน $C_L$ ส่วนแรงดันที่เหลือครึ่งหนึ่งของค่าจากสมการ (10) จะถูกเปลี่ยนให้เป็นความร้อนจากความต้านทาน Source – Drain ของทรานซิสเตอร์ พีมอส ส่วนพลังงานที่ถูกเก็บใน $C_L$ จะถูกเปลี่ยนให้เป็นความร้อนเมื่อเกทเอาท์พุทเปลี่ยนแปลงระดับจากระดับลอจิกสูงไปสู่ระดับลอจิกต่ำ ตัวเก็บประจุคายประจุผ่านความต้านทานของเอ็นมอส ในระหว่างการเปลี่ยนแปลงนี้ไม่มีการดึงกระแสจาก $V_{DD}$ เพิ่มเติมเนื่องจากพีมอสที่หยุดนำกระแส ดังนั้นพลังงานจากการเปลี่ยนแปลงเป็นกำลังงานสูญเสียจากการเปลี่ยนสถานะจากลอจิกต่ำไปสู่ลอจิกสูง และลอจิกสูงไปสู่ลอจิกสูงต่ำ

1.2 กำลังงานสูญเสียจากการลัดวงจร (Short circuit power dissipation)

ถ้าอินเวอร์เตอร์ซีมอสหรือลอจิกเกทถูกขับด้วยแรงดันอินพุทด้วยสัญญาณ Finite rise และ Fall time ตามภาพที่ 2 ทรานซิสเตอร์ทั้งเอ็นมอสและพีมอสในวงจรอาจนำกระแสพร้อมกันในระยะเวลาสั้นๆ ระหว่างการสวิทช์ ทำให้มีกระแสไหลผ่านระหว่างแหล่งจ่ายไฟเลี้ยง ($V_{DD}$) ไปสู่กราวด์ กระแสที่ไหลผ่าน เอ็นมอสและพีมอส ขณะนี้จะไม่ถูกเก็บไว้ในตัวเก็บประจุ $C_L$ ซึ่งเรียกกระแสนี้ว่า กระแสลัดวงจร (short circuit current) การไหลของกระแสขึ้นอยู่กับขนาดของ $C_L$ และสัญญาณอินพุทที่มีช่วงเวลาไต่ขึ้น (Rise time) และช่วงเวลาไต่ลง (Fall time) ขนาดใหญ่ ดังนั้นการหาค่ากระแสลัดวงจรสามารถคำนวณหาได้จากสมการที่ (11)

$$P_{SC} = I_{mean} \times V_{DD} \tag{11}$$




**ภาพที่ 2** ลักษณะการเกิดการลัดวงจรของการทำงานของทรานซิสเตอร์

จากภาพที่ 2 ขณะที่เกทซีมอสเปลี่ยนสถานะจากสัญญาณที่รับเข้ามาทางอินพุท ทรานซิสเตอร์เอ็นมอสและพีมอส อยู่ในสภาวะกึ่งเปิดกึ่งปิดอยู่ช่วงเวลาสั้นๆ ก่อนที่จะเข้าสู่สภาวะหยุดนิ่ง ทำให้เกิดกระแสลัดวงจรที่ไหลจากแหล่งจ่ายไฟเลี้ยงลงกราวด์ ดังภาพที่ 3 ภาวะเช่นนี้มีลักษณะคล้ายกับการลัดวงจรซึ่งสามารถหาค่ากระแสเฉลี่ยได้ดังสมการที่ (12)

$$I_{mean} = 2 \times \left[ \frac{1}{T} \int_{t_1}^{t_2} I(t)\,dt + \frac{1}{T} \int_{t_2}^{t_3} I(t)\,dt \right] \tag{12}$$

สมมุติให้ $V_{TN} = -V_{TP}$ และ $\beta_N = \beta_P = \beta$ ทำให้รูปกราฟของกระแสสมมาตรทั้งสองด้านของช่วงเวลา $t_2$ จึงสามารถลดรูปสมการลงได้ดังสมการที่ (13)

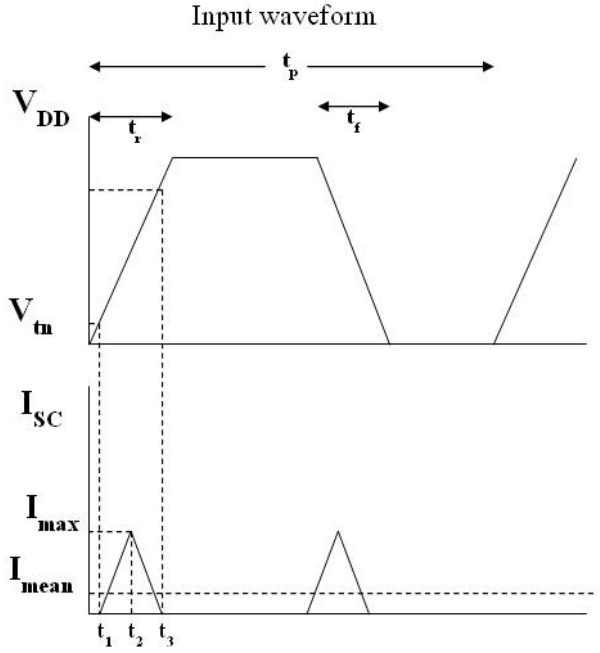
$$I_{mean} = 2 \times \frac{2}{T} \int_{t_1}^{t_2} \frac{\beta}{2} \left( V_{in}(t) - V_T \right)^2 dt \tag{13}$$

เมื่อกำหนดให้

$$V_{in}(t) = \frac{V_{DD}}{t_r} t, \quad t_1 = \frac{V_T}{V_{DD}} t_r, \quad t_2 = \frac{t_r}{2}$$

และเนื่องจากอินเวอร์เตอร์ไม่มีโหลด จึงสมมุติให้ช่วงเวลาไต่ขึ้น ($t_r$) และช่วงเวลาไต่ลง ($t_f$) เท่ากัน เท่ากับ $t_{rf}$ จึงได้สมการที่ (14)

$$P_{SC} = \frac{\beta}{12}\left(V_{DD} - 2V_T\right)^3 \frac{t_{rf}}{t_p} \tag{14}$$




**ภาพที่ 3** รูปสัญญาณขาเข้าและแบบจำลองกระแสลัดวงจร

จากภาพที่ 3 ทำให้สามารถวิเคราะห์ในกรณีไม่มีโหลดนี้ กระแสลัดวงจรขึ้นอยู่กับ $\beta$ และเวลาไต่ขึ้นและเวลาไต่ลงของอินเวอร์เตอร์ สัญญาณที่มีเวลาขึ้นยาวนาน ส่งผลต่อการกินกำลังลัดวงจรของอินเวอร์เตอร์ที่มีโหลด ดังนั้นในการออกแบบจึงต้องออกแบบโดยยึดหลักให้ขอบของสัญญาณมีความชันมากที่สุด

1.3 กำลังงานสูญเสียขณะหยุดนิ่ง (Static power dissipation)

กำลังงานสูญเสียขณะหยุดนิ่ง (Static power dissipation) สืบเนื่องจากกระแสรั่ว จากในภาวะหยุดนิ่ง (Steady state) วงจรซีมอสปกติจะไม่มีกระแสไหลในวงจร กระแสที่มีคือ กระแสรั่วผ่านการไบแอสกลับที่ซอสเดรนและบ่อ (Well) ซึ่งจะเกิดขึ้นกับอุปกรณ์ประเภทรอยต่อสารกึ่ง

ตัวนำที่อยู่ในช่วงการทำงานที่ไม่มีการนำกระแส แต่วงจรไม่ถูกตัดขาดอย่างสิ้นเชิง กระแสที่เกิดขึ้นจากแหล่งจ่ายไฟเลี้ยงบวกลงกราวด์ โดยมีค่าเป็นกระแสอิ่มตัวย้อนกลับของไดโอด ซึ่งมีสมการเป็นดังสมการที่ (15) และแสดงภาพวงจรสมมูลที่เกิดขึ้นกับอินเวอร์เตอร์แบบซีมอสตามภาพที่ 4

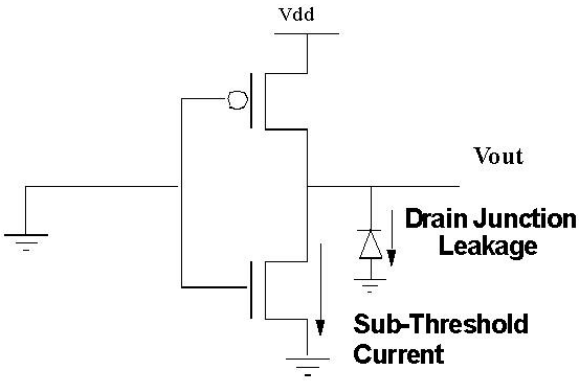
$$i_o = i_s\left(e^{\frac{qV}{kT}} - 1\right) \tag{15}$$

เมื่อ $i_s$ คือ กระแสอิ่มตัวย้อนกลับ, V คือ แรงดันตกคร่อมไดโอด, q คือ ประจุของอิเล็กตรอน, k คือ ค่าคงที่โบลท์ซมาน และ T คือ อุณหภูมิสมบูรณ์

ค่ากระแสรั่วนี้จะขึ้นอยู่กับคุณสมบัติของสารกึ่งตัวนำที่นำมาใช้ทำอุปกรณ์โดยปกติค่าของกระแสรั่วนี้มีค่าน้อยมากประมาณอยู่ในช่วง 0.1 ถึง 0.5 nA ต่อเกท ที่อุณหภูมิห้อง โดยปกติไม่นำค่ากระแสนี้มาพิจารณา โดยกระแสนี้สามารถหาได้จากสมการที่ (16)

$$P_{stat} = I_{stat} \times V_{DD} \tag{16}$$

เมื่อ $I_{stat}$ คือ กระแสรั่ว จากในภาวะหยุดนิ่ง




**ภาพที่ 4** กระแสรั่วไหลของวงจรสมมูลอินเวอร์เตอร์แบบซีมอส

**ที่มา:** (Rabaey *et al.*, 2003)

**2. การลดกำลังงานสูญเสีย**

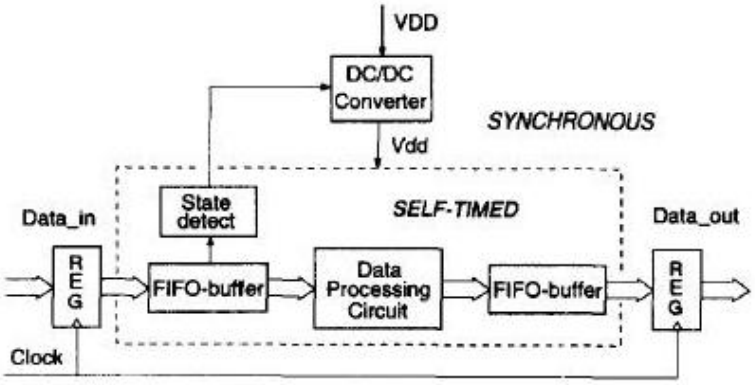
กำลังงานสูญเสียหลักของวงจรดิจิตอลซีมอสส่วนใหญ่ทั้งหมดที่เกิดขึ้นนั้น เป็นการรวมกำลังงานสูญเสียทั้ง 3 องค์ประกอบหลักของกำลังงานสูญเสียดังกล่าวเบื้องต้นเข้าด้วยกัน นั่นคือ การหาค่ากำลังงานสูญเสียทั้งหมดสามารถหาได้ดังสมการที่ (17)

$$P_{tot} = P_D + P_{leak} + P_{SC} \tag{17}$$

จากสมการที่ (17) โดยกำลังงานสูญเสียทั้ง 3 ส่วนนั้น ส่วนที่มีผลต่อวงจรดิจิตอลซีมอสมากที่สุดนั้นคือ กำลังงานสูญเสียพลวัตที่เกิดจากการสวิทช์ หากสังเกตที่แหล่งจ่ายไฟเลี้ยงจะพบว่ามีค่าเป็นกำลังสอง ซึ่งเป็นตัวแปรสำคัญในการเกิดกำลังงานสูญเสียขึ้น นั้นหมายความว่า ถ้าหากลดแหล่งจ่ายไฟเลี้ยงลงจะทำให้กำลังงานสูญเสียนี้ลดลงไปด้วย จึงมีผู้ค้นคว้าทำการวิจัยหาวิธีการลดกำลังสูญเสียโดยการลดแหล่งจ่ายไฟเลี้ยงให้มีค่าต่ำที่สุด ขณะที่วงจรยังสามารถทำงานได้ดังหัวข้อต่อไปนี้

2.1 การลดกำลังงานสูญเสียด้วยการลดระดับแหล่งจ่ายไฟ

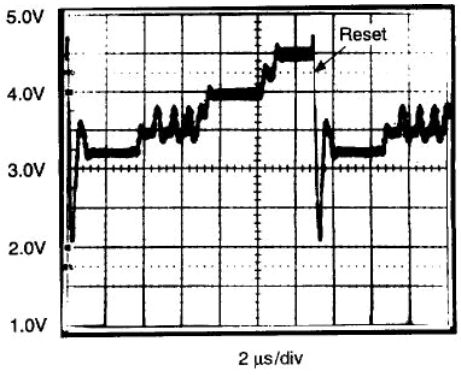
ในการคิดค้นออกแบบวิธีการทำให้ระบบสามารถประหยัดพลังงานโดยส่วนหนึ่งได้จากการลดกำลังงานสูญเสียในวงจรดิจิตอลซีมอส ซึ่งที่เห็นเด่นชัดมากที่สุดคือ ในส่วนแรกที่เกิดจากกำลังสูญเสียเกิดจากการสวิทช์ ซึ่งขึ้นอยู่กับแรงดันไฟเลี้ยง ($V_{DD}$) ดังนั้นจึงมีผู้คิดค้นงานวิจัย (Nielsen *et al.*, 1994) ในการเปลี่ยนแปลงแรงดันไฟเลี้ยง (Adaptive Supply Scaling) ร่วมกับวงจร Self-timed ในการลดพลังงานส่วนนี้ โดยใช้หลักการในการปรับเปลี่ยนแรงดันไฟเลี้ยงวงจร ($V_{DD}$) ผ่านทางวงจร DC/DC Converter ทำให้ได้แรงดันไฟเลี้ยงใหม่ ($V_{dd}$) ซึ่งค่าแรงดันนี้มีค่าตามลักษณะงานที่รับเข้ามาทางด้านอินพุทผ่านทาง FIFO-buffer ที่มีขนาด 10 words ก่อนถูกเปลี่ยนให้เป็นสัญญาณ 9 บิทที่วงจร State detecting เพื่อควบคุม DC/DC Converter ให้ปรับเปลี่ยนแรงดันไฟเลี้ยง ($V_{dd}$) ของวงจร ตามภาพที่ 5 ซึ่งเป็นวงจร Synchronous self-timed circuit




**ภาพที่ 5** วงจร Self-timed synchronous

**ที่มา**: (Nielsen *et al.*, 1994)

จากภาพที่ 5 วงจรที่ใช้ทดสอบระบบการปรับเปลี่ยนแรงดัน โดยทดลองกับวงจร Dual-rail ripple carry adder ที่มีขนาด 16 บิท ทดสอบโดยการป้อนข้อมูลที่เป็น Data words ขนาดต่างกันอาทิเช่น 4, 8, 12 และ 16 บิทตามลำดับ ซึ่งผลการทดลองระบบสามารถปรับเปลี่ยนแรงดันตามข้อมูลได้ ดังภาพที่ 6

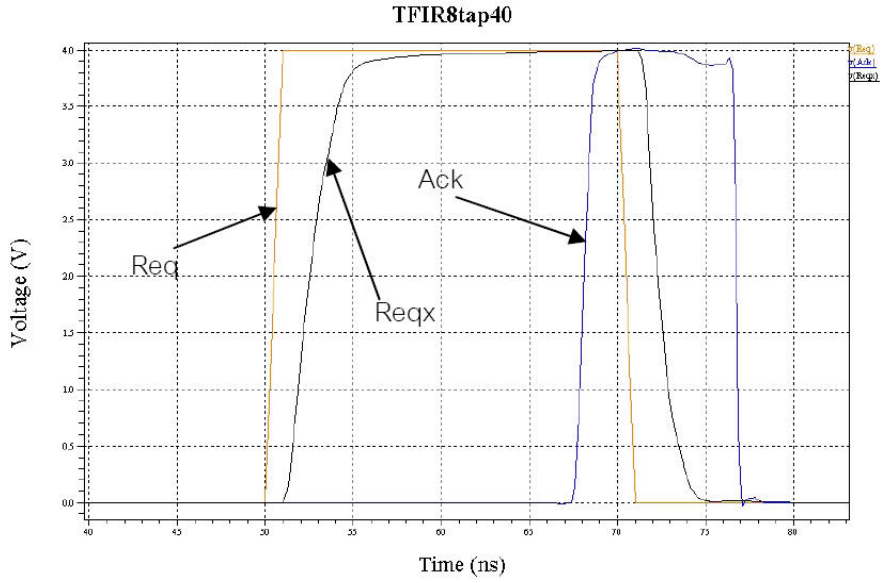



**ภาพที่ 6** การเปลี่ยนแปลงแรงดันไฟเลี้ยงตามข้อมูล

**ที่มา**: (Nielsen *et al.*, 1994)

จากภาพที่ 6 ข้อมูลที่ขนาด 4 บิท จะมีแรงดันไฟเลี้ยงประมาณ 3.2 โวลท์ สำหรับข้อมูลที่ขนาด 8 บิทนั้น แรงดันไฟเลี้ยงจะเกิดการแกว่งของแรงดันทำให้แรงดันไม่คงที่มีค่าอยู่ในช่วงประมาณ 3.4-3.8 โวลท์ ในช่วงข้อมูลขนาด 12 บิท จะมีแรงดันไฟเลี้ยงประมาณ 4.0 โวลท์ และสุดท้ายสำหรับข้อมูลที่ขนาด 16 บิทนั้น ค่าแรงดันที่ถูกปรับเปลี่ยนจะคงที่ไม่มีการแกว่งอยู่ที่ค่าประมาณ 4.5 โวลท์ จากการปรับเปลี่ยนแรงดันตามข้อมูลที่รับทางด้านอินพุททำให้สามารถประหยัดพลังงานสำหรับวงจร Self-timed circuit ได้มาก

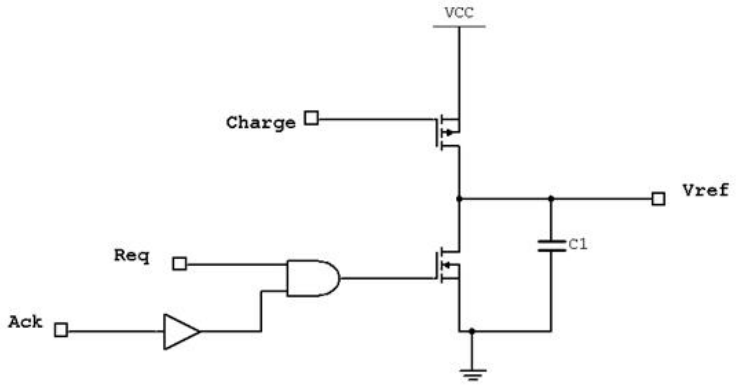
นอกจากนี้เทคนิคดังกล่าวข้างต้นได้มีผู้ทำงานวิจัย (ภาณุวัฒน์, 2548) โดยใช้เทคนิคในลักษณะเดียวกันซึ่งเป็นการเปลี่ยนแรงดันพลวัต (DVS) ทำงานตามเวลาจริง ร่วมกับวงจรอะซิงโครนัส โดยพัฒนาจากวงจร Ripple Adder ที่มีการแกว่งตัวของแรงดัน ซึ่งในงานวิจัยนี้ได้ปรับเปลี่ยนแรงดันโดยการออกแบบวงจรสร้างแรงดันอ้างอิง ซึ่งใช้หลักการอัดและคายประจุของตัวเก็บประจุเพื่อควบคุมไฟเลี้ยงจ่ายให้วงจรกรองความถี่ FIR แบบ Self-timed asynchronous circuit ซึ่งแรงดันอ้างอิงที่สร้างขึ้นมานั้นได้จากการนำสัญญาณจากการตรวจสอบสัญญาณตอบรับ (Acknowledge) อยู่ในช่วงใดของสัญญาณเรียกเข้า (Request) ตามภาพที่ 7




**ภาพที่ 7** สัญญาณควบคุมสำหรับการสร้างแรงดันอ้างอิง

**ที่มา**: (ภาณุวัฒน์, 2548)

การสร้างแรงดันอ้างอิงสามารถทำได้โดยทำการอัดประจุให้กับตัวเก็บประจุจนกระทั่งมีแรงดันตกคร่อมเท่ากับแรงดันไฟเลี้ยงสูงสุด สำหรับการปรับเปลี่ยนแรงดันไฟเลี้ยง จะตรวจสอบสัญญาณตอบรับอยู่ในช่วงใดของสัญญาณเรียกขอ โดยการแอนด์สัญญาณทั้งสองสัญญาณเข้าด้วยกัน แล้วนำสัญญาณที่ได้นี้ไปควบคุมทรานซิสเตอร์เอ็นด์มอสตัวที่ใช้ในการคายประจุของตัวเก็บประจุตามภาพที่ 8




**ภาพที่ 8** วงจรสร้างสัญญาณอ้างอิง

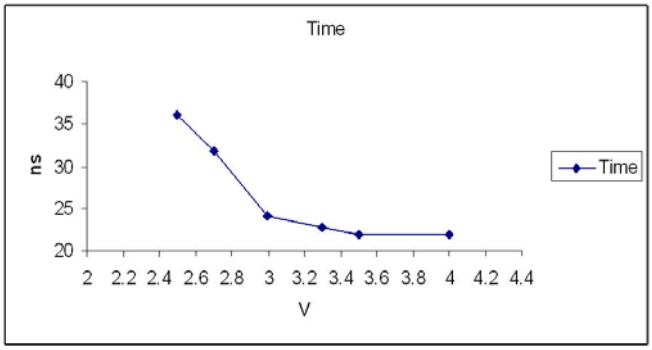
**ที่มา**: (ภาณุวัฒน์, 2548)

จากการทดลองกับวงจรกรองความถี่ FIR ขนาด 8 Tap แบบ Self-timed asynchronous circuit ที่ทำงานระหว่างแรงดัน 2.5-4.0 โวลท์ จากการสร้างแรงดันอ้างอิงโดยการควบคุมค่าของตัวเก็บประจุ ผลการทดลองที่ค่าระดับแรงดันต่างๆ นั้นมีเสถียรภาพโดยจะไม่มีการแกว่งของแรงดันไฟเลี้ยง ซึ่งผลการทำงานของวงจรที่แรงดันสูงสุดที่ 3.5 โวลท์วงจรทำงานที่ความถี่ 30 MHz ค่าพลังงานที่ใช้เป็น 117 mW และที่แรงดันต่ำสุดที่ 2.5 โวลท์ เป็นค่าแรงดันต่ำสุดที่วงจรทำงานได้ วงจรทำงานที่ความถี่ 14 MHz ค่าพลังงานที่ใช้เป็น 38 mW ซึ่งสามารถประหยัดพลังงานได้ถึง 80 เปอร์เซ็นต์เมื่อเทียบกับค่าแรงดันสูงสุด ดังแสดงในตารางที่ 1

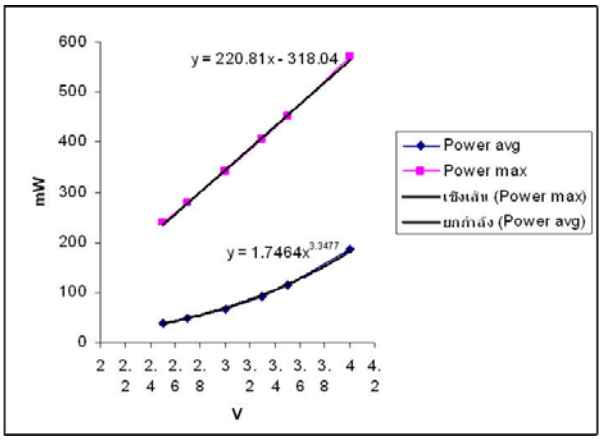
**ตารางที่ 1** ผลการทำงานที่ระดับแรงดันและความถี่ต่างๆ

| พารามิเตอร์ | การทำงานที่สภาวะต่างๆ | | | | |
|---|---|---|---|---|---|
| ความถี่ (MHz) | 30 | 27 | 25 | 20 | 14 |
| แรงดัน (V) | 3.5 | 3.3 | 3.2 | 2.9 | 2.5 |
| พลังงาน (mW) | 116.55 | 92.02 | 89.88 | 66.25 | 38.02 |

เมื่อนำผลการทดลองจากตารางที่ 1 มาสร้างกราฟแสดงความสัมพันธ์ระหว่างเวลากับไฟเลี้ยงแสดงดังภาพที่ 9 กราฟแสดงความสัมพันธ์ระหว่างพลังงานกับไฟเลี้ยง ดังภาพที่ 10




**ภาพที่ 9** กราฟความสัมพันธ์ของเวลากับแรงดันไฟเลี้ยง




**ภาพที่ 10** กราฟความสัมพันธ์ของพลังงานและแรงดันไฟเลี้ยง

จากภาพที่ 9 และ 10 แสดงความสัมพันธ์ของเวลา พลังงาน และแรงดันไฟเลี้ยงของวงจร ซึ่งพบว่าค่าเวลาการทำงานของวงจรจะสูงขึ้นเมื่อแรงดันไฟเลี้ยงลดลง และในทางกลับกันพลังงานจะมีค่าสูงตามค่าแรงดันที่สูงขึ้น

2.2 ความสัมพันธ์ของเวลาทำงานกับแรงดันไฟเลี้ยง

การเปลี่ยนแปลงระดับแรงดันไฟเลี้ยงของวงจรส่งผลกระทบต่อเวลาที่ใช้ในการทำงานของวงจรเนื่องจากการเปลี่ยนระดับของสัญญาณออก คือการอัดและคายประจุของตัวเก็บประจุโหลด เมื่อเปลี่ยนแรงดันไฟเลี้ยงเวลาที่ใช้ในการอัดและคายประจุก็จะมีการเปลี่ยนแปลงด้วย ดังนั้นเวลาที่ใช้ในการอัดและคายประจุสามารถหาได้จากสมการที่ (18)

$$t_p = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv \tag{18}$$

จากสมการที่ (18) สามารถประมาณค่าได้โดยสมการที่ (19) โดย $v_1$, $v_2$ คือระดับแรงดันเริ่มต้นและสิ้นสุดตามลำดับ เมื่อกำหนดให้ระดับสัญญาณสูงหรือต่ำพิจารณาที่ครึ่งของแรงดันไฟเลี้ยง จะได้ค่าของ $v_1$, $v_2$ ดังนี้

$$v_1 = V_{OL}$$

$$v_2 = \frac{(V_{OH} + V_{OL})}{2}$$

ในกรณีที่เปลี่ยนระดับจากต่ำไปสูงทำให้สามารถเขียนใหม่ได้เป็นสมการที่ (20)

$$t_p = \frac{C_L(v_2 - v_1)}{I_{av}} \tag{19}$$

$$t_p = C_L \frac{(V_{OH} - V_{OL})/2}{|I_{av}|} \tag{20}$$

เมื่อพิจารณาเวลาที่เปลี่ยนสัญญาณออกจากต่ำไปสูงโดยกำหนดให้แรงดันออกอยู่ในช่วง $V_{DD}$ และ 0 และให้ในช่วงแรกที่ $V_{out}$ น้อยกว่า $|V_T|$ ให้พีมอสทำงานแบบอิ่มตัวและในช่วงท้ายให้ทำงานแบบเชิงเส้นจะได้สมการของกระแสและแรงดันในช่วงต่างๆ ดังสมการที่ (21)

$$\begin{aligned} V_{OH} - V_{OL} &= V_{DD} \\ I\left(V_{out} = 0\right) &= \frac{k_p}{2}\left(V_{DD} - \left|V_{Tp}\right|\right)^2 \\ I\left(V_{out} = \frac{V_{DD}}{2}\right) &= k_p\left[\left(V_{DD} - \left|V_{Tp}\right|\right)\right]\frac{V_{DD}}{2} - \frac{{V_{DD}}^2}{8} \end{aligned} \tag{21}$$

เมื่อนำมาหากระแสเฉลี่ยจะได้ดังสมการที่ (22) และสมการ (23) เป็นสมการที่ประมาณค่าเมื่อแรงดันไฟเลี้ยงมากกว่าแรงดันเริ่มดันมากๆ ทำให้พีมอสทำงานอยู่ในช่วงอิ่มตัวตลอด

$$I_{av} = \frac{k_p}{2}\left(\frac{7{V_{DD}}^2}{8} + \frac{\left|V_{Tp}\right|}{2} - \frac{3V_{DD}\left|V_{Tp}\right|}{2}\right) \tag{22}$$

$$I_{av} = \frac{k_p}{2}\left(V_{DD} - \left|V_{Tp}\right|^2\right) \tag{23}$$

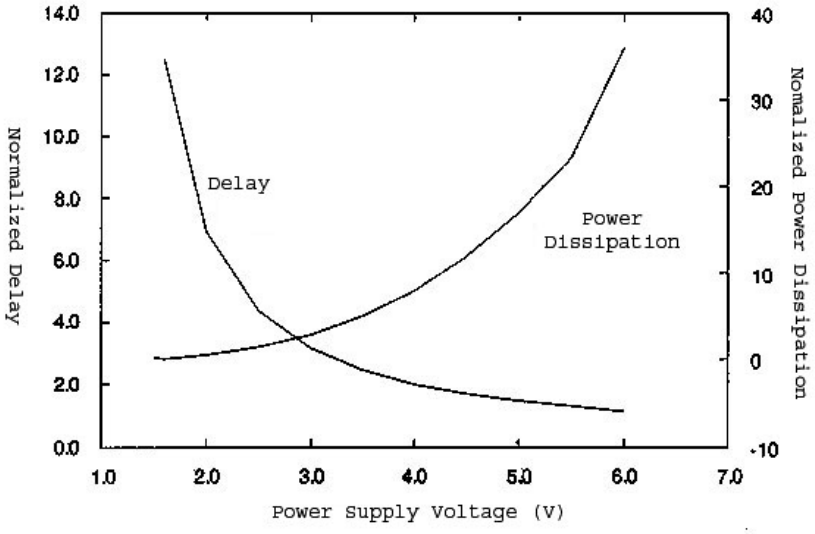
ดังนั้นเมื่อนำสมการที่ (23) ไปแทนในสมการที่ (20) จะได้

$$t_{pLH} = \frac{C_L V_{DD}}{k_p\left(V_{DD} - \left|V_{Tp}\right|\right)^2} \tag{24}$$

เมื่อ $t_{pLH}$ คือ ค่าเวลาหน่วงจากลอจิกต่ำสู่ลอจิกสูง, $t_{pHL}$ คือ ค่าเวลาหน่วงจากลอจิกสูงสู่ลอจิกต่ำ เมื่อพิจารณาที่เวลาในการเปลี่ยนระดับแรงดันออกจากสูงไปต่ำด้วยวิธีเดียวกันได้ดังสมการที่ (25)

$$t_{pHL} = \frac{C_L V_{DD}}{k_n\left(V_{DD} - \left|V_{Tn}\right|\right)^2} \tag{25}$$

จากสมการของเวลาสมการที่ (24) และ (25) จะเห็นได้ว่าเวลานั้นจะแปรผกผันกับแรงดันไฟเลี้ยง คือเมื่อมีการลดแรงดันไฟเลี้ยงของวงจรลง เวลาที่ใช้ในการทำงานจะเพิ่มขึ้นโดย เมื่อนำสมการของพลังงานและเวลาที่ใช้ในการทำงานมาวาดกราฟดังภาพที่ 11




**ภาพที่ 11** กราฟความสัมพันธ์ของกำลังงานและเวลากับแรงดันไฟเลี้ยงของวงจร

**ที่มา**: (Kang and Leblebici, 2003)

จากภาพที่ 11 แสดงความสัมพันธ์ของพลังงานกับเวลาเมื่อแรงดันไฟเลี้ยงเกิดการเปลี่ยนแปลง เมื่อระดับแรงดันต่ำค่าเวลาหน่วงจะสูงขึ้นแต่พลังงานที่ใช้ในวงจรจะลดลงอย่างเห็นได้ชัด ดังนั้นการออกแบบวงจรโดยทั่วไปจะทำการคำนวณปริมาณงานที่รับเข้ามาเพื่อให้สัมพันธ์กับแรงดันไฟเลี้ยงและความเร็วในการทำงานที่ต้องการให้สามารถทำงานให้เสร็จสิ้นตามเวลาที่กำหนด นั่นคือถ้าต้องการใช้พลังงานให้มีประสิทธิภาพสูงสุด จะทำการลดแรงดันให้มีระดับต่ำสุดโดยสามารถทำงานเสร็จสิ้นตามเวลาที่กำหนดไว้ โดยเวลาที่ใช้เป็นหลักจะเป็นเวลาสูงสุดที่ใช้ในการทำงาน วงจรในแต่ละส่วนจะใช้เวลาในการทำงานที่ไม่เท่ากัน ทำให้เกิดพลังงานส่วนเกินขึ้น การใช้ไฟเลี้ยงหลายระดับต่อหนึ่งวงจรสามารถแก้ปัญหานี้ได้และทำให้เวลาการทำงานในส่วนต่างๆ ใกล้เคียงกัน (ภาณุวัฒน์, 2548)

## 2.3 การลดกำลังสูญเสียโดยใช้เทคนิค DVS ร่วมกับการปรับค่า Threshold voltage

จากหัวข้อดังกล่าวข้างต้นแสดงให้เห็นว่า การปรับลดแรงดันไฟเลี้ยงเป็นวิธีการลดกำลังงานสูญเสียได้เป็นอย่างมากดังแสดงให้เห็นตามสมการที่ (6) เป็นการลดกำลังงานสูญเสียจากการสวิทช์ แต่การปรับลดแรงดันไฟเลี้ยงวงจรนั้นทำให้เกิดผลเสียคือเกิดเวลาหน่วง (Delay time) เพิ่มขึ้นและยังทำให้เกิดกระแสรั่วไหลเพิ่มขึ้น จึงทำให้ประสิทธิภาพการทำงานของวงจรลดลงตามการลดลงของ $V_{DD}$ การปรับปรุงประสิทธิภาพการทำงานของวงจร จึงหาวิธีการลดค่าเวลาหน่วงซึ่งสามารถทำได้โดยการเปลี่ยนค่าแรงดันเริ่มดัน (Threshold voltage) ให้ปรับลดลงตามการลดลงของ $V_{DD}$

Martin *et al.* (2002) ได้ทำการค้นคว้างานวิจัยสำหรับการประยุกต์ใช้งานกับไมโครโปรเซสเซอร์ที่มีภาระงานเปลี่ยนแปลงตามเวลาจริง โดยใช้เทคนิคการปรับเปลี่ยนแรงดันไฟเลี้ยงและค่าแรงดันเริ่มดันพร้อมกันด้วยวิธี DVS และ ABB (Adaptive Body Bias)ในการลดพลังงานในไมโครโปรเซสเซอร์ที่มีประสิทธิภาพสูง งานวิจัยนี้ทำการการออกแบบวิเคราะห์สมการของแรงดันเริ่มดัน (Threshold voltage) สมการกำลังงานสูญเสีย (Power dissipation) และสมการค่าเวลาหน่วง (Delay time) เพื่อหาจุดที่เหมาะสมของแหล่งจ่ายแรงดันไฟเลี้ยงและแรงดัน Body bias สำหรับกำหนดความถี่ที่เหมาะสมในการทำงานที่ทำให้สามารถใช้กำลังงานต่ำได้ สำหรับในการวิเคราะห์สมการของแรงดันเริ่มดัน (Threshold voltage) ของทรานซิสเตอร์แบบช่องทางเดินกระแสสั้น (Short-channel MOSFET) ได้ทดลองบนโมเดลของโปรแกรมจำลองการทำงาน BSIM โดยใช้สมการที่ (26)

$$V_{th} = V_{th0} + \gamma\left(\sqrt{\Phi s - V_{bs}} - \sqrt{\Phi s}\right) - \theta_{DIBL} V_{dd} + \Delta V_{NW} \qquad (26)$$

เมื่อกำหนดให้ $V_{th}$ เป็นแรงดันเริ่มดันศูนย์

$\gamma, \theta_{DIBL}, \Phi s$ เป็นค่าคงที่สำหรับเทคโนโลยี

$\Delta V_{NW}$ เป็นค่าคงที่ผลกระทบความกว้างของช่องทางเดินกระแส

ถ้ากำหนดให้

$$\left|V_{bs}\right| \approx \Phi s$$

ดังนั้น

$$\sqrt{\Phi s - V_{bs}} - \sqrt{\Phi s}$$

สามารถทำให้เป็นเชิงเส้นได้โดยแทนด้วย $kV_{bs}$ ดังนั้นเมื่อแทนลงในสมการที่ (26) สามารถเขียนสมการได้เป็นสมการที่ (27)

$$V_{th} = V_{th1} - K_1 V_{dd} - K_2 V_{bs} \tag{27}$$

เมื่อกำหนดให้ $K_1$, $K_2$, และ $V_{th1}$ เป็นค่าคงที่

ในส่วนของสมการกำลังงานสูญเสีย (Power dissipation) จากสมการที่ (17) สามารถทำการวิเคราะห์ ได้ใหม่ได้ดังสมการที่ (28)

$$P = CV_{dd}{}^2 f + V_{dd} K_3 e^{K_4 V_{dd}} e^{K_5 V_{bs}} + |V_{bs}| Ij \tag{28}$$

สำหรับค่าเวลาหน่วงของเกทนั้นเป็นฟังก์ชันของทั้งแรงดันแหล่งจ่ายไฟและแรงดันเริ่มดันภายในทรานซิสเตอร์ ดังนั้นในการวิเคราะห์ค่าเวลาหน่วงของเกทที่มีความซับซ้อน จะใช้คุณสมบัติของเกทอินเวอร์เตอร์มาตรฐานในการสร้างโมเดลได้ดังสมการที่ (29)

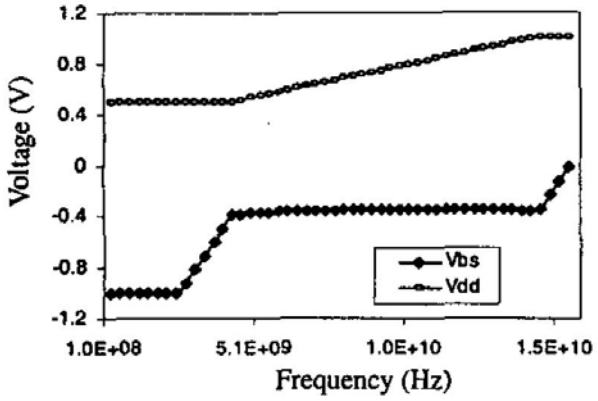
$$t_{inv} = \frac{L_d K_6}{\left(V_{dd} - V_{th}\right)^{\alpha}} \tag{29}$$

เมื่อกำหนดให้ $L_d$ เป็นความลึกของเส้นทางลอจิกเกท และเมื่อนำสมการที่ (26) แทนลงในสมการที่ (29) สามารถคำนวณหาความถี่การทำงานได้ดังสมการที่ (30)

$$f = \left(L_d K_6\right)^{-1} \left(\left(1 + K_1\right) V_{dd} + K_2 V_{bs} - V_{th1}\right)^{\alpha} \tag{30}$$

หลังจากวิเคราะห์ตัวแปรทั้งสาม จากนั้นทำการพัฒนาโมเดลโดยใช้เทคนิคสำหรับหาจุดที่เหมาะสมที่จะต้องตั้งค่าของแหล่งจ่ายแรงดันโดยวิธี DVS และ ABB ซึ่งจำเป็นต้องควบคุมค่า

ของ $V_{dd}$, $V_{bs}$ และความถี่ให้เหมาะสม จากการทดสอบบน Crusor processor 600MHz สำหรับ 4 การประยุกต์ใช้งาน จากการใช้ค่าคงที่สำหรับเทคโนโลยี 0.07μm ดังแสดงในตารางที่ 2 และรูปภาพแสดงการปรับค่าแรงดันแหล่งจ่ายไฟเลี้ยงกับการปรับแรงดัน $V_{bs}$ แสดงดังรูปที่ 12




**ภาพที่ 12** ผลการปรับแรงดันไฟเลี้ยงและแรงดันเริ่มดันสำหรับค่าที่เหมาะสม

**ตารางที่ 2** ค่าคงที่สำหรับเทคโนโลยี 0.07um

| Variable | Value | Variable | Value | Variable | Value |
|---|---|---|---|---|---|
| $K_1$ | 0.063 | $K_6$ | $5.26x10^{-12}$ | $V_{th1}$ | 0.244 |
| $K_2$ | 0.153 | $K_7$ | -0.144 | Ij | $4.80x10^{-10}$ |
| $K_3$ | $5.38x10^{-7}$ | T | $5x10^{-5}$ | C | $2.00x10^{-15}$ |
| $K_4$ | 1.83 | $V_{dd0}$ | 1 | $L_d$, $L_g$ | 10 |
| $K_5$ | 4.19 | $V_{bs0}$ | 0 | $C_r$ | $1x10^{-12}$ |
| Max f | 15.6 GHz | Cs | $1x10^{-12}$ | | |

เมื่อทำการทดลองโดยใช้เทคนิคการปรับลดทั้งค่าแหล่งจ่ายแรงดันด้วยวิธี DVS และ ABB กับ Mobile processor ซึ่งใช้เทคโนโลยี 0.18μm โดยใช้ค่าพารามิเตอร์ที่เหมาะสมจากตารางที่ 2 ซึ่งทดลองทั้งภาระงานจริงและการจำลองการทำงานที่ความถี่ 600MHz ผลการทดลองที่ภาระโหลดต่างๆดังแสดงในตารางที่ 3 สามารถลดพลังงานลง 23 เปอร์เซ็นต์ เมื่อเทียบกับการใช้วิธี DVS

เพียงอย่างเดียว และเมื่อทดลองจำลองการทำงานกับ 0.18μm process สามารถลดพลังงานลงได้ 39 เปอร์เซ็นต์ เมื่อเทียบกับการใช้วิธี DVS เพียงอย่างเดียว

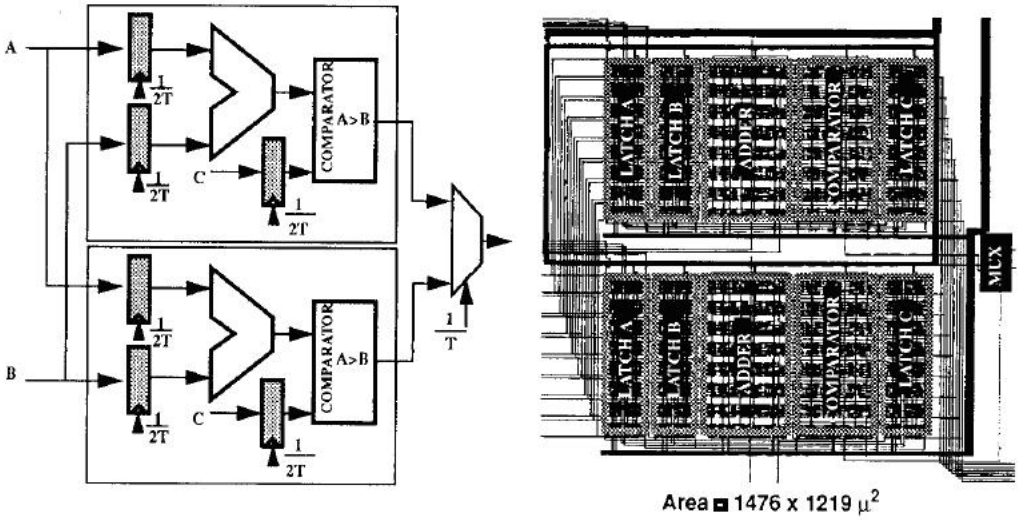
**ตารางที่ 3** ค่าการใช้พลังงานของหน่วยประมวลผลและเปอร์เซ็นต์การลดลง

| 0.18um Process | Xmms-mp3 | mpeg | emacs | OS. |
|---|---|---|---|---|
| No scaling | 23 J | 47 J | 13 J | 37 J |
| DVS alone | 9.4 J (60%) | 21 J (55%) | 4.7 J (63%) | 18 J (51%) |
| DVS&ABB | 7.6 J (19%) | 19 J (10%) | 2.8 J (40%) | 14 J (21%) |

การลดกำลังงานสูญเสียโดยการปรับค่าแรงดันแหล่งจ่ายด้วยวิธี DVS และ Threshold voltage สามารถแก้ไขเวลาหน่วงได้ และทำให้การทำงานของวงจรมีประสิทธิภาพสูงขึ้น (เพิ่มความเร็วการทำงาน) แต่การปรับค่าแรงดันเริ่มดัน (Threshold voltage) ให้มีค่าต่ำทำให้เกิดการรั่วไหลของกระแสในวงจร CMOS ในขณะที่วงจรทำงาน ทำให้มีกำลังงานสูญเสียในส่วนนี้เพิ่มขึ้น และการปรับเปลี่ยนค่าแรงดันเริ่มดันที่มีค่าต่ำไม่สามารถปรับเปลี่ยนค่าได้เช่นเดียวกับแรงดันไฟเลี้ยงที่เป็นลักษณะเชิงเส้นได้ อีกทั้งยังมีผลต่อ Noise margins และการนำกระแสในช่วง Subthreshold เนื่องจากแรงดันเริ่มดันที่มีค่าต่ำจะนำมาสู่ Noise margins ที่มีค่าต่ำด้วยเช่นกัน สำหรับการออกแบบวงจรนี้ยังมีความยุ่งยากซับซ้อนมาก พร้อมกันนี้ยังมีข้อจำกัดในการใช้เทคโนโลยีในการออกแบบที่จะต้องใช้เทคโนโลยีที่เป็น Dual well หรือ Triple-well เท่านั้น

### 2.4 การเพิ่มประสิทธิภาพโดยวิธีโครงสร้างแบบขนาน (Parallel Architecture )

การใช้วิธีการลดกำลังงานสูญเสียในวงจรรวมด้วยการลดแรงดันไฟเลี้ยงวงจรสามารถลดกำลังงานสูญเสียได้อย่างมีประสิทธิภาพ แต่เนื่องจากการลดระดับแรงดันไฟเลี้ยงวงจรลง นำมาซึ่งการเพิ่มขึ้นของเวลาหน่วง (Delay time) ตามการลดแรงดันไฟเลี้ยง เนื่องจากการลดแรงดันไฟเลี้ยงทำให้เกิดเวลาหน่วงแล้ว ยังทำให้ประสิทธิภาพของวงจรลดลงด้วย ดังนั้นการรักษาประสิทธิภาพของวงจรให้สามารถทำงานได้ตามปกติ สามารถทำได้โดยวิธีการต่อขนานโครงสร้างวงจร (Parallel architecture) ตามภาพที่ 13




**ภาพที่ 13** การต่อวงจรรวมโดยใช้เทคนิคโครงสร้างแบบขนาน

**ที่มา**: (Yeh and Kuo, 2001)

ตามภาพที่ 13 เป็นการคงค่าข้อมูลทางด้านอินพุทให้คงที่เป็นเทคนิคในการเปลี่ยนโครงสร้างวงจร (Architecture techniques) ทำการทดลองกับวงจรบวกและเปรียบเทียบโดยเพิ่มเส้นทางข้อมูล (Data path) 2 ตัวขนานกัน ซึ่งในแต่ละส่วนจะทำงานครึ่งหนึ่งของความเร็วปกติ (Original rate) ซึ่งยังสามารถคงค่าข้อมูลทางด้านอินพุทให้เหมือนเดิมได้ จากการทำลองกับวงจรบวก วงจรเปรียบเทียบ และวงจรแลช (Latch) เวลาในกาทำงานของวงจรลดลงจาก 25nS เป็น 60nS ดังนั้นสามารถลดแรงดันจาก 5.0 โวลท์เป็น 2.9 โวลท์ ทำให้ค่าความจุของเส้นทางข้อมูลเพิ่มขึ้นเป็นเฟคเตอร์ 2 ความที่การทำงานลดลงเท่ากับเฟคเตอร์ 2 ค่าของหน่วยความจำเพิ่มขึ้นเป็น เฟคเตอร์ 2.15 นั่นคือสามารถหากำลังงานสำหรับโครงสร้างวงจรแบบขนานได้ดังสมการที่ (31)

$$P_{par} = C_{par} V^2{}_{par} f_{par}$$

$$= \left(2.15 C_{ref}\right)\left(0.58 V_{ref}\right)^2 \left(\frac{f_{ref}}{2}\right) \qquad (31)$$

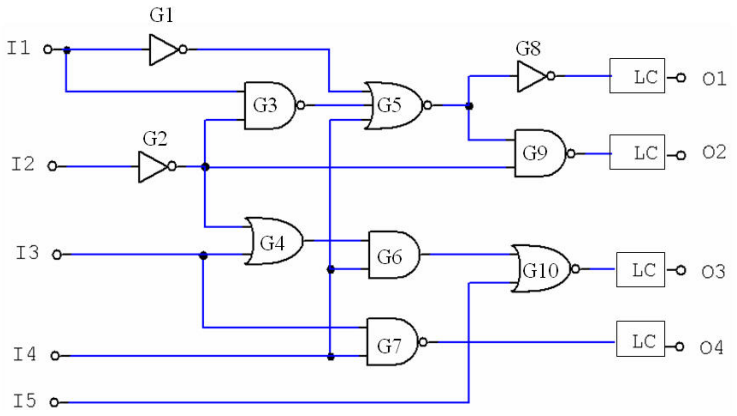
เมื่อกำหนดให้ $P_{par}$ เป็นกำลังงานสูญเสียของโครงสร้างแบบขนาน, $C_{par}$ คือค่าความจุของตัวเก็บประจุที่เกิดขึ้น และ $C_{ref}$ คือค่าความจุของตัวเก็บประจุที่เป็นวงจรต้นแบบ เพื่อชดเชย

ความเร็วที่ลดลงของวงจรและเพิ่มประสิทธิภาพให้ทำงานได้ตามปกติ แต่การใช้เทคนิคนี้พบว่าพื้นที่ของวงจรมีขนาดใหญ่ขึ้น ทำให้สิ้นเปลืองเนื้อที่และทำให้ราคาในการผลิตเพิ่มขึ้น

## 2.5 การลดกำลังงานสูญเสียโดยการใช้ไฟเลี้ยงสองระดับ (Dual Supply Voltages)

การลดกำลังงานสูญเสียจากที่กล่าวมาข้างต้น วิธีการลดแรงดันแหล่งจ่ายไฟเลี้ยงวงจรเป็นวิธีการที่ได้ผลในการลดกำลังงานสูญเสียมากที่สุดจึงเป็นวิธีการที่นิยมใช้งานกันในปัจจุบัน แต่วิธีลดแรงดันไฟเลี้ยงและแรงดันเริ่มดันดังเสนอข้างต้นนั้น มีความยุ่งยากซับซ้อนมากในการออกแบบวงจรควบคุมให้สามารถจ่ายแรงดันตามข้อมูลอินพุท และเมื่อลดแรงดันจนกระทั่งมีค่าต่ำมากๆ จะส่งผลกระทบต่อกำลังสูญเสียจากกระแสรั่วไหลได้ เมื่อพิจารณาวงจรรวมขนาดใหญ่พบว่าภายในวงจรประกอบด้วยลอจิกเกทต่างๆเป็นจำนวนมากประกอบขึ้นเป็นวงจร และเมื่อพิจารณาการทำงานของวงจรพบว่า วงจรสามารถแบ่งออกเป็น 2 ส่วนคือ ส่วนที่เป็นเส้นทางวิกฤต (Critical path) และส่วนไม่เป็นเส้นทางวิกฤต (Non-critical path) ในส่วนที่ไม่เป็นเส้นทางวิกฤตนั้นสามารถทำงานได้เร็วกว่าส่วนที่เป็นเส้นทางวิกฤต ซึ่งในส่วนนี้เป็นต้นเหตุที่ทำให้เกิดเวลาหน่วง (Propagation delay) เกิดขึ้น ดังนั้นถ้าหากลดแรงดันไฟเลี้ยงสำหรับในส่วนที่ไม่เป็นเส้นทางวิกฤตลงและในส่วนที่เป็นเส้นทางวิกฤต (Critical path) ยังคงค่าแรงดันไฟเลี้ยงเท่าเดิมก็จะสามารถลดกำลังงานสูญเสียลงได้และยังทำให้คงประสิทธิภาพการทำงานของวงจรคงเดิม ดังนั้นจึงเรียกเทคนิคนี้ว่า เทคนิคการกำหนดแรงดันไฟเลี้ยงสองระดับ (Dual Supply Voltages : DSV)

Usami and Horowitz (1995) นำเสนอเทคนิคในการลดกำลังงานสูญเสียซึ่งไม่ทำให้ผลการทำงานของวงจรเปลี่ยนแปลง แนวคิดในการลดกำลังงานนี้เป็นการใช้วิธีการป้อนแรงดันไฟเลี้ยง 2 ระดับแรงดันที่แตกต่างกันคือ ส่วนที่ทำงานด้วยแรงดันปกติ ($V_{DDH}$) และในส่วนที่ทำงานด้วยแรงดันไฟเลี้ยงต่ำ ($V_{DDL}$) (ลดระดับแรงดันลง) การแบ่งวงจรออกเป็นส่วนสำหรับป้อนแรงดันไฟเลี้ยงนี้ เรียกว่า Clustered Voltage Scaling (CVS) การออกแบบเพื่อสร้างโครงสร้างของ CVS ในระดับเกทนั้นทำได้โดยการทำ Backward Graph-Traversal โดยใช้อัลกอริทึม Depth-First-Search (DFS) จากทางด้านเอาท์พุทปฐมภูมิไปยังอินพุทปฐมภูมิ สำหรับในการเข้าถึงของแต่ละเกทเซลล์ดังตัวอย่างวงจรตามภาพที่ 14



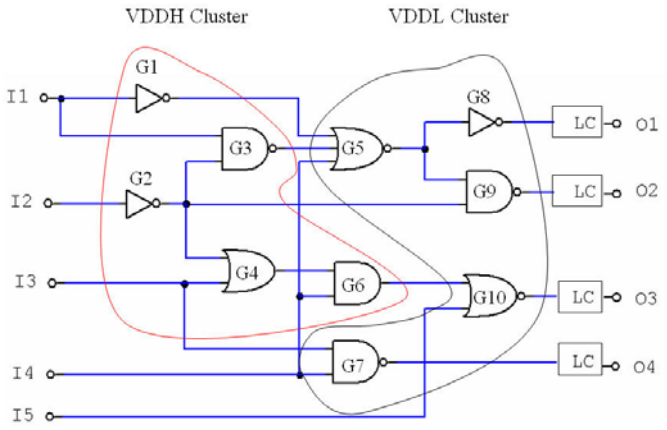

**ภาพที่ 14** ตัวอย่างวงจรเกท

**ที่มา**: (Usami and Horowitz, 1995)

ขั้นตอนการกำหนดค่าแหล่งจ่ายแรงดัน ตามภาพที่ 14 เป็นตัวอย่างวงจรเกทพื้นฐานของวงจร จากวงจรเกทแต่ละตัวที่แสดงให้แทนด้วยกราฟ จากนั้นทำการวิเคราะห์เส้นทางเดินของกราฟโดยเริ่มที่เอาท์พุทปฐมภูมิ (O1, O2, O3, O4) ในขั้นแรกให้เริ่มวิเคราะห์เอาท์พุทปฐมภูมิ O1 จะพบว่าเกทแรกที่พบคือ G8 เมื่อแทนค่าระดับแรงดันจาก $V_{DDH}$ ด้วย $V_{DDL}$ ค่าเวลาหน่วงของเกทเมื่อปรับเปลี่ยนระดับแรงดันลงสามารถหาได้จากสมการที่ (32)

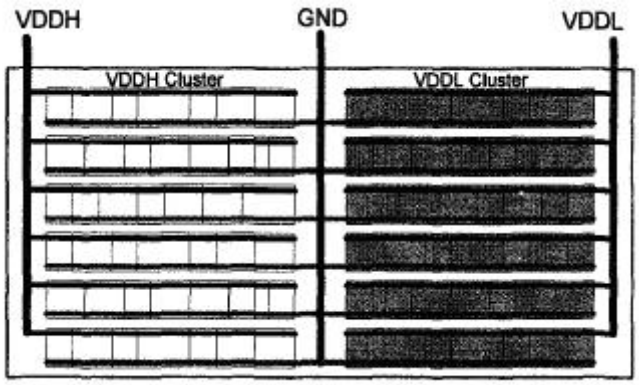
$$Delay_{VDDL} \cong \frac{V_{DDL}}{(V_{DDL} - V_{th})^2} \times \frac{(V_{DDH} - V_{th})^2}{V_{DDH}} \times Delay_{VDDH} \qquad (32)$$

เมื่อวิเคราะห์เวลาหน่วงจากการลดระดับแรงดัน ตามสมการที่ (32) พบว่ามีค่าเวลาตามต้องการคือ มีค่าไม่มากกว่าค่าที่กำหนดขึ้น ระดับแรงดัน $V_{DDH}$ ของเกท G8 จะถูกแทนด้วยระดับแรงดัน $V_{DDL}$ จากนั้นทำการวิเคราะห์เส้นทางเดินของกราฟต่อไปจนกระทั่งถึงอินพุทปฐมภูมิ หลังจากนั้นทำการทดลองกับเอาท์พุทปฐมภูมิถัดไปจนครบทุกเอาท์พุท พร้อมทั้งระบุค่าระดับแรงดัน




**ภาพที่ 15** การจัดค่าระดับแรงดันให้กับโครงสร้างของ CVS

ในการทดลองโดยสร้างโครงสร้างของ CVS นั้น ทำได้โดยใช้เครื่องมือ Power slimmer ในการสร้างเนทลิสพร้อมทั้งเชื่อมเส้นทางของแต่ละเกทในวงจรเข้าด้วยกัน ตามภาพที่ 16



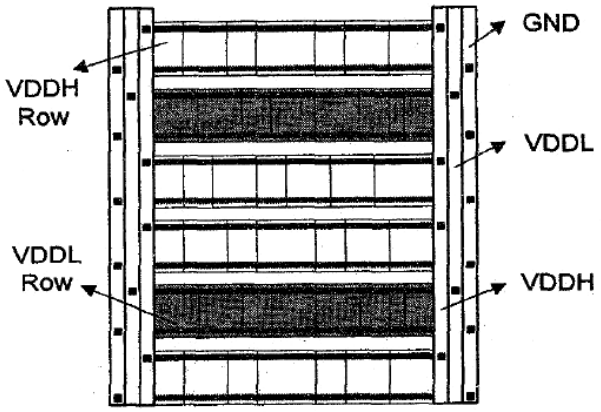

**ภาพที่ 16** การจัดวางและแบ่งส่วนของโครงสร้างของ CVS

**ที่มา**: (Wang *et al.*, 1998)

จากการทดลองโดยใช้ไลบารี่เกทมาตรฐาน Regular Lib. โดยใช้ทรานซิสเตอร์ซีมอส เทคโนโลยี 0.8µm ขนาด Wp/Wn = 20µ/10µ โดยการป้อนแรงดันให้กับโครงสร้าง CVS ด้วยอัตราส่วนแรงดัน $V_{DDH}/V_{DDL}$ = 3.0 โวลท์/5.0 โวลท์ ซึ่งผลการทดลองค่ากำลังงานลงในอัตราส่วน

0.81 จากเกท 51 เปอร์เซ็นต์ จากเกทที่ถูกแทนที่ด้วยระดับแรงดันไฟ 3.0โวลท์ จากการทดลองกับ Regular Lib. สามารถลดกำลังงานลงได้ประมาณ 10-20 เปอร์เซ็นต์ เมื่อใช้เทคนิค CVS นี้

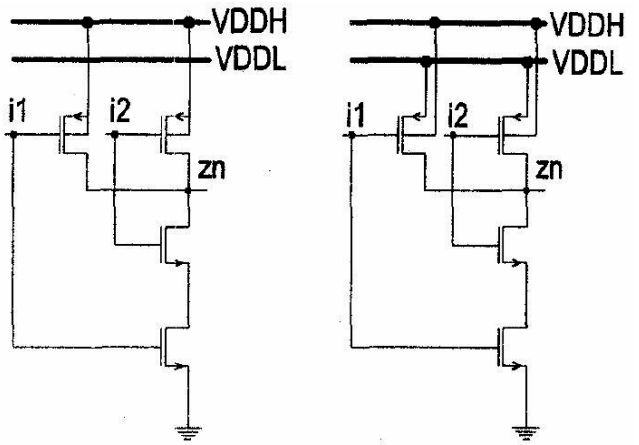
Wang *et al.* (1998) ออกแบบการจัดวางทางกายภาพของเทคนิค CVS ใหม่ เพื่อใช้ในการออกแบบวงจรรวม ASIC โดยมีวัตถุประสงค์เพื่อให้เหมาะสมกับแบบแผนของ MSV (Mutiple Supply Voltage Scheme) มากขึ้น เนื่องจากเทคนิคของ (Usami and Horowitz, 1995) ใช้พื้นที่และการเชื่อมต่อ (Interconnection) เพิ่มขึ้น เมื่อเปรียบเทียบกับการใช้ระดับแรงดันเพียงระดับเดียว ซึ่งการออกแบบเทคนิค CVS ใหม่ ทำโดยการออกแบบเซลล์มาตรฐานแบบใหม่ด้วยการออกแบบให้มีไฟเลี้ยงวงจร 2 แถวที่แตกต่างกัน เรียกโครงสร้างใหม่นี้ว่า ROW-by-ROW ถูกนำเสนอในการออกแบบในระดับกายภาพด้วยเทคนิค MVS ตามภาพที่ 17 เป็นการออกแบบโครงสร้างแบบ ROW-by-ROW โดยใช้ระดับแหล่งจ่ายแรงดันระดับ $V_{DDH}$ และ $V_{DDL}$ วางในแถวที่แตกต่างกัน




**ภาพที่ 17** โครงสร้างเลย์เอาท์แบบ ROW-by-ROW

**ที่มา**: (Wang *et al.*, 1998)

โครงสร้างเลย์เอาท์แบบ ROW-by-ROW ตามภาพที่ 17 เป็นการออกแบบโครงสร้างของเทคนิค CVS แบบใหม่ โดยออกแบบเกทมาตรฐานแบบใหม่ซึ่งใช้ไฟเลี้ยง 2 ระดับคือ $V_{DDH}$ และ $V_{DDL}$ วางในแถวที่แตกต่างกัน ในการออกแบบโครงสร้างใหม่นี้ใช้ทางเดินของไฟเลี้ยง 2 ทาง และ 1 ทางเดินกราวด์ ทางเดินไฟเลี้ยง 1 ทางเดินเป็นไฟเลี้ยงระดับ $V_{DDH}$ และอีกทางเดินไฟเลี้ยงเป็นระดับ $V_{DDL}$ ซึ่งในที่นี้ถูกเรียกว่า H-Type และ L-Type ตามภาพที่ 18

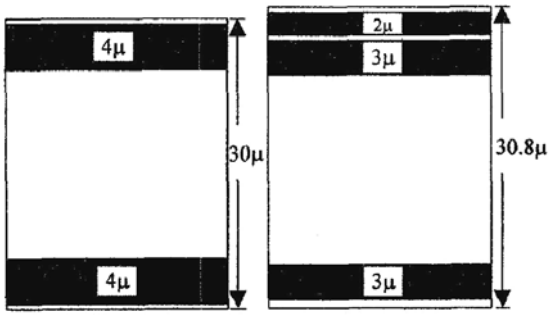



ก) H-Type เกท ข) L-Type เกท

**ภาพที่ 18** วงจรเกทพื้นฐานที่ออกแบบโดยใช้ระดับแรงดัน H-Type และ L-Type

**ที่มา**: (Wang *et al.*, 1998)

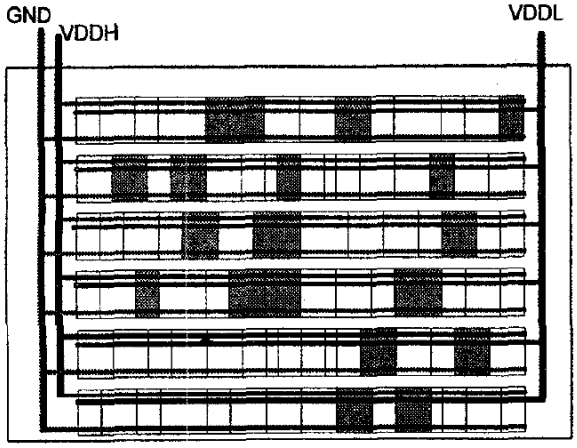
ตามภาพที่ 18 เป็นวงจรเกทต้นแบบที่ออกแบบให้สามารถใช้ระดับแรงดันไฟได้ 2 ระดับ จากวงจรดังกล่าวตามภาพ นำมาออกแบบเป็นเลย์เอาท์แบบใหม่ได้ดังภาพที่ 19




ก) รูปแบบเกทมาตรฐาน ข) รูปแบบเกทที่ออกแบบใหม่

**ภาพที่ 19** รูปแบบของการออกแบบระหว่างเกทมาตรฐานและรูปแบบใหม่

โครงสร้างของเกทแบบใหม่นี้ได้ออกแบบให้ทางเดินไฟเลี้ยง 1 ทางเดินเป็นไฟเลี้ยงระดับ $V_{DDH}$ มีความกว้างของทางเดิน 3μ และอีกทางเดินไฟเลี้ยง เป็นระดับ $V_{DDL}$ มีความกว้างของทางเดิน 2μ เพราะมีค่ากระแสต่ำกว่าระดับแรงดัน $V_{DDH}$ ซึ่งทำให้เกทที่ออกแบบใหม่นี้มีความสูงเพิ่มขึ้นเป็น 0.8μ จากเกทมาตรฐาน เมื่อการออกแบบเกทใหม่เสร็จสิ้น สำหรับการวางและการเชื่อมต่อจะใช้ เครื่องมือ P&R ในการวางและเชื่อมต่อเกทเซลล์เข้าด้วยกันตามภาพที่ 20




**ภาพที่ 20** โครงสร้างของ CVS โดยใช้เกทเซลล์ใหม่

**ที่มา**: (Wang *et al.*, 1998)

จากการทดสอบในวงจร ISCAS85 benchmark โดยกำหนดให้ $V_{DDH}$ และ $V_{DDL}$ มีค่าระดับแรงดันเป็น 3.3 โวลท์ และ 2.2 โวลท์ ตามลำดับ สามารถลดกำลังงานลงได้ 8.5-51.2 เปอร์เซ็นต์ เมื่อเปรียบเทียบกับระบบที่ใช้แรงดันไฟเลี้ยงเดียว จากผลการทดลองสามารถลดกำลังงานโดยเฉลี่ยมากกว่า 30 เปอร์เซ็นต์ แต่มีพื้นที่เฉลี่ยเพิ่มขึ้น 8.0 เปอร์เซ็นต์ และความยาวของเส้นทางเชื่อมต่อเพิ่มมากขึ้นประมาณ 7.5 เปอร์เซ็นต์

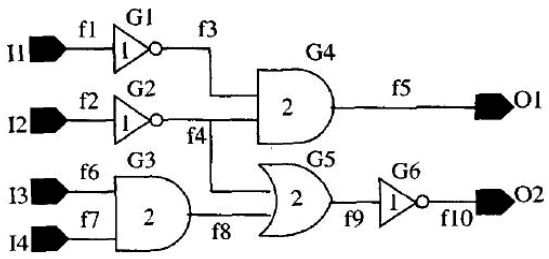
Yeh and Kuo (2001) นำเสนองานวิจัยสำหรับการลดกำลังงานโดยใช้เทคนิค MSV สำหรับการออกแบบวงจรกำลังงานต่ำ โดยการพิจารณาเส้นทางที่เป็น sensitization โดยพัฒนาอัลกอริทึมในการค้นหาเส้นทางที่เป็น sensitization อัลกอริทึมที่พัฒนาขึ้นนี้มีขั้นตอนการทำงานดังภาพที่ 21

```
OB_MVS()
1  For (each gate G of the circuit) Do
2     Set the credit of G to 0;
3     Set the voltage of G to the lowest V_ddi such that d(G,V_ddi) - d(G,V_dd0) <= s(G);
4  FS = POSA_FeasibleSet();
5  For (each path P in FS) Do
6     For (each gate G in P) Do
7        If (voltage of G != V_dd0) Then Increase the credit of G;
8  Insert the gates with positive credits to a priority queue, PQ;
9  Do
10    Retrieve a gate G from the top of PQ;
11    Increase the voltage of G;
12    If (the voltage of G != V_dd0) Then Insert G back to PQ;
13    For (each path P in FS) Do
14       If (d(P) <= timing constraint) Then
15          Decrease the credit of each gate in P; Delete P from FS;
16 While (FS != φ)
```

**ภาพที่ 21** อัลกอริทึมสำหรับการลดกำลังงานด้วยเทคนิค MVS

**ที่มา**: (Yeh and Kuo, 2001)

ตามภาพที่ 21 หลักการแนวความคิดเบื้องต้นการทำงานของงานวิจัยนี้ จะกำหนดให้วงจรรวมดิจิตอลทำงานที่ค่าเวลาตามการตั้งค่าของแหล่งจ่ายแรงดันปกติ ซึ่งทำให้เกิดเวลาหน่วงค่าหนึ่ง จากนั้นจะทำการตั้งค่าระดับแรงดันของเกทในวงจรมีระดับต่ำที่สุดที่วงจรยังสามารถทำงานได้ เพื่อลดกำลังงานของวงจรให้มีค่าต่ำที่สุด จากนั้นใช้อัลกอริทึม OB_MVS() ดังแสดงตามภาพที่ 21 กำหนดระดับแรงดันไฟเลี้ยงเป็น $V_{dd0}$, $V_{dd1}$,...,$V_{ddn}$ ถ้ากำหนดให้มีแหล่งจ่ายไฟเป็น (n+1) ขั้นตอนการทำงานของโปรแกรมจะทำการรีเซ็ตค่าระดับแรงดันของเกททุกตัวให้มีค่าต่ำที่สุด จากนั้นใช้อัลกอริทึม POSA_FEASIBLESET() ในการค้นหาเส้นทางที่มีค่าเวลาหน่วงมากที่สุด ถ้าเส้นทางที่มีค่าเวลาหน่วงมากที่สุดนั้นมีเวลาหน่วงมากกว่าเวลาที่กำหนดไว้ จะทำการเพิ่มระดับแรงดันขึ้น จนกระทั่งค่าเวลามีค่าไม่เกินเวลาที่ได้กำหนดไว้




**ภาพที่ 22** ตัวอย่างวงจรของการนำเสนออัลกอริทึม

ตัวอย่างวงจรรวมตามภาพที่ 22 ถูกกำหนดให้ใช้แรงดันไฟเลี้ยง 3 ค่าด้วยกัน จากนั้นจะทำการหาค่าเวลาหน่วงของเกทที่ประกอบในวงจรทั้งหมดเป็นค่าพารามิเตอร์ในการคำนวณหาค่าเวลาในแต่ละเส้นทาง ดังเช่น แอนด์เกทและออร์เกทมีค่าเวลาที่ 2, 4 และ 6 หน่วยเวลาจากการป้อนแรงดันไฟเลี้ยง 3 ค่า ส่วนนอทเกทมีค่าเวลาเป็น 1, 2 และ 3 หน่วยเวลา ดังนั้นถ้าหากกำหนดให้แหล่งจ่ายของเกท G1 และ G4 มีค่าเวลาเป็น 2 หน่วยเวลา โดยใช้แหล่งจ่ายแรงดันเป็น $V_{dd1}$ และ G2 ใช้แหล่งจ่าย $V_{dd2}$ มีค่าเวลาเป็น 1 หน่วยเวลา เมื่อวิเคราะห์เวลาในเส้นทางนั้นปรากฏว่ามีค่าเวลาเป็น 7 หน่วยเวลาซึ่งมากกว่าเวลาที่กำหนดคือ 5 หน่วยเวลา ดังนั้นจำเป็นต้องเปลี่ยนค่าแรงดันไฟเลี้ยงเพื่อให้ค่าเวลาหน่วงอยู่ในช่วงที่กำหนดไว้ โดยใช้อัลกอริทึม POSA() ในการค้นหาเส้นทางพร้อมทั้งกำหนดค่าแรงดันเพื่อให้ค่าเวลาหน่วงเป็นไปตามที่กำหนดไว้

จากการทดลองอัลกอริทึมที่ได้พัฒนาขึ้นโดยโปรแกรมภาษา C บนเครื่องคอมพิวเตอร์ โดยทดลองกับวงจรมาตรฐาน ISCAS85 Benchmark ซึ่งการทดลองในงานวิจัยนี้เปรียบเทียบระหว่างอัลกอริทึมที่ได้พัฒนาขึ้นกับเทคนิค CVS การทดลองนี้ใช้โปรแกรม HSPICE จำลองการทำงานของเกทพื้นฐานเพื่อเก็บข้อมูลพารามิเตอร์ไว้เป็นฐานข้อมูล จากนั้นนำค่าจากฐานข้อมูลมาคำนวณหาค่าเวลาหน่วงไต่ขึ้น ($Td_{LH}$) ของเกทได้ตามสมการที่ (33)

$$Td_{LH} = (rise\,a0) + (rise\,a1) \times Cout \tag{33}$$

แต่เมื่อแรงดันไฟเลี้ยงถูกลดระดับลงเป็น $V'_{dd}$ สามารถประมาณค่าเวลาหน่วงไต่ขึ้นได้จากสมการที่ (34)

$$T'd_{LH} = Td_{LH} \times \frac{V'_{dd}}{V_{dd}} \times \frac{\left(V_{dd} - V_{thp}\right)^2}{\left(V'_{dd} - V_{thp}\right)^2} \tag{34}$$

สำหรับการวิเคราะห์กำลังงานสามารถหาค่ากำลังงานสูญเสียพลวัต (Pd) ได้ตามสมการที่ (35) โดย activity factor ($\alpha$) ของอินพุทปฐมภูมิถูกสมมติให้มีค่าเป็น 0.5

$$Pd = \frac{1}{2} \times f_{clk} \times \alpha \times \left(V'_{dd}\right)^2 \tag{35}$$

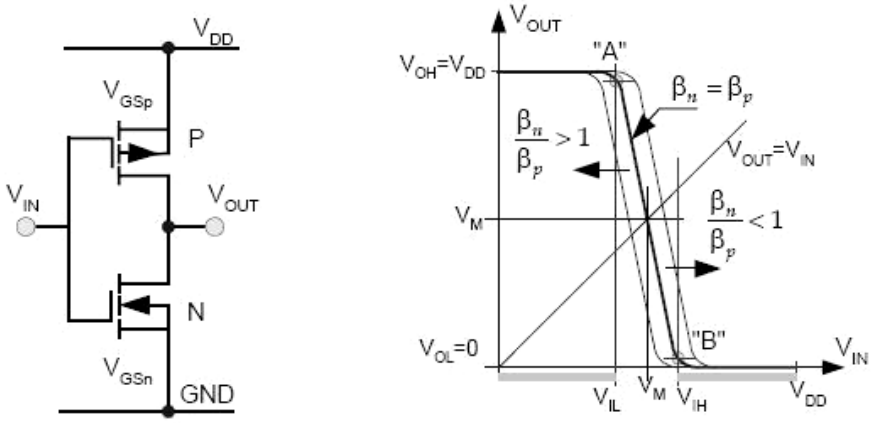
จากการทดลองโดยกำหนดให้ระดับแรงดันในการทดลองเป็น 2 ระดับคือ 5.0โวลท์ และ 4.0โวลท์ สามารถลดกำลังงานลงได้ 22.9 เปอร์เซ็นต์ ส่วน CVS ลดกำลังงานลงได้ 7.1 เปอร์เซ็นต์ แต่เมื่อเปลี่ยนระดับแรงดันเป็น 5.0โวลท์ และ 3.0โวลท์ สามารถลดกำลังงานได้ 32.2 เปอร์เซ็นต์ และ CVS ลดกำลังงานได้ 8.9 เปอร์เซ็นต์

**3. การวิเคราะห์วงจรเกทพื้นฐาน**

วงจรรวมดิจิตอลส่วนมากประกอบด้วยเกทพื้นฐานเป็นจำนวนมากนำมาประกอบเข้าด้วยกันเป็นวงจรรวมขนาดใหญ่มาก (VLSI) โดยเกทที่นำมาใช้นั้นเป็นเกทพื้นฐานโดยทั่วไปอาทิ เช่น อินเวอร์เตอร์ แนนด์เกท และนอร์เกท เป็นต้น ซึ่งในการวิจัยนี้จะกล่าวถึงเกทพื้นฐานที่สร้างขึ้นด้วยเทคโนโลยีซีมอส จากวงจรของซีมอสนั้นประกอบด้วยโครงข่ายทรานซิสเตอร์ 2 ประเภทต่อเป็นลักษณะ pull-down และ pull-up network ดังนั้นการวิเคราะห์เกทเหล่านั้นทำได้โดยอาศัยเกทพื้นฐานคือ อินเวอร์เตอร์ ซึ่งเป็นเกทพื้นฐานที่ง่ายต่อการทำความเข้าใจ และผลจากการวิเคราะห์สามารถนำไปประยุกต์เพื่อวิเคราะห์เกทพื้นฐานอื่นๆที่ซับซ้อนขึ้นได้

3.1 การวิเคราะห์วงจรอินเวอร์เตอร์เกท

อินเวอร์เตอร์เกท (Inverter gate) เป็นเกทพื้นฐานที่มีจำนวนทรานซิสเตอร์น้อยที่สุด เมื่อทำการวิเคราะห์วงจรสามารถทำได้ง่าย โดยเริ่มจากการวิเคราะห์การถ่ายโอน (DC Transfer Characteristic) ซึ่งการหาการถ่ายโอนแรงดันของวงจรอินเวอร์เตอร์พิจารณาจากภาพที่ 23 โดยเริ่มจากการเพิ่มแรงดันทางด้านอินพุท ($V_{IN}$) ขึ้นที่ละน้อยจนถึงแรงดันไฟเลี้ยง ในขณะเดียวกันก็สังเกตุแรงดันเอาท์พุท




**ภาพที่ 23** ซีมอสอินเวอร์เตอร์และคุณสมบัติการถ่ายโอนทางดีซี

**ที่มา**: (สมศักดิ์, 2545)

ตามภาพที่ 23 ในขณะที่สัญญาณอินพุทมีค่าต่ำๆ ซึ่ง $V_{IN} < V_{GSn}$ และ $V_{DD}-V_{IN} > |V_{GSp}|$ ทำให้ทรานซิสเตอร์เอ็นมอสอยู่ในช่วงคัทออฟและทรานซิสเตอร์พีมอสอยู่ในช่วงอิ่มตัว แรงดันเอาท์พุทจึงมีค่าเท่ากับไฟเลี้ยง หรือเป็นแรงดันที่ทำให้ได้สภาวะลอจิกสูง คือ $V_{OH} = V_{DD}$ เมื่อ $V_{IN}$ สูงขึ้นจนกระทั่งทรานซิสเตอร์เอ็นมอสเริ่มจะทำงานในช่วงที่เป็นเชิงเส้น แรงดัน $V_{IN}$ ขณะนั้นเป็นค่าสูงสุดก่อนที่แรงดันเอาท์พุทจะลดลงเรียกว่า $V_{IL}$ เมื่อแรงดัน $V_{IN}$ สูงขึ้นอีกจนทรานซิสเตอร์พีมอสเริ่มจะหยุดนำกระแสและเอ็นมอสเริ่มจะอิ่มตัว แรงดัน $V_{IN}$ ขณะนั้นเป็นค่าเริ่มต้นที่แรงดันเอาท์พุทมีค่าเป็นศูนย์หรือลอจิกต่ำเรียกว่า $V_{IH}$ แรงดันอินพุทที่อยู่ระหว่าง $V_{IL}$ และ $V_{IH}$ จะทำให้ไม่สามารถที่จะบอกทางลอจิกของเอาท์พุทได้ อย่างไรก็ตามสามารถที่จะหาตำแหน่งการแบ่งระหว่างลอจิกสูงและลอจิกต่ำได้โดยการกำหนดแรงดันกึ่งกลางหรือ $V_M$ โดย $V_{IL} < V_M < V_{IH}$ และ $V_{OL}<V_M<V_{OUT}$ ที่แรงดันนี้ถือว่าทั้งทรานซิสเตอร์เอ็นมอสและทรานซิสเตอร์พีมอสอยู่ในสภาวะอิ่มตัว กระแสไฟเลี้ยงผ่านทรานซิสเตอร์เอ็นมอสลงกราวด์ ดังนั้นสามารถเขียนสมการความสัมพันธ์ของกระแสของทรานซิสเตอร์ทั้ง 2 ได้ตามสมาการที่ (36) (สมศักดิ์, 2545)

$$I_{DSp} = -I_{DSn} \tag{36}$$

แทนค่ากระแสจากสมการที่ (36) จะได้สมการกระแสใหม่ดังสมการที่ (37)

$$\frac{\beta_n}{2}\left(V_M - V_{Tn}\right)^2 = \frac{\beta_p}{2}\left(V_{DD} - V_M - \left|V_{Tp}\right|\right)^2 \tag{37}$$

จัดรูปสมการ (37) ใหม่เพื่อพิจารณาค่าแรงดัน $V_M$ ได้ตามสมการที่ (38)

$$\left(V_M - V_{Tn}\right)\sqrt{\frac{\beta_n}{\beta_p}} = \left(V_{DD} - V_M - \left|V_{Tp}\right|\right) \tag{38}$$

พิจารณาหาค่าแรงดันกึ่งกลางขณะลอจิกเปลี่ยนสถานะ ($V_M$) จึงหาได้จากสมการที่ (39)

$$V_M = \frac{V_{DD} - \left|V_{Tp}\right| + V_{Tn}\sqrt{\frac{\beta_n}{\beta_p}}}{1+\sqrt{\frac{\beta_n}{\beta_p}}} \tag{39}$$

จากสมการที่ (39) เมื่อกำหนดให้ $\beta$ มีค่าตามสมการที่ (40)

$$\beta = \mu C_{OX}\left(\frac{W}{L}\right) = KP\left(\frac{W}{L}\right) \tag{40}$$

เมื่อพิจารณาหาค่าอัตราส่วนอัตราขยายของมอสทรานซิสเตอร์จากสมการที่ (40) จะได้

$$\frac{\beta_n}{\beta_p} = \frac{KP\left(\frac{W}{L}\right)_n}{KP\left(\frac{W}{L}\right)_p} \tag{41}$$

$$\frac{KP_n}{KP_p} = \frac{\mu_n}{\mu_p} \approx 2\text{-}3 \tag{42}$$

การเปลี่ยนแปลงอัตราส่วนของ ($\beta_n / \beta_p$) มีผลทำให้ $V_M$ เปลี่ยนไป ($\beta_n / \beta_p$) > 1 ทำให้เส้นกราฟเลื่อนไปทางซ้ายมือ และ ($\beta_n / \beta_p$) < 1 ทำให้เส้นกราฟเลื่อนไปทางขวามือ ในกรณีที่

ต้องการให้การเปลี่ยนลอจิกที่ครึ่งหนึ่งของแรงดันไฟเลี้ยง คือให้ $V_M$ เป็นครึ่งหนึ่งของแหล่งจ่ายแรงดันไฟเลี้ยง จากสมการที่ (41) ทำให้อัตราส่วนขยายมอสทรานซิสเตอร์มีค่าตามสมการที่ (43)

$$\frac{\beta_n}{\beta_p} = \frac{\left(\frac{1}{2}V_{DD} - |V_{Tp}|\right)^2}{\left(\frac{1}{2}V_{DD} - V_{Tn}\right)^2} \tag{43}$$

และถ้าหากให้ $V_{Tn}=|V_{Tp}|$ ก็จะได้ว่า $\beta_n=\beta_p$ หรือก็สามารถเขียนได้ดังสมการที่ (44)

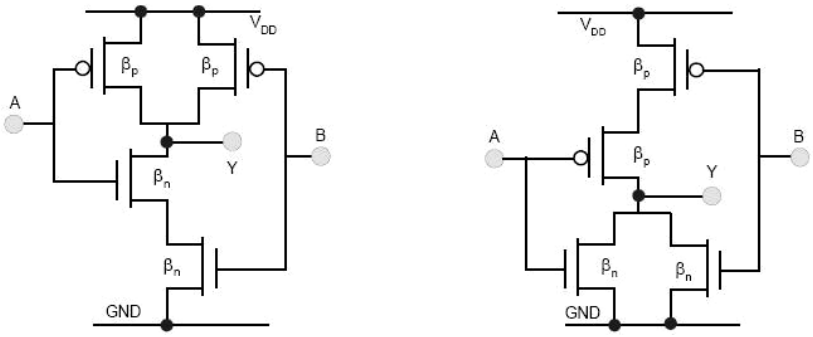
$$\mu_n C_{OX}\left(\frac{W}{L}\right)_n = \mu_p C_{OX}\left(\frac{W}{L}\right)_p \tag{44}$$

แต่เนื่องจากอัตราส่วนของ $(\mu_n / \mu_p) = m$ ดังนั้นในการออกแบบจึงกำหนดให้อัตราส่วน m เป็นดังสมการที่ (45)

$$\frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n} = m \tag{45}$$

3.2 คอมพลีเมนทารีซีมอสแนนด์เกทและนอร์เกท

วงจรคอมพลีเมนทารีซีมอสแนนด์เกทและนอร์เกท 2 อินพุทแสดงได้ดังภาพที่ 24 ความคล้ายคลึงของวงจรคือ การต่อขนานและต่ออนุกรมระหว่างตัวทรานซิสเตอร์ อาศัยการวิเคราะห์วงจรอินเวอร์เตอร์ในหัวข้อข้างต้น สามารถที่จะประยุกต์ และใช้แนวทางเดียวกันในการวิเคราะห์เกทซึ่งมีอินพุทมากขึ้น วงจรที่ซับซ้อนเช่นนี้ในบางเงื่อนไขของแรงดันอินพุท จะมีทรานซิสเตอร์หลายตัวทำงานพร้อมกัน การวิเคราะห์สามารถดูได้จากตารางความจริง เส้นฟังก์ชันถ่ายโอนระหว่างอินพุทและเอาท์พุทจะมีหลายเส้น ทรานซิสเตอร์ที่ทำงานพร้อมกันอาจจะอยู่ในลักษณะที่ทำงานขนานกัน หรือทำงานอนุกรมกันก็ได้




**ภาพที่ 24** วงจรแนนด์เกทและนอร์เกท 2 อินพุท

**ที่มา**: (สมศักดิ์, 2545)

ในกรณีของแนนด์เกท ทรานซิสเตอร์เอ็นมอสมีการต่ออนุกรมกัน ส่วนทรานซิสเตอร์พีมอสเหมือนต่อแบบขนาน ในการหาค่าแรงดันเปลี่ยนสถานะลอจิก ($V_M$) จากสมการที่ (37) สามารถนำมาเขียนใหม่ได้เป็นสมการที่ (46)

$$\frac{\left(\beta_n/2\right)}{2}\left(V_M - V_{Tn}\right)^2 = \left(\frac{2\beta_p}{2}\right)\left(V_{DD} - V_M - \left|V_{Tp}\right|\right)^2 \tag{46}$$

หรือเขียนใหม่ได้เป็น

$$\frac{\beta_n}{2}\left(V_M - V_{Tn}\right)^2 = \frac{\beta_p}{2}\left(V_{DD} - V_M - \left|V_{Tp}\right|\right)^2 \tag{47}$$

จากสมการที่ (47) วิเคราะห์หาค่า $V_M$ ได้ตามสมการที่ (48)

$$V_M = \frac{V_{DD} - \left|V_{Tp}\right| + \frac{1}{2}V_{Tn}\sqrt{\frac{\beta_n}{\beta_p}}}{1 + \frac{1}{2}\sqrt{\frac{\beta_n}{\beta_p}}} \tag{48}$$

จากสมการที่ (48) เป็นกรณีของ 2 อินพุท แต่ถ้าหากเป็นกรณีเกทมีอินพุทมากกว่า 2 อินพุทเป็น N อินพุทสามารถหา $V_M$ ได้ตามสมการที่ (49)

$$V_M = \frac{V_{DD} - \left|V_{Tp}\right| + \frac{1}{N} V_{Tn}\sqrt{\frac{\beta_n}{\beta_p}}}{1 + \frac{1}{N}\sqrt{\frac{\beta_n}{\beta_p}}} \tag{49}$$

กรณีของนอร์เกท ทรานซิสเตอร์เอ็นมอสมีการต่อขนานกัน ส่วนทรานซิสเตอร์พีมอสเหมือนการต่อแบบอนุกรม ในการหาค่าแรงดันเปลี่ยนสถานะลอจิก ($V_M$) สมการ (37) สามารถที่จะเขียนใหม่ได้ตามสมการที่ (50)

$$\frac{(2\beta_n)}{2}\left(V_M - V_{Tn}\right)^2 = \left(\frac{\beta_p \diagup 2}{2}\right)\left(V_{DD} - V_M - \left|V_{Tp}\right|\right)^2 \tag{50}$$

หรือเขียนใหม่ได้เป็น

$$\frac{\beta_n}{2}\left(V_M - V_{Tn}\right)^2 = \frac{\beta_p}{2}\left(V_{DD} - V_M - \left|V_{Tp}\right|\right)^2 \tag{51}$$

จากสมการที่ (51) วิเคราะห์หาค่า $V_M$ ได้ตามสมการที่ (52)

$$V_M = \frac{V_{DD} - \left|V_{Tp}\right| + 2V_{Tn}\sqrt{\frac{\beta_n}{\beta_p}}}{1 + 2\sqrt{\frac{\beta_n}{\beta_p}}} \tag{52}$$

จากสมการที่ (52) เป็นกรณีของ 2 อินพุท แต่ถ้าหากเป็นกรณีที่มีเกท N อินพุท

$$V_M = \frac{V_{DD} - \left|V_{Tp}\right| + NV_{Tn}\sqrt{\frac{\beta_n}{\beta_p}}}{1 + N\sqrt{\frac{\beta_n}{\beta_p}}} \tag{53}$$

**4. ทฤษฎีกราฟเบื้องต้น (Graph)**

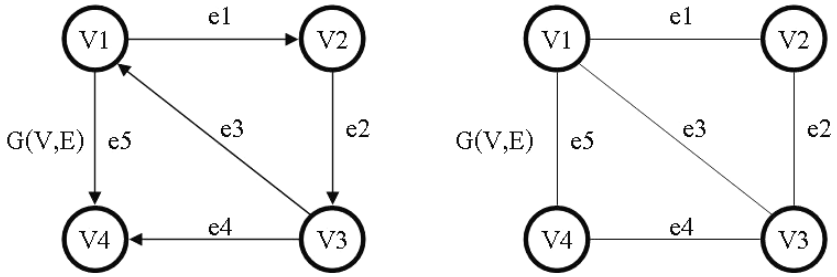
โครงสร้างข้อมูลที่เป็นประเภทนอนลิเนียร์ (Nonlinear) มีลักษณะโครงสร้างเป็นร่างแห หรือโครงข่ายเรียกโครงสร้างนี้ว่า กราฟ (Graph) กราฟเป็นโครงสร้างข้อมูลที่รวบรวมของโนดซึ่งมีเส้นเชื่อมอยู่ระหว่างโนด โนดต่างๆ ที่แสดงบนกราฟเรียกว่าเวอร์ทิกซ์ (Vertices) หรือในบางครั้งจะเรียกว่า โนด (Node) ส่วนเส้นเชื่อมระหว่างเวอร์ทิกซ์ เรียกว่าเอดจ์ (Edges) ดังนั้นกราฟประกอบไปด้วยเซตของเวอร์ทิกซ์ และเอดจ์ สามารถเขียนได้เป็นดังสมการที่ (54)

$$G = (V, E) \tag{54}$$

เมื่อ G แทนด้วย กราฟ V คือ เซตของเวอร์ทิกซ์หรือโนดแต่ละโนดบนกราฟ ส่วน e คือ เซตของเอดจ์ แสดงการเชื่อมระหว่างโนดบนกราฟ แต่ละเอดจ์ในเซต์ E จะมีลำดับเป็นดังสมการที่ (55)

$$e = (V1, V2) \tag{55}$$

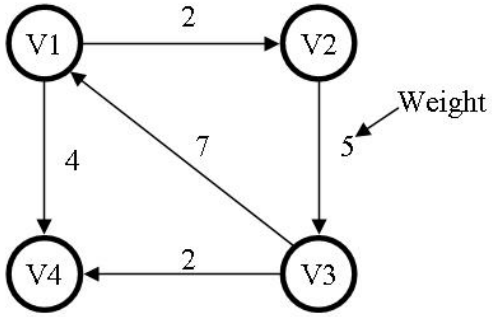
โดยที่ V1 และ V2 เป็น เวอร์ทิกซ์ ที่แตกต่างกัน ถ้าคู่ลำดับมีลำดับก่อนหลังแสดงว่ากราฟมีทิศทางไปยังจุดต่างๆ โดยตรง เรียกกราฟนี้ว่ากราฟแสดงทิศทาง (Directed graph) เมื่อเวอร์ทิกซ์ที่ประชิดกับ V คือเวอร์เท็กซ์ V1 มาก่อน V2 (V1->V2) แสดงดังภาพที่ 23




ก) กราฟแสดงทิศทาง (Directed graph)  ข) กราฟไม่มีการแสดงทิศทาง (Undirected graph)

**ภาพที่ 25** การแสดงกราฟตัวอย่าง

ตามภาพที่ 25 ก) เป็นกราฟแสดงทิศทางเนื่องจากมีทิศทางจากโนดหนึ่งไปสู่โนดอื่นๆ ส่วนภาพที่ 25 ข) เป็นกราฟที่ไม่แสดงทิศทาง กราฟที่แสดง นอกจากเวอร์ทิกซ์และเอดจ์แล้วยังสามารถระบุค่า (Weight) บนเอดจ์ได้ ซึ่งอาจหมายถึงระยะทางหรือเวลาหรือเป็นการระบุค่าอื่นๆได้ ดังแสดงตามภาพที่ 26




**ภาพที่ 26** กราฟที่บอกขนาดของความสำคัญ

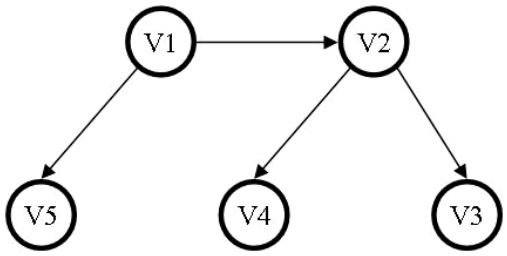
4.1 ความหมายที่ใช้ในกราฟ

เมื่อกำหนดให้ V1 และ V2 เป็นโนดที่มีลำดับแตกต่างกันบนกราฟ G=(V, E) ตัวประชิดระหว่างโดนที่อยู่ติดกัน (Neighbors/Adjacency vertices) หากมีเอดจ์เชื่อมติดต่อกันระหว่าง

โนด V1 และ V2 เรียกว่าแอดจาเซน (Adjacent) ส่วนเส้นทางเดิน (Path) บนกราฟหมายถึงลำดับของโนดใน V คือ V1, V2, V3, …, V4 โดยมีเอดจ์เชื่อมระหว่างเวอร์เท็กซ์นั้นๆ

ความยาวของเส้นทางเดิน (Length) ในกราฟหมายถึงจำนวนเอดจ์ในเส้นทางนั้นมีความยาวเท่ากับ n-1 โนดโดยที่ n เป็นจำนวนโนดทั้งหมดบนกราฟ

อะไซคลิกกราฟ (Acyclic graph) เป็นกราฟชนิดพิเศษของกราฟแสดงทิศททาง ซึ่งไม่มีเส้นเชื่อมกันเป็นวงกลม เรียกย่อว่า DAG (Directed Acyclic Graph)



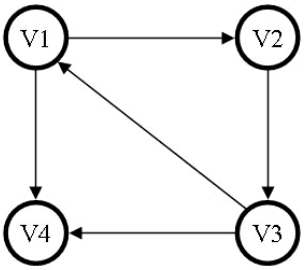

**ภาพที่ 27** อะไซคลิกกราฟ (Acyclic graph)

4.2 การแสดงกราฟ (Representation of graph)

กราฟ (G) จะถูกรวบรวมข้อมูลเป็น 2 ลักษณะโดยใช้เป็นแอดจาเซนซีเมทริกซ์ (Adjacency matrix) และแอดจาเซนซีลิสต์ (Adjacency list)

4.2.1 การแสดงกราฟด้วยเมทริกซ์ (Adjacency matrix)

การแสดงกราฟด้วยเมทริกซ์ เมื่อกำหนดให้ G = (V, E) เป็นกราฟแสดงทิศทาง ซึ่งมี n โนด โดยในโนด V ประกอบด้วย V1, V2, V3, …,Vn ตามภาพที่ 28




T =

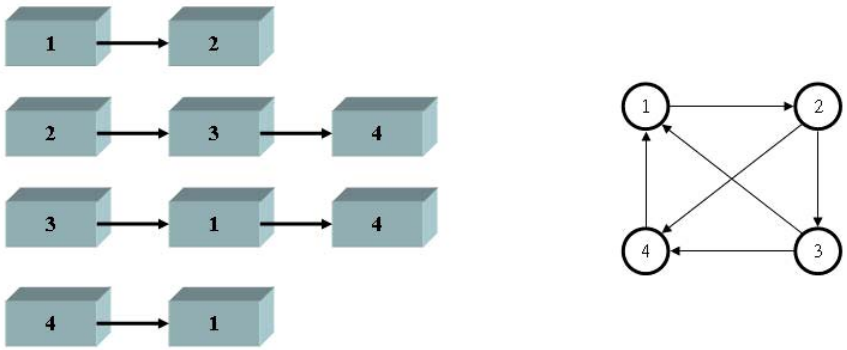
| | V1 | V2 | V3 | V4 |
|---|---|---|---|---|
| **V1** | 0 | 1 | 0 | 1 |
| **V2** | 0 | 0 | 1 | 0 |
| **V3** | 1 | 0 | 0 | 1 |
| **V4** | 0 | 0 | 0 | 0 |

**ภาพที่ 28** การแสดงกราฟด้วยเมทริกซ์

ตามภาพที่ 28 เวอร์ทิกซ์ V ประกอบด้วย V1, V2, V3, …,Vn และกำหนดตาราง เป็น T[i,j] มีจำนวนสมาชิกเป็น n แถวและ n คอลัมน์ โดยที่ $i \geq 1, j \leq n$ ดังนั้น $e=(v_i,v_j)$ แต่ละตำแหน่งในตาราง T จะแทนด้วย 0 และ 1 ถ้า T[i,j] เท่ากับ 1 หมายความว่ามีเอดจ์ e เป็นสมาชิกของ E และมีเอดจ์เชื่อมระหว่างโนด $V_i$ และ $V_j$ แต่ถ้า T[i,j] เท่ากับ 0 หมายความว่าไม่มีเอดจ์เชื่อมไปยังเวอร์ทิกซ์ใดๆในกราฟ

4.2.2 การแสดงกราฟด้วยลิงค์ลิสท์ (Adjacency list)

การแสดงกราฟด้วยลิงค์ลิสท์เป็นลักษณะเดียวกันกับการแทนที่กราฟด้วยเมทริกซ์ คือจะอ้างถึงโนดที่เป็นแอดจาเซนซึ่งแต่ละโนดจะมีจำนวนเอาท์ดีกรีและจำนวน โนดแอดจาเซนซี ดังภาพที่ 29 เป็นการแสดงการเชื่อมต่อของแต่ละโนดว่ามีเอดจ์เชื่อมไปยังโนดใดบ้าง




**ภาพที่ 29** การแทนที่กราฟด้วยลิงค์ลิสท์

4.3 การเดินทางบนกราฟ (Traverse)

การเดินทางบนกราฟจะมีความสับสนมาก เนื่องจากโนดบนกราฟจะมีการเชื่อมโยงกันได้มาก ซึ่งทำให้การวิเคราะห์ว่าโนดใดอยู่ระดับสูงกว่าโนดใดนั้นทำได้ลำบาก แม้แต่ในกรณีของกราฟที่มีทิศทางก็ตาม สิ่งหนึ่งที่จำเป็นสำหรับการสำรวจคือ ก่อนการเดินทางไปยังโนดใดๆ จะต้องทราบก่อนว่าโนดนั้นได้มีการสำรวจ (หรือเดินทางผ่าน) หรือยัง นั่นคือการเดินทางบนกราฟจึงต้องเพิ่มเครื่องหมายที่บอกสถานะของโนดนั้น ในที่นี้จะกำหนดสถานะของโนดต่างๆเป็น 3 ลักษณะคือ 1 หมายถึงโนดที่พร้อมทำการสำรวจ 2 หมายถึงโนดที่รอการสำรวจ และ 3 หมายถึงโนดที่ได้มีการสำรวจแล้ว

ในบทนี้ได้อธิบายถึงทฤษฎีและงานวิจัยที่เกี่ยวข้องกับงานวิทยานิพนธ์นี้ ได้แก่การลดกำลังงานสูญเสียประเภทต่างที่เกิดขึ้นในวงจรรวมขนาดใหญ่เพื่อลดการใช้พลังงานลง ซึ่งในการลดกำลังงานสูญเสียด้วยวิธีการต่างที่นิยมใช้กัน อาทิเช่น การลดแรงดันไฟเลี้ยง การเปลี่ยนโครงสร้างวงจร การลดแรงดันไฟเลี้ยงและการปรับเปลี่ยนแรงดันเริ่มดัน และการใช้แหล่งจ่ายไฟเลี้ยงสองค่า จากตัวอย่างงานวิจัยเหล่านี้เป็นพื้นฐานในการพัฒนาวิธีการลดกำลังไฟฟ้าสูญเสียแบบอื่น ซึ่งจะอธิบายรายละเอียดต่อไปในส่วนอุปกรณ์และวิธีการ

# อุปกรณ์และวิธีการ

## อุปกรณ์

**1.** เครื่องคอมพิวเตอร์ส่วนบุคคล

**2.** โปรแกรมการออกแบบเลย์เอาท์โดยใช้โปรแกรม Tanner L-edit

**3.** โปรแกรมจำลองการทำงานจากการเลย์เอาท์จากการออกแบบด้วยโปรแกรม Tanner L-edit โดยใช้โปรแกรมเทรนเนอร์ T – Spice version 6.03

## วิธีการ

**1. ขั้นตอนดำเนินการ**

1.1 ศึกษากำลังงานสูญเสียที่เกิดขึ้นในวงจรรวมดิจิตอลซีมอส

1.2 ศึกษาวิธีการลดกำลังงานที่เกิดขึ้นในวงจรดิจิตอลซีมอส

1.3 ออกแบบลอจิกเกทพื้นฐาน (Standard cell) เพื่อหาค่าพารามิเตอร์ที่จำเป็นในการวิเคราะห์หาค่าเวลาหน่วงของลอจิกเกทแต่ละชนิด

1.4 ศึกษารายละเอียดการลดกำลังงานไฟฟ้าในวงจรรวมดิจิตอลซีมอสโดยใช้เทคนิคการกำหนดแรงดันไฟเลี้ยงวงจรหลายค่า (Multiple Supply Voltages)

1.5 ศึกษาวิธีการเลือกเส้นทางส่วนที่เป็นเส้นทางวิกฤตและส่วนที่ไม่เป็นเส้นทางวิกฤต

1.6 ออกแบบอัลกอริทึมสำหรับการเลือกเส้นทางส่วนที่เป็นเส้นทางวิกฤติ (Critical path) และส่วนที่ไม่เป็นเส้นทางวิกฤติ

1.7 ออกแบบการกำหนดแรงดันไฟเลี้ยงวงจรให้กับส่วนต่างๆของวงจรตามข้อ 1.4 เพื่อให้สามารถลดกำลังงานได้อย่างเหมาะสม

1.8 ทดสอบวงจรโดยใช้วงจรเชิงลำดับ สำหรับการออกแบบและทดสอบโดยใช้เทคนิคการกำหนดแรงดันไฟเลี้ยงวงจรหลายค่า (Multiple Supply Voltages)

1.9 ทดสอบการทำงานของวงจรทั้งหมด

1.10 รวบรวมผลการทดลอง

**2. การออกแบบลอจิกเกทพื้นฐาน**

ในขั้นตอนแรกของงานวิจัยนี้จะทำการออกแบบและสร้างลอจิกเกทพื้นฐานอาทิเช่น แนนด์เกท ออร์เกท นอร์เกทโดยใช้โปรแกรม Tanner L-edit ในการสร้างเกทต้นแบบ หลังจากสร้างเกทเหล่านั้นเรียบร้อยแล้วจะใช้โปรแกรมเทรนเนอร์ T – Spice จำลองการทำงานเพื่อทดสอบหาค่าพารามิเตอร์ต่างๆ ที่สำคัญของลอจิกเกทพื้นฐานที่ถูกสร้างขึ้น

ในการออกแบบลอจิกเกทจะใช้เทคนิคการวิเคราะห์วงจรลอจิกเกทพื้นฐานดังหัวข้อที่ผ่านมาซึ่งในการออกแบบวงจรซีมอสอินเวอร์เตอร์เป็นการใช้ทรานซิสเตอร์ชพูลดาวน์ โดยที่ทรานซิสเตอร์ทั้งสองต้องทำงานร่วมกัน จึงต้องพิจารณาค่าอัตราส่วนของความยาว และความกว้างของแชนแนลทรานซิสเตอร์ทั้งสองชนิด เพื่อที่จะได้คุณสมบัติของการแปลงค่ากระแสตรงที่มีลักษณะสมมาตร การออกแบบลอจิกเกทพื้นฐานนี้ทำการวิเคราะห์โดยอาศัยลอจิกเกทอินเวอร์เตอร์เป็นต้นแบบในการวิเคราะห์ลอจิกเกทพื้นฐานอื่นๆ

ในการพิจารณาหาจุดสมมาตรของคุณสมบัติการเปลี่ยนแปลงค่าทางกระแสตรง จะพบว่าช่วงที่ทรานซิสเตอร์ทั้งสองนำกระแสพร้อมกันเป็นช่วงที่มีกระแสไฟฟ้าไหลมากที่สุด ดังนั้นในช่วงนี้กระแสที่ไหลผ่านทรานซิสเตอร์ทั้งสองจึงมีค่าเป็นตามสมการที่ (36)

$$I_{DSp} = -I_{DSn}$$

ช่วงที่มีกระแสไหลมากที่สุดนี้ คือจุดที่เกิดการสมมาตร นั่นคือทำให้แรงดันอินพุทมีค่าเท่ากับแรงดันเอาท์พุท สามารถเขียนได้เป็นสมการที่ (55)

$$V_{IN} = V_{OUT} = \frac{V_{DD}}{2} \qquad (55)$$

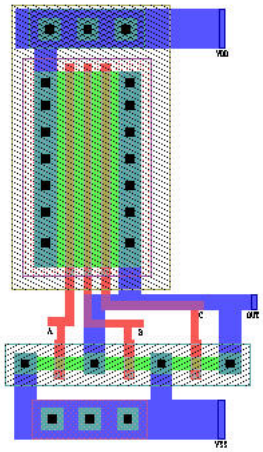
จากสมการที่ (55) จะพบว่าในขณะที่แรงดันไฟเลี้ยงลดลงเหลือครึ่งหนึ่งของแรงดันไฟเลี้ยงทั้งหมด ซึ่งเป็นจุดที่เกิดจาก $\beta_n=\beta_p$ และ $V_{Tn}=|V_{Tp}|$ เมื่อแทนค่าเพื่อพิจารณาหาอัตราส่วนความกว้าง และความยาวแชนแนลของทรานซิสเตอร์ ทั้งสองจะได้ตามสมการที่ (44)

$$\mu_n C_{OX}\left(\frac{W}{L}\right)_n = \mu_p C_{OX}\left(\frac{W}{L}\right)_p$$

จากสมการที่ (44) จะพบว่าคุณสมบัติความคล่องตัวของพาหะของทรานซิสเตอร์แบบพีมอสและเอ็นมอสไม่สามารถสร้างให้มีค่าเท่ากันได้ จึงทำให้อัตราส่วนความกว้างและความยาวของทรานซิสเตอร์ทั้งสองควรมีค่าเป็นตามสมการที่ (56)

$$(2.5)\left(\frac{W}{L}\right)_n = \left(\frac{W}{L}\right)_p \tag{56}$$

ในการออกแบบลอจิกเกทพื้นฐานจะใช้สมการที่ (56) ในการหาอัตราส่วนของช่องทางเดินกระแสของทรานซิสเตอร์ โดยทำการออกแบบอัตราส่วนช่องทางเดินกระแสของทรานซิสเตอร์เอ็นมอสให้มีขนาดเล็กที่สุดตามเทคโนโลยีที่ใช้ในการออกแบบนี้ จากนั้นจะเพิ่มขนาดของทรานซิสเตอร์พีมอสตามอัตราส่วนในสมการที่ (56) จากการทำเลย์เอาท์แสดงตามตัวอย่างภาพที่ 30



**ภาพที่ 30** ตัวอย่างทรานซิสเตอร์เลย์เอาท์ของลอจิกนอร์เกท

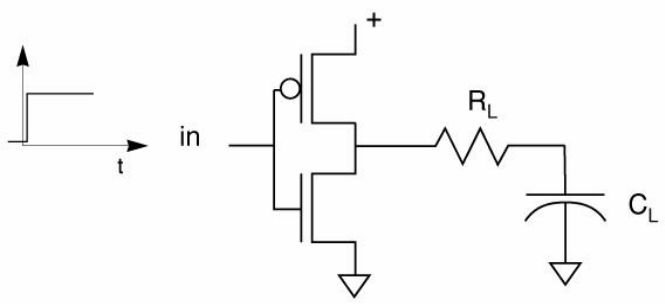
ดังนั้นในการออกแบบลอจิกเกทพื้นฐานจำเป็นต้องคำนึงถึงขนาดของช่องทางเดินกระแสของทรานซิสเตอร์ทั้งสองเพื่อให้สัญญาณเอาท์พุทของลอจิกเกทมีความสมมาตรกันจะต้องออกแบบโดยใช้สมการที่ (56) ในการหาขนาดของช่องทางเดินกระแส สำหรับค่าคุณสมบัติความ

คล่องตัวของพาหะของทรานซิสเตอร์จะใช้พารามิเตอร์ในเทคโนโลยี 0.5um ของบริษัท HP โดยใช้ผลการทดสอบพารามิเตอร์ของ MOSIS ในการออกแบบช่องทางเดินกระแสของทรานซิสเตอร์

**3. เวลาหน่วง (Delay time)**

จากหัวข้อที่ผ่านมาข้างต้นเป็นการสร้างโมเดลเวลาหน่วงของลอจิกเกทพื้นฐานซึ่งในการวิเคราะห์หาค่าเวลาหน่วงเป็นหนึ่งในคุณสมบัติที่จำเป็นต้องพิจารณาในการสร้างลอจิกเกท เนื่องจากมีผลต่อความเร็วในการทำงานของวงจร สำหรับในการวิเคราะห์ลอจิกเกทไม่เฉพาะคุณสมบัติทางเวลาหน่วงเพียงอย่างเดียวที่สามารถบอกเราในการคำนวณความเร็วของเกทได้ จำเป็นต้องคำนึงถึงพาราซิติกด้วย จำเป็นต้องถูกควบคุมในขั้นตอนการออกแบบเลย์เอาท์ (Layout) เพื่อที่จะทำให้เกิดเวลาหน่วงน้อยที่สุด จากการวิเคราะห์เวลาหน่วงของวงจรอินเวอร์เตอร์เกท ซึ่งเป็นเกทที่ทำการวิเคราะห์ได้ง่ายไม่ซับซ้อน โดยสมมติว่าสัญญาณอินพุทของอินเวอร์เตอร์เปลี่ยนแปลงตลอดเวลา ดังนั้นอินพุทของสัญญาณที่ลอจิกเกทจะถูกจ่ายให้ลอจิกอื่นเสมอ (Fan out) โดยสมมติให้โหลดของอินเวอร์เตอร์เป็นตัวต้านทานต่ออนุกรมกับตัวเก็บประจุ (RC) ตัวต้านทานและตัวเก็บประจุได้มาจากลอจิกเกทที่ต่อมาจากเอาท์พุทของอินเวอร์เตอร์และทางเดินกระแส (Wires) ซึ่งสามารถวิเคราะห์วงจรได้ 2 กรณีคือ แรงดันเอาท์พุทถูกดึงลง (High to low) และ แรงดันเอาท์พุทถูกดึงขึ้น (Low to high)

ในการวิเคราะห์วงจรอินเวอร์เตอร์ดังภาพที่ 30 นั้นถ้าหากทำการวิเคราะห์โดยใช้พฤติกรรมการทำงานของวงจรทรานซิสเตอร์นั้นจะทำให้เกิดความยุ่งยากซับซ้อน ดังนั้นจึงกำหนดให้อินพุทของอินเวอร์เตอร์เปลี่ยนแปลงสถานะตลอดเวลาระหว่างค่าต่ำสุดและค่าสูงสุด ซึ่งจะสมมติให้ทรานซิสเตอร์ตัวใดตัวหนึ่งไม่ทำงาน ดังนั้นเราจึงสังเกตุได้ว่า เมื่อแรงดันเอาท์พุทเปลี่ยนสถานะจากค่าต่ำสุดเป็นค่าสูงสุด (Low to high) ทรานซิสเตอร์ n-type สามารถมองข้ามไปได้เพื่อที่จะได้วิเคราะห์วงจรได้ง่ายขึ้น โดยโมเดลให้ทรานซิสเตอร์ที่ทำงานอยู่เปรียบเสมือนตัวต้านทาน การประมาณค่าความต้านทานมาตรฐานสำหรับทรานซิสเตอร์ สามารถทำได้โดยวัดค่าความต้านทานของทรานซิสเตอร์ที่ 2 จุดบนกราฟการนำกระแสของทรานซิสเตอร์ และนำมาหาค่าเฉลี่ยระหว่างค่าทั้งสองนั้น (Wolf, 1998)

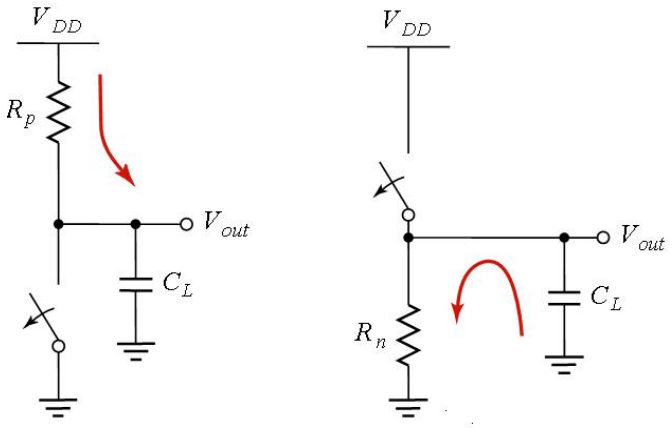



**ภาพที่ 31** วงจรอินเวอร์เตอร์เมื่อพิจารณาโหลด

**ที่มา**: (Wolf, 1998)

3.1 การประมาณค่าความต้านทาน

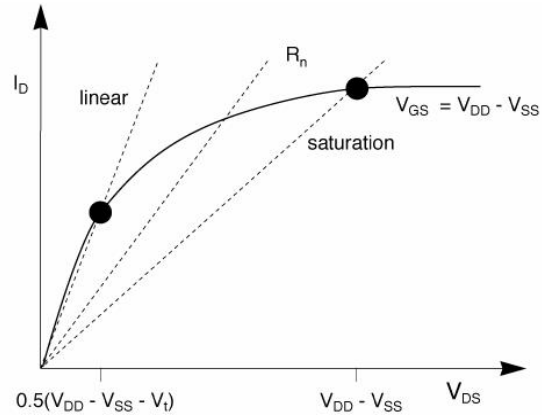
คุณสมบัติทางการสวิทช์ของวงจรอินเวอร์เตอร์ที่สำคัญได้แก่ เวลาไต่ขึ้น (Rise time, $t_r$) เวลาไต่ลง (Fall time, $t_f$) เวลาในการส่งผ่านสัญญาณ (Propagation time) การหน่วงของสัญญาณเกิดขึ้นเนื่องจากค่าความต้านทานที่จะมีผลต่อการประจุและการคายประจุของตัวเก็บประจุ เมื่อพิจารณาจากภาพที่ 31 ความต้านทานของช่องทางเดินกระแสของพีมอส ($R_p$) และ เอ็นมอส ($R_n$) สามารถหาค่าได้จากสมการที่ (57)




**ภาพที่ 32** การวิเคราะห์ค่าความต้านทานของช่องทางเดินกระแสของทรานซิสเตอร์

**ที่มา**: (Rabaey *et al.*, 2003)

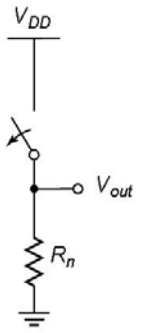
ในการประมาณค่าความต้านทานทำได้โดยเลือกจุดการทำงานบนเส้นโค้งกระแส $I_D$ กับ $V_{SS}$ ของทรานซิสเตอร์ตลอดช่วงการทำงานและคำนวณประเมินค่าความต้านทาน โดยใช้แรงดันต่อกระแส (V/I) ดังภาพที่ 32 ซึ่งสามารถคำนวณได้จากสมการที่ (57)




ภาพที่ 33 การประมาณค่าความต้านทานของทรานซิสเตอร์

**ที่มา**: (Wolf, 1998)

$$R_n = \frac{\left(\frac{V_{sat}}{I_{sat}} + \frac{V_{lin}}{I_{lin}}\right)}{2} \qquad (57)$$




**ภาพที่ 34** การวิเคราะห์ประเมินค่าความต้านทานของเอ็นมอสทรานซิสเตอร์

ที่มา: (Rabaey *et al.*, 2003)

จากสมการที่ (57) พบว่าในการประเมินค่า $R_n$ ตามภาพที่ 34 นั้น จะใช้การวิเคราะห์วงจรอย่างง่าย ด้วยการจำลองให้ทรานซิสแตอร์ทำงานในลักษณะสวิทซ์ และทรานซิสเตอร์ที่นำกระแสจะมีค่าความต้านทานเกิดขึ้น ดังนั้นการประมาณค่าความต้านทานแฝง จะต้องหาค่าของ $V_{sat}$ และ $I_{sat}$ ก่อน นั่นคือค่ากระแสที่ไหลผ่านทรานซิสเตอร์ที่จุดบริเวณอิ่มตัวนั้น สามารถหาได้จากสมการที่ (58)

$$I_{sat} = \frac{1}{2}k'\frac{W}{L}\left(V_{DD} - V_{SS} - V_t\right)^2 \tag{58}$$

แรงดันที่ตกคร่อมทรานซิสเตอร์ที่จุดนี้คือ

$$V_{sat} = V_{DD} - V_{SS} \tag{59}$$

สำหรับที่จุดการทำงานบริเวณเชิงเส้น สามารถหาค่าแรงดันได้ดังสมการที่ (60)

$$V_{lin} = \frac{\left(V_{DD} - V_{SS} - V_t\right)^2}{2} \tag{60}$$

และกระแสเดรนสามารถหาได้จากสมการที่ (61)

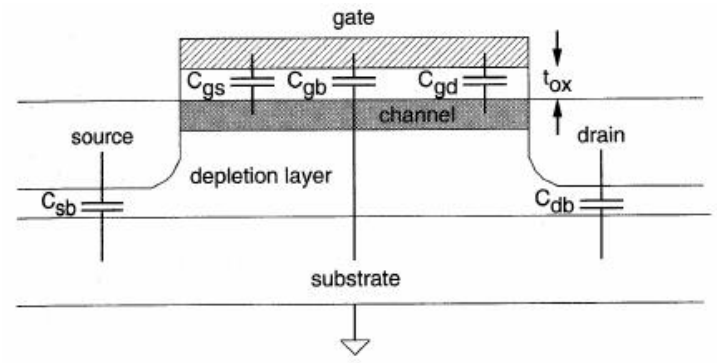
$$I_{lin} = k'\frac{W}{L}\left[\frac{1}{2}\left(V_{DD} - V_{SS} - V_t\right)^2 - \frac{1}{2}\left(\frac{\left(V_{DD} - V_{SS} - V_t\right)^2}{2}\right)\right] \tag{61}$$

$$I_{lin} = \frac{3}{8}k'\frac{W}{L}\left(V_{DD} - V_{SS} - V_t\right)^2 \tag{62}$$

ในการคำนวณหาค่าความต้านทานแฝงของทรานซิสเตอร์ที่ประกอบเป็นลอจิกเกทต่างๆ นั้นจะคำนวณหาค่าได้จากสมการที่ 57 แต่ในสมการจะประกอบด้วยแรงดันและกระแสในช่วงลิเนียร์และช่วงอิ่มตัวดังกล่าวมาข้างต้น (สมการที่ 57-62) ซึ่งพารามิแตอร์ต่างๆจะใช้จากค่าที่ได้จากการทดสอบ MOSIS ร่วมกับค่าอัตราส่วนความกว้างต่อความยาวของช่องทางเดินกระแสที่ได้จากการวิเคราะห์ในหัวข้อที่ 2 มาร่วมในการคำนวณหาค่าความต้านทานแฝงของทรานซิสเตอร์ด้วย

3.2 การประมาณค่าความจุของทรานซิสเตอร์

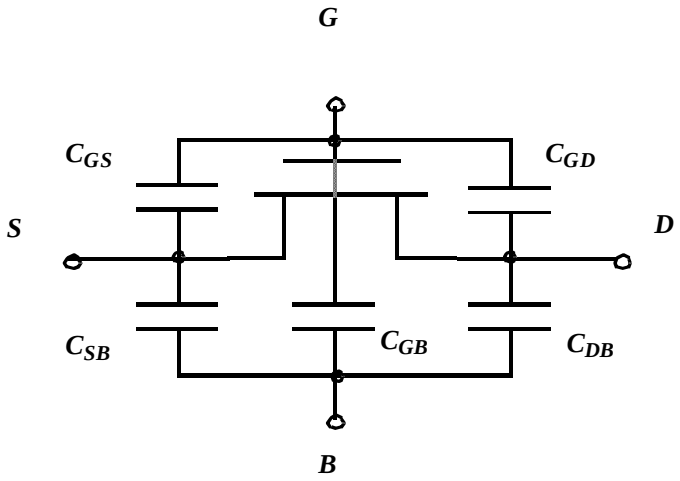
ความจุที่เกิดขึ้นในระบบวงจรรวมขนาดใหญ่นั้นส่งผลโดยตรงต่อความเร็วและการหน่วงเวลาซึ่งเรียกว่า ลักษณะสมบัติขณะเปลี่ยนแปลง หรือลักษณะสมบัติไดนามิกของวงจร ความจุที่เกิดขึ้นในวงจรนั้นเป็นความจุแฝง (Parasitic Capacitors) ในโครงสร้างมอสดังภาพที่ 35 โดยเกิดจากชั้นของโลหะโพลีซิลิกอนและแนวตัวนำแพร่ซึม ร่วมกับความต้านทานของตัวนำ ทำให้เกิดการหน่วงเวลาขึ้น (ธีรยศ, 2004)




**ภาพที่ 35** ตัวเก็บประจุแฝงที่เกิดขึ้นในโครงสร้างมอส

**ที่มา**: (ธีรยศ, 2004)

การพิจารณาความจุแฝงแยกเป็นส่วนๆ ที่สำคัญคือ ความจุรวมที่ขาออกของเกทซีมอสอันเกิดจากเหตุต่างๆ คือ ความจุเกทซึ่งเป็นผลจากด้านขาเข้าของเกท ที่ต่อกับด้านขาออกของวงจร ความจุจากเดรน ซึ่งต่อกับขั้วขาออกของเกท และ ความจุของทางเดินสัญญาณ ซึ่งต่อระหว่างขาออกไปยังด้านขาเข้าเกทอื่น ความจุแฝงในทรานซิสเตอร์ เกิดจากบริเวณซอส เดรน และเกท ทั้งนี้หากไม่คิดประจุจากการซ้อนเหลื่อมของเกท กับบริเวณซอสและเดรน ดังภาพที่ 36




**ภาพที่ 36** ค่าความจุรวมทั้งหมดที่เกท

จากภาพที่ 36 ส่วนประกอบต่างๆ ของตัวเก็บประจุแฝง (Parasitic capacitors) ที่เกิดขึ้นในขบวนการสร้างเกทมีรายละเอียดดังต่อไปนี้คือ $C_{gs}$, $C_{gd}$ คือความจุเกทกับซอส และเกทกับเดรน บริเวณแชนแนลใกล้กับซอสและเดรน, $C_{sb}$, $C_{db}$ คือความจุเกิดจากบริเวณซอสและเดรน กับชั้นฐาน ซึ่งมีย่านปลอดพาหะขวางกลาง และ $C_{gb}$ คือความจุระหว่างเกทกับชั้นฐาน โดยมีออกไซด์และย่านปลอดพาหะขว้างกลาง ดังนั้นการหาค่าความจุแฝงรวมของเกทได้จากการรวมค่าความจุเกท 3 ค่าเข้าด้วยกันดังสมการ (63)

$$C_G = C_{gb} + C_{gs} + C_{gd} \tag{63}$$

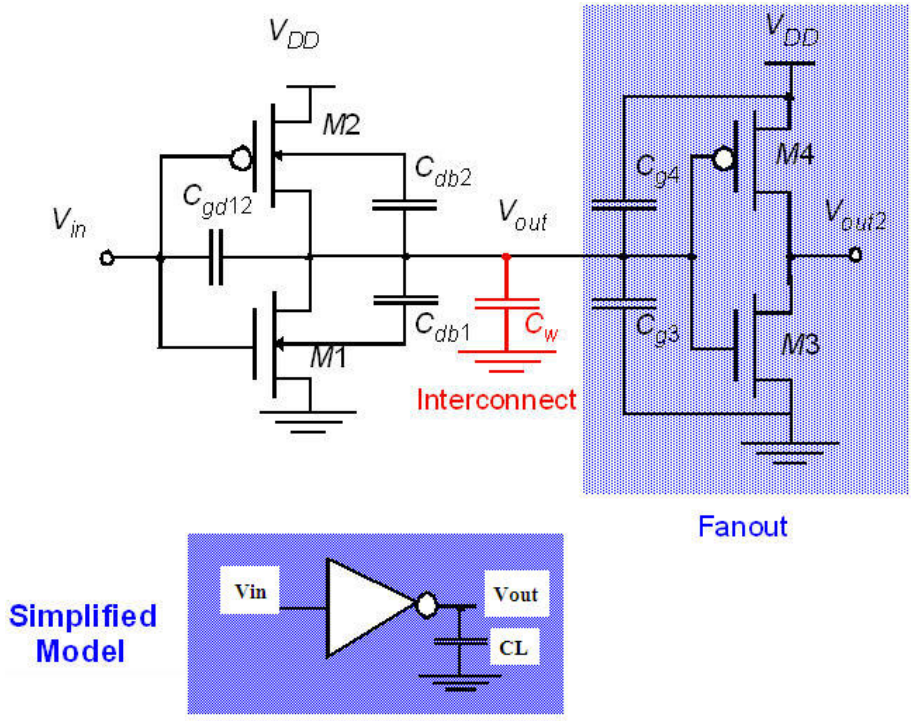
นอกจากค่าความจุไฟฟ้าที่ขาเกท วงจรทรานซิสเตอร์ยังมีค่าความจุไฟฟ้าที่ขาเดรนของเอ็นมอส ($C_{Dn}$) ประกอบด้วยความจุไฟฟ้า 2 ส่วน คือความจุไฟฟ้าเดรน-เกท และความจุไฟฟ้าเดรน-ฐานรอง

$$C_{Dn} = C_{DG} + C_{DB} \tag{64}$$

ทำนองเดียวกันค่าความจุไฟฟ้าที่ขาเดรนของพีมอส ($C_{Dp}$) ก็หาได้เช่นเดียวกัน ดังนั้นค่าความจุไฟฟ้าพาราซิติกทางเอาท์พุท

$$C_{out} = C_{Dn} + C_{Dp} \tag{65}$$

ในการต่อใช้งานนั้นเอาท์พุทของเกทที่กำลังพิจารณาจะต้องไปต่อกับอินพุทของเกทอื่นๆอีกหลายตัว (Fan out) ตามภาพที่ 37 แสดงค่าความจุแฝงโหลดของเกทเมื่อต่อเข้ากับเกทตัวอื่น ซึ่งค่าความจุไฟฟ้าที่อินพุทเกทเหล่านั้นจะต้องนำมาพิจารณาร่วมกับความจุไฟฟ้าพาราซิติก




**ภาพที่ 37** ค่าความจุแฝงที่เกิดขึ้นในอินเวอร์เตอร์เกทและเมื่อต่อกับเกทอื่น

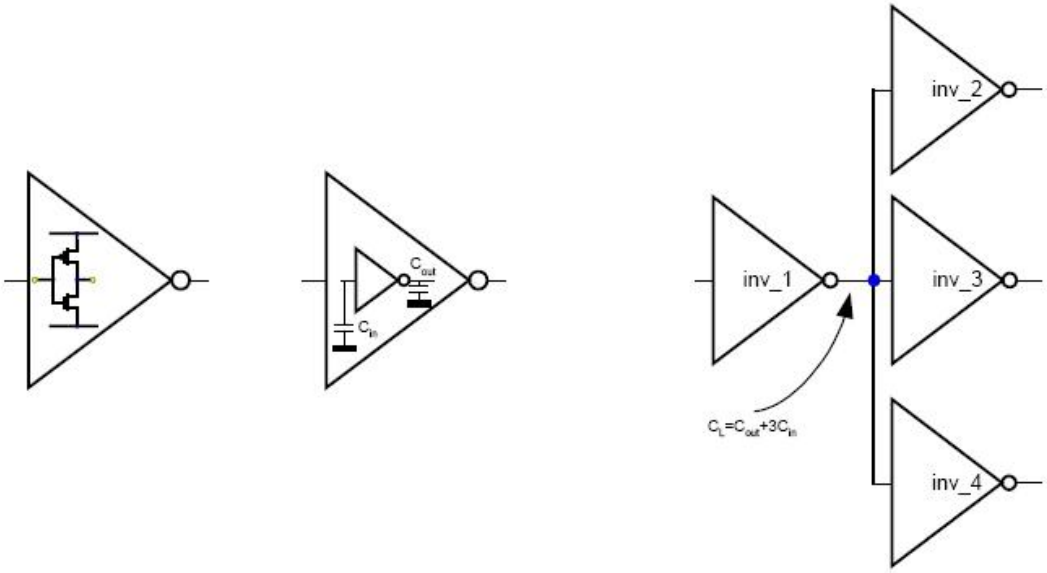
ที่มา: (Rabaey *et al.*, 2003)

เมื่อพิจารณาภาพที่ 38 เป็นอินเวอร์เตอร์เกทจะขับเกทอีก 3 เกท โดยแต่ละเกทจะมีค่าความจุไฟฟ้าเป็น $C_{in}$ โดยสามารถหาค่า $C_{in}$ ได้ดังสมการที่ (66)

$$C_{in} = C_{Gn} + C_{Gp} \tag{66}$$

ดังนั้นค่าความจุไฟฟ้าโหลดของอินเวอร์เตอร์จึงหาจากสมการที่ (67)

$$C_L = C_{out} + 3C_{in} \tag{67}$$

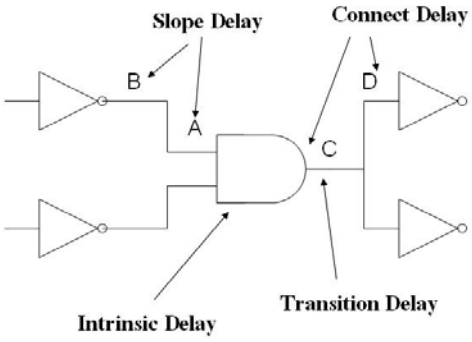



**ภาพที่ 38** การคำนวณค่าความจุโหลด (Fan out)

**4. คุณสมบัติของลอจิกเกทมาตรฐาน (Characterization of logic cells)**

เมื่อออกแบบสร้างลอจิกเกทเซลล์มาตรฐานเรียบร้อยแล้ว จากนั้นทำการทดลองโดยใช้โปรแกรมเทรนเนอร์ T – Spice จำลองการทำงานเพื่อหาคุณสมบัติของเกทแต่ละตัว ค่าโมเดลเวลาหน่วง (Delay model) เป็นคุณสมบัติที่มีความสำคัญอย่างมาก โดยทั่วไปนั้นโมเดลเวลาหน่วงจะไม่มีรูปแบบมาตรฐานที่เฉพาะเจาะจงสำหรับการสร้างเซลล์มาตรฐานในแต่ละผู้ผลิตจะมีวิธีการออกแบบคุณสมบัติเซลล์มาตรฐานเป็นของตนเอง แม้ว่าจะใช้เครื่องมือเดียวกันก็ตาม ถ้าหากผู้ผลิตมีความต้องการปรับเปลี่ยนโมเดลเวลาหน่วงก็ยังสามารถทำได้เสมอตามต้องการ เพื่อให้ได้ความเที่ยงตรงและมีประสิทธิภาพการทำงานที่ดี คุณสมบัติของเวลาหน่วงทั้งหมดจะประกอบด้วย 4 องค์ประกอบด้วยกัน ตามภาพที่ 39 โดยคุณสมบัติของเวลาหน่วงทั้งหมดแสดงดังสมการที่ (68) (Rabaey *et al.*, 2003)

$$D_{total} = D_I + D_T + D_S + D_C \tag{68}$$




**ภาพที่ 39** ส่วนประกอบของเวลาหน่วงในวงจรคอมบิเนชัน

เมื่อกำหนดให้ $D_I$ เป็นเวลาหน่วงบริสุทธิ์ (Intrinsic delay) เป็นเวลาหน่วงภายในของเซลล์ในขณะที่ยังไม่ได้ต่อโหลดภายนอก $D_T$ เป็นเวลาหน่วงจากการเปลี่ยนสถานะ (Transition delay) หรือ เรียกอีกอย่างว่า โมเดลเวลาหน่วงเชิงเส้น (Linear delay model) สามารถเขียนได้ดังสมการที่ (69)

$$D_T = R_{driver}\left(\sum C_{gate} + C_{wire}\right) \tag{69}$$

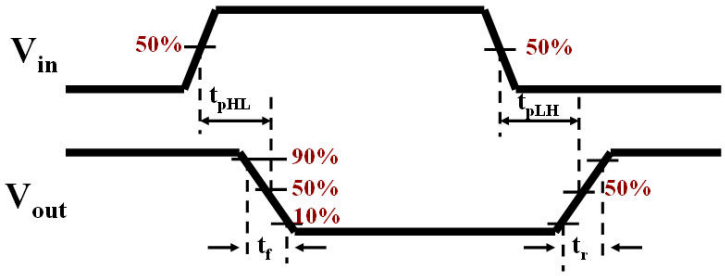
เมื่อ $\sum C_{gate}$ เป็นผลรวมของค่าความจุทางด้านอินพุทของเกททั้งหมดที่ถูกต่อเข้ากับเอาท์พุทของเกทนี้ $C_{wire}$ เป็นค่าประมาณความจุของทางเดินไฟฟ้า $D_S$ เป็นเวลาหน่วงที่เกิดจากความชัน (Slope delay) ของสัญญาณทางด้านอินพุท (Input slope) ค่าเวลาหน่วงที่เกิดขึ้นนี้มีค่าน้อยมากโดยสามารภเขียนได้ดังสมการ (70)

$$D_S = S_S D_{Tprev} \tag{70}$$

เมื่อ $S_S$ เป็น Slope-sensitivity factor และ $D_{Tprev}$ เป็นเวลาหน่วงจากการเปลี่ยนแปลงสถานะของช่วงเวลาก่อนหน้านี้ และสุดท้ายเป็นเวลาหน่วงของสายหรือเส้นทางเดินไฟฟ้า (Delay of the wire)

จากเนื้อหาข้างต้นเป็นพารามิเตอร์ที่เป็นโมเดลของเวลาหน่วงต่างๆ ซึ่งงานวิจัยนี้จะออกแบบลอจิกเกทด้วย L-Edit และทำการจำลองการทำงานของเกทเหล่านั้นด้วย โปรแกรมเทรนเนอร์ T-Spice เพื่อหาเวลาหน่วงของเกทนั้นๆ ซึ่งสามารถนิยามเวลาหน่วงได้ ตามภาพที่ 40

จากการจำลองการทำงานของเกทโดยป้อนอินพุทเข้าเกทใดๆ เพื่อหาค่าเวลาหน่วงที่กิดขึ้นกับเกทนั้น จากภาพ การนับค่าเวลาไต่ขึ้น ($t_r$) จะนับเวลาที่แรงดันเอาท์พุทเปลี่ยนจาก 10 เปอร์เซ็นต์ ไปถึง 90 เปอร์เซ็นต์ของค่าสูงสุด การนับค่าเวลาไต่ลง ($t_f$) จะนับเวลาที่แรงดันเอาท์พุทเปลี่ยนจาก 90 เปอร์เซ็นต์ ไปถึง 10 เปอร์เซ็นต์ของค่าสูงสุด และการเสียเวลาการเคลื่อนของสัญญาณ (Propagation time, $t_p$) จะนับที่แรงดันสัญญาณที่เอาท์พุทมีค่าเป็นครึ่งหนึ่งของแรงดันสูงสุด ในขณะขาลงก็คือการคายประจุ

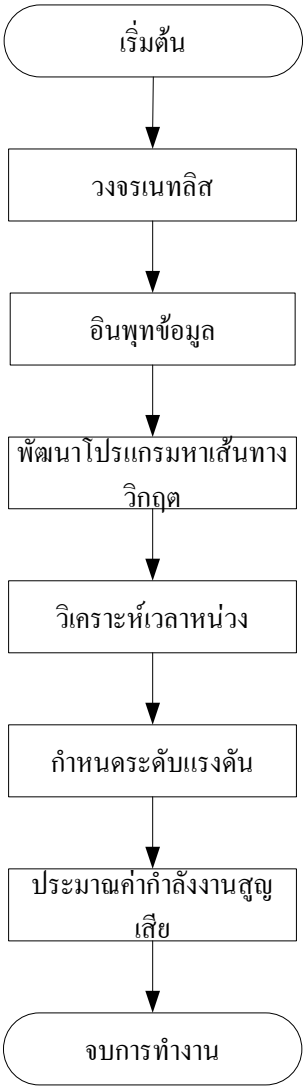



**ภาพที่ 40** นิยามค่าเวลาหน่วง

นั่นคือ ในขั้นตอนแรกงานวิจัยนี้จำเป็นต้องหาค่าส่วนประกอบค่าเวลาหน่วงดังกล่าวมาข้างต้นนี้ซึ่งเป็นคุณสมบัติของเซลล์มาตรฐานแต่ละตัวโดยมีผลต่อการเปลี่ยนสถานะเวลาไต่ขึ้นและเวลาไต่ลงซึ่งมีความสัมพันธ์ต่อขาอินพุทของเซลล์มาตรฐานทุกตัว สำหรับการเกิดค่าเวลาหน่วงนั้นเกิดขึ้นจากสัญญาณผ่านตัวเก็บประจุแฝงและค่าความต้านทานแฝงของทรานซิสตอร์ ในการวิเคราะห์ประสิทธิภาพเราจำเป็นต้องประมาณค่าของตัวเก็บประจุแฝงและค่าความต้านทานแฝงของทรานซิสตอร์เพื่อนำมาหาค่าเวลาหน่วงของลอจิกเกทต่อไป

## 5. ขั้นตอนการออกแบบในการเลือกเส้นทาง

งานวิจัยนี้ ใช้เนทลิสวงจรเชิงลำดับมาตรฐาน สำหรับในการทดลองเพื่อทดสอบการลดกำลังไฟฟ้าของวงจรรวม โดยในขั้นตอนแรกเริ่มด้วยการสร้างเกทพื้นฐานในการเก็บพารามิเตอร์ต่างๆ ตามหัวข้อข้างต้น ต่อจากนั้นทำการวิเคราะห์หาเส้นทาง (Path) จากโครงข่ายโมเดลลอจิกเกทของเนทลิสเชิงลำดับมาตรฐาน ในการวิเคราะห์หาเส้นทางและการวิเคราะห์ค่ากำลังงานสูญเสีย โดยเริ่มต้นจากทางด้านอินพุทปฐมภูมิไปถึงเอาท์พุทของวงจร ซึ่งมีขั้นตอนดังภาพที่ 41



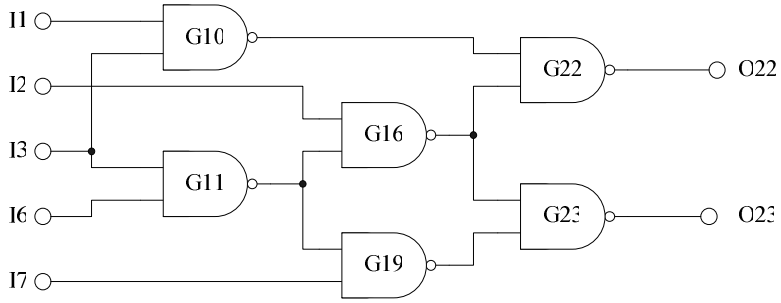

**ภาพที่ 41** ขั้นตอนการหาเส้นทางจากกราฟ

จากภาพที่ 41 แสดงขั้นตอนการวิเคราะห์หาเส้นทางและการวิเคราะห์ค่ากำลังงานสูญเสีย โดยวิเคราะห์หาค่าเวลาหน่วงที่เกิดขึ้นในแต่ละเส้นทาง และจากเส้นทางที่ได้จะทำการกำหนดค่าแรงดันไฟเลี้ยงให้แก่เกทแต่ละตัว ซึ่งในการกำหนดค่าแรงดันนั้นจะต้องคำนึงถึงค่าเวลาหน่วงของเส้นทางนั้นจะต้องมีค่าไม่เกินค่าเวลาหน่วงที่เกิดจากการป้อนแรงดันไฟเลี้ยงสูงสุด นั่นคือประสิทธิภาพที่วงจรสามารถทำงานได้ โดยการทดสอบจะใช้วงจรเนทลิสเชิงลำดับมาตรฐาน ดังตัวอย่างต่อไปนี้

ตัวอย่างเนทลิสลำดับเชิงมาตรฐาน

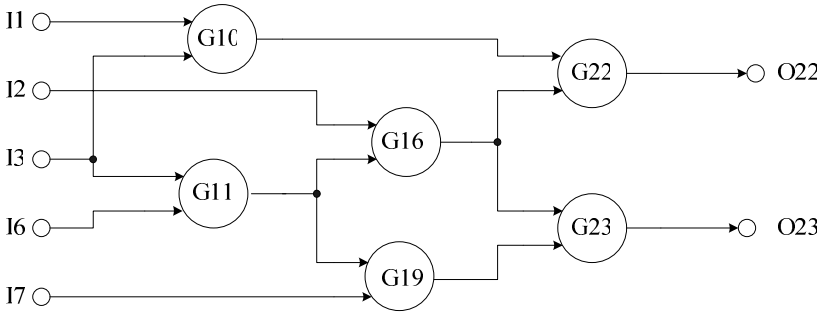
```
# c17
# 5 inputs
# 2 outputs
# 0 inverter
# 6 gates (6 NANDs)

NPUT(1)
INPUT(2)
INPUT(3)
INPUT(6)
INPUT(7)
OUTPUT(22)
OUTPUT(23)

10 = NAND(1, 3)
11 = NAND(3, 6)
16 = NAND(2, 11)
19 = NAND(11, 7)
22 = NAND(10, 16)
23 = NAND(16, 19)
```

ตัวอย่างเนทลิสลำดับเชิงมาตรฐานซึ่งภายในวงจรประกอบด้วยแนนด์เกทจำนวน 6 ตัว อินพุทจำนวน 5 อินพุท และเอาท์พุทจำนวน 2 เอาท์พุท จากตัวอย่างเนทลิส เมื่อนำมาสร้างเป็นโครงข่ายวงจรจะได้ดังตัวอย่างดังภาพที่ 42




**ภาพที่ 42** ตัวอย่างวงจรเน็ทเวิกร์ที่สร้างจากเนทลิส

ขั้นตอนถัดมาจะเป็นการพัฒนาโปรแกรมภาษาซีในการหาเส้นทาง โดยแปลงวงจรเน็ทเวิกร์ตามภาพที่ 42 เป็นวงจรกราฟโมเดลซึ่งประกอบไปด้วยจำนวนของโนดที่แทนที่เกทของแต่ละเกทในบางครั้งจะถูกเรียกว่าเวอร์ทิกซ์ (Vertices) และจำนวนของเส้นเชื่อมต่อระหว่างโนดแต่ละโนดเข้าด้วยกันเป็นเส้นทางเดินเรียกว่าเอดจ์ (Edge) ดังแสดงตัวอย่างตามภาพที่ 43




**ภาพที่ 43** ตัวอย่างการแปลงวงจรโครงข่ายเป็นวงจรกราฟ

จากวงจรกราฟตามภาพที่ 43 โปรแกรมที่ถูกพัฒนาขึ้นจะถูกกำหนดให้วิเคราะห์หาเส้นทางจากทางด้านอินพุท (I1) ไปสิ้นสุดที่ด้านเอาท์พุท (O22) ของวงจร เมื่อได้เส้นทางของวงจรแล้วต่อไปจะทำการคำนวณหาค่าเวลาหน่วงจากเส้นทางในกราฟ โดยจะหาค่าเวลาของเส้นทางที่มีค่าเวลาหน่วงมากที่สุดของวงจรในที่นี้อาจเรียกว่าเส้นทางวิกฤต (Critical path) สำหรับในการหาค่าเวลาหน่วงที่มีค่ามากที่สุดนั้นจะกำหนดค่าแรงดันไฟเลี้ยงของวงจรให้มีค่าสูงสุด (ที่แรงดัน 5.0 โวลท์) เมื่อได้ค่าเวลาหน่วงที่มีค่ามากที่สุดของวงจร จะนำไปใช้ในการเปรียบเทียบกับเส้นทางอื่นๆ เพื่อใช้ในการเปรียบเทียบและกำหนดค่าแรงดันไฟเลี้ยงให้กับวงจรเกทในส่วนที่ไม่เป็นเส้นทาง

วิกฤต (Non-critical path) ซึ่งค่าแรงดันไฟเลี้ยงที่กำหนด เมื่อคำนวณค่าเวลาหน่วงจากการเปลี่ยนระดับแรงดันจะต้องไม่เกินค่าเวลาหน่วงของเส้นทางวิกฤตจากระดับแรงดันไฟเลี้ยงปกติ (แรงดัน 5.0 โวลท์) จากการกำหนดระดับแรงดันไฟเลี้ยงให้แก่เส้นทางที่ไม่ใช้เส้นทางวิกฤตเพื่อคำนวณหาค่าเวลาหน่วงในแต่ละเส้นทางตามที่ต้องการแล้ว ต่อไปจะนำค่าแรงดันไฟเลี้ยงนั้นไปคำนวณหากำลังงานสูญเสียที่เกิดขึ้นในวงจรตามสมการที่ (6) เพื่อทำการหาค่ากำลังงานต่อไป

$$P_D = \alpha C_L V^2{}_{DD} f_{clk}$$

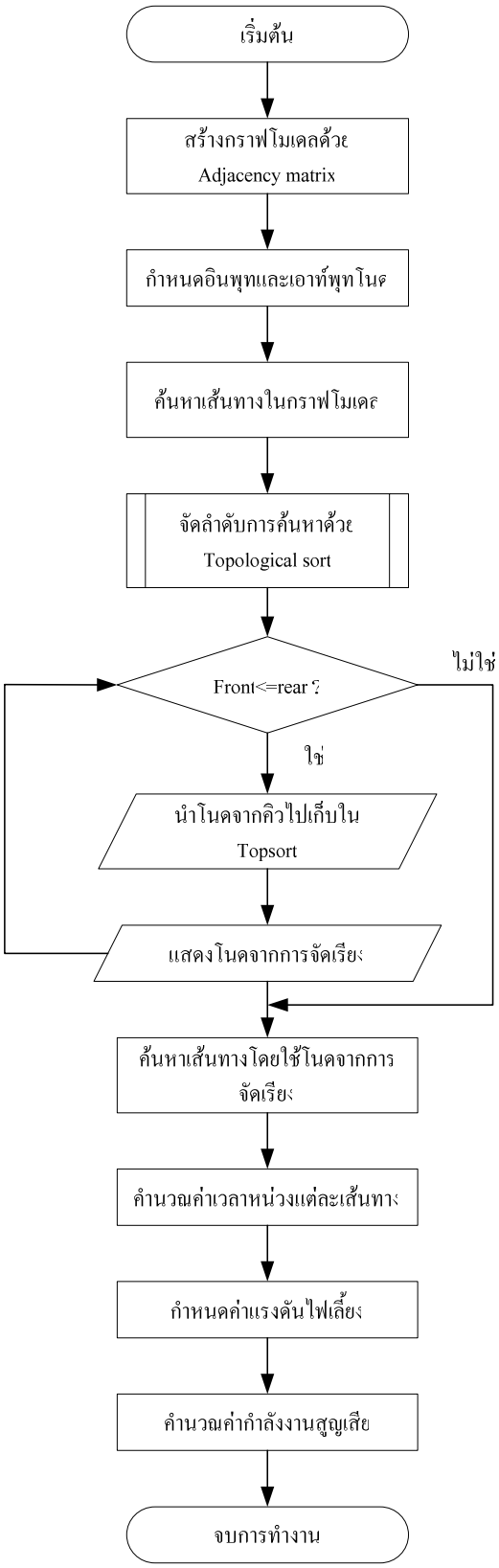
ในการออกแบบขั้นตอนสำหรับการพัฒนาโปรแกรมในการหาเส้นทางภายในกราฟโมเดล มีขั้นตอนการพัฒนาดังผังงานตามภาพที่ 45

จากผังงานตามภาพที่ 45 แสดงลำดับขั้นการทำงานของโปรแแกรมที่พัฒนาเพื่อหาเส้นทางจากทางด้านอินพุทในแต่ละอินพุทไปยังเอาท์พุทของวงจร ซึ่งวงจรที่นำมาทดสอบเป็นวงจรเชิงลำดับมาตรฐาน โดยแสดงเป็นเนทลิสของวงจรตามตัวอย่างข้างต้น

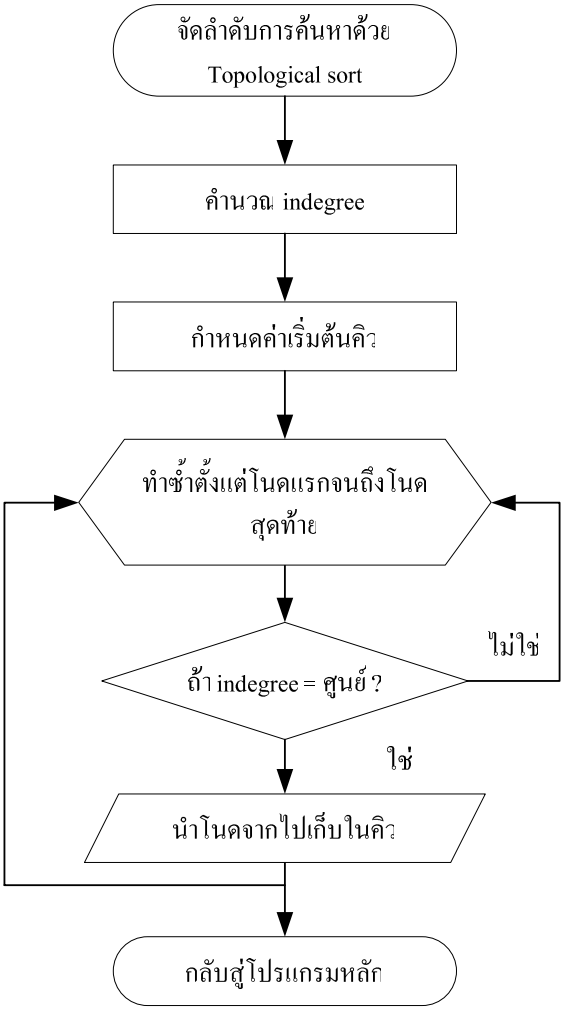
ขั้นตอนต่อมา จากเนทลิสของวงจร นำไปสร้างกราฟโดยใช้ตารางการเชื่อมต่อของแต่ละโนดโดยใช้การแสดงกราฟด้วยเมตริก (Adjacency matrix) ในการป้อนข้อมูลจากหัวข้อดังกล่าวข้างต้น

เมื่ออินพุทข้อมูลเก็บลงในหน่วยความจำของกราฟโมเดลแบบเมตริกแล้ว ในการเดินทางในกราฟโมเดลนั้น จะใช้อัลกอริทึมของกราฟแสดงทิศทาง (Directed acyclic graph: DAG) ในการเดินทางไปในกราฟโมเดล ซึ่งกราฟแสดงทิศทางเป็นกราฟที่มีทิศทางการเคลื่อนที่ไปในทิศทางเดียวเท่านั้น ซึ่งไม่มีเส้นทางเชื่อมกันเป็นวงกลม

กราฟแสดงทิศทางจะมีการค้นหาข้อมูลแบบ Topological sort เป็นการค้นหาโดยเรียงลำดับของโนดจากซ้ายไปขวา โดยตรวจสอบอินดีกรีของแต่ละโนดในกราฟโมเดล หากอินดีกรีของโนดมีค่าเป็นศูนย์จะถูกจัดให้อยู่ในต่ำแหน่งแรกของการจัดลำดับโนด อัลกอริทึมของ Topological sort มีดังภาพที่ 45




**ภาพที่ 44** ขั้นตอนการทำงานของโปรแกรมที่พัฒนาในการหาเส้นทาง

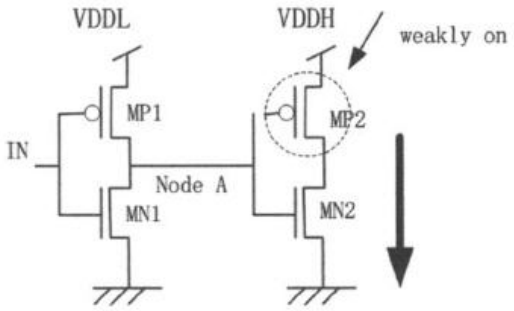



**ภาพที่ 45** ขั้นตอนการทำงานของการจัดเรียงลำดับโนด

เมื่อทำการค้นหาและจัดเรียงโนดแล้วจะทำการค้นหาเส้นทางในกราฟโมเดล โดยเรียงจากอินพุทปฐมภูมิไปยังเอาท์พุทปฐมภูมิ เพื่อคำนวณหาค่าเวลาหน่วงของแต่ละเส้นทาง เส้นทางที่มีค่าเวลาหน่วงมากที่สุดจะให้เป็นเส้นทางวิกฤต ส่วนเส้นทางที่มีค่าเวลาหน่วงน้อยกว่าเส้นทางวิกฤตจะกำหนดให้เป็นเส้นทางที่ไม่เป็นเส้นทางวิกฤต ดังนั้นเส้นทางวิกฤตจำเป็นต้องป้อนแรงดันไฟเลี้ยงที่ระดับสูงสุด ส่วนเส้นทางที่ไม่เป็นเส้นทางวิกฤตจะถูกกำหนดแรงดันไฟเลี้ยงที่ระดับ 4.0 โวลท์และ 3.0 โวลท์ตามลำดับ แต่ค่าเวลาหน่วงที่คำนวณได้ในเส้นทางนั้นจะต้องมีค่าไม่เกินค่าเวลาหน่วงวิกฤต ต่อจากนั้นจะคำนวณหาค่ากำลังงานสูญเสียของเกทแต่ละตัว และนำค่ากำลังงานสูญเสียทั้งหมดรวมกันเป็นค่ากำลังสูญเสียของวงจร

**6. วงจรปรับระดับแรงดันไฟ (Level converter)**

ในการทำงานของวงจรดิจิตอล ในกรณีที่วงจรมีการใช้งานแหล่งจ่ายแรงดันไฟเลี้ยงที่แตกต่างกันภายในวงจรเดียวกัน หรือที่เรียกว่าการใช้งานแหล่งจ่ายไฟเลี้ยงสองค่า หรือมากกว่าในการป้อนแรงดันให้กับลอจิกเกทแต่ละตัวในวงจร ทำให้ในวงจรมีระดับของสัญญาณที่แตกต่างกัน ซึ่งในบางเกทที่ถูกป้อนแรงดันในระดับต่ำ ($V_{DDL}$) อาจจะต้องขับลอจิกเกทที่ถูกป้อนด้วยแรงดันระดับสูง ($V_{DDH}$) โดยตรงดังแสดงตามภาพที่ 46

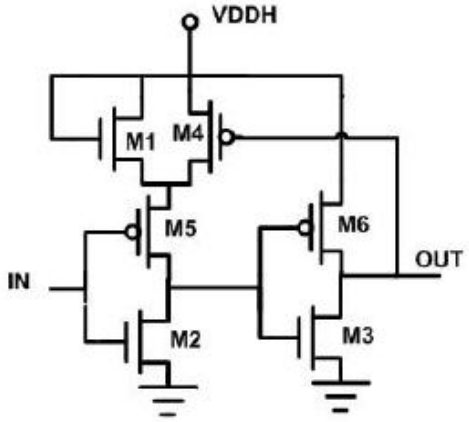



**ภาพที่ 46** การต่อลอจิกเกทจากแรงดันระดับต่ำเพื่อขับลอจิกเกทที่ป้อนด้วยแรงดันระดับสูง

**ที่มา**: (Meng *et al.*, 2005)

ตามภาพที่ 46 เป็นการต่อลอจิกเกทที่ป้อนแรงดันระดับต่ำเพื่อขับลอจิกเกทที่ป้อนเข้าสู่อินพุทของลอจิกเกททำงานด้วยแรงดันระดับสูงโดยตรง ซึ่งจะพบว่าที่ทรานซิสเตอร์ MP2 เป็นทรานซิสเตอร์พีมอส นั่นคือทรานซิสเตอร์จะทำงานได้ง่ายยิ่งขึ้น ดังนั้นจะทำให้เกิดกระแสรั่วไหลมากกว่าการทำงานที่แรงดันที่เท่ากัน ดังนั้นในการป้องกันไม่ให้เกิดกำลังงานสูญเสียอันเนื่องจากกระแสรั่วไหลเพิ่มขึ้น จึงมีการออกแบบวงจรปรับระดับแรงดันระหว่างลอจิกที่มีการทำงานที่ระดับแรงดันไฟที่แตกต่างกัน

Meng *et al.* (2005) ได้ทดสอบวงจรปรับแรงดัน 2 โครงสร้างคือ CCLC และ SSLC ด้วยโปรแกรม HSPICE จำลองการทำงานทั้งสองวงจร เพื่อใช้ในการทดสอบวงจรบีบอัดรูป (JPEG2000) พบว่าวงจรปรับระดับแรงดัน SSLC มีค่าเวลาหน่วงและกำลังงานสูญเสียน้อยกว่า วงจรปรับระดับแรงดัน CCLC ซึ่งวงจรปรับระดับแรงดัน SSLC มีวงจรตามภาพที่ 47




**ภาพที่ 47** วงจรปรับระดับแรงดัน SSLC

ดังนั้นในงานวิจัยนี้จึงใช้วงจรปรับระดับแรงดัน SSLC ในการปรับระดับที่มีการป้อนแรงดันในระดับที่แตกต่างกันในวงจร ซึ่งในการออกแบบวงจรปรับระดับแรงดันด้วยโปรแกรม L-edit และใช้โปรแกรมแทรนเนอร์ในการจำลองการทำงานเพื่อหาค่าเวลาหน่วงและพารามิเตอร์ของวงจร

# ผลและวิจารณ์

## ผล

จากการสร้างลอจิกเกทพื้นฐานทั้งหมดได้ถูกออกแบบและสร้างเลย์เอาท์ (Layout) โดยใช้โปรแกรม L-edit แล้วแปลงเป็น SPICE Netlist ที่แสดงรายละเอียดของทรานซิสเตอร์และโนดการเชื่อมต่อกันของทรานซิสเตอร์แต่ละตัว รวมถึงค่าตัวเก็บประจุแฝงที่เกิดขึ้นจากการเลย์เอาท์เนื่องจากการนำชั้นสารมาประกอบเข้าด้วยกัน ในการทดสอบเซลล์พื้นฐานแต่ละตัวทำการจำลองการทำงานโดย ใช้แบบจำลอง MOS ของ MOSIS ซึ่งใช้เทคโนโลยี 0.5um ของบริษัท HP โดยใช้ผลการทดสอบพารามิเตอร์ของ MOSIS เป็น Spice Model Level 3 การทำการทดสอบเซลล์พื้นฐานแต่ละตัวโดยใช้โปรแกรม Tanner Spice ในการทดสอบ ต่อไปจะกล่าวถึงผลของการทดสอบการทำงานของเซลล์พื้นฐานชนิดต่างๆ ที่ทำการออกแบบ

### 1. ผลการทดสอบลอจิกเกทพื้นฐาน

1.1 อัตราส่วนช่องทางเดินกระแสของทรานซิสเตอร์

ในส่วนนี้จะกล่าวถึงผลการทดสอบการทำงานของเซลล์มาตรฐานชนิดต่างๆ โดยในขั้นตอนแรกที่ได้คำนวณออกแบบโดยใช้ค่าพารามิเตอร์จากแบบจำลอง MOS ของ MOSIS เพื่อหาช่องทางเดินกระแสของทรานซิสเตอร์ ซึ่งผลการออกแบบช่องทางเดินกระแส ดังตารางที่ 4

**ตารางที่ 4** ช่องทางเดินกระแสของทรานซิสเตอร์ลอจิกเกท

| เกท | จำนวนอินพุท | อัตราส่วน p-MOS(W/L) | อัตราส่วน n-MOS(W/L) | อินเวอร์เตอร์ | อัตราส่วน p-MOS(W/L) | อัตราส่วน n-MOS(W/L) |
|---|---|---|---|---|---|---|
| | | | | INV | 6.3/1.05 | 2.1/1.05 |
| AND | 2 | 2.1/1.05 | 2.1/1.05 | | 6.3/1.05 | 2.1/1.05 |
| AND | 3 | 2.1/1.05 | 4.2/1.05 | | 6.3/1.05 | 2.1/1.05 |
| AND | 4 | 2.1/1.05 | 5.95/1.05 | | 6.3/1.05 | 2.1/1.05 |
| AND | 5 | 1.75/1.05 | 7.525/1.05 | | 9.275/1.05 | 2.1/1.05 |
| AND | 6 | 1.75/1.05 | 10.75/1.05 | | 10.325/1.05 | 2.1/1.05 |
| AND | 7 | 1.75/1.05 | 13.3/1.05 | | 12.25/1.05 | 2.1/1.05 |
| AND | 8 | 1.75/1.05 | 15.925/1.05 | | 14.7/1.05 | 2.1/1.05 |
| NAND | 2 | 2.1/1.05 | 2.625/1.05 | | | |
| NAND | 3 | 2.1/1.05 | 3.85/1.05 | | | |
| NAND | 4 | 2.1/1.05 | 5.95/1.05 | | | |
| OR | 2 | 7.525/0.7 | 1.05/0.7 | | 4.2/0.7 | 3.85/0.7 |
| OR | 3 | 9.45/0.7 | 1.05/0.7 | | 1.75/0.7 | 7.875/0.7 |
| OR | 4 | 14/0.7 | 1.05/0.7 | | 1.4/0.7 | 11.025/0.7 |
| OR | 5 | 16.1/0.7 | 1.05/0.7 | | 1.05/0.7 | 13.475/0.7 |
| NOR | 2 | 9.8/0.7 | 1.05/0.7 | | | |
| NOR | 3 | 15.4/0.7 | 1.05/0.875 | | | |
| NOR | 4 | 15.4/0.7 | 1.05/1.225 | | | |
| NOR | 5 | 15.4/0.7 | 1.05/1.75 | | | |
| NOR | 6 | 15.4/0.7 | 1.05/2.45 | | | |
| NOR | 7 | 15.4/0.7 | 1.05/3.15 | | | |
| NOR | 8 | 16.45/0.7 | 1.05/4.2 | | | |

ค่าตามตารางที่ 4 เป็นค่าช่องทางเดินกระแสของทรานซิสเตอร์ที่ได้จากการออกแบบ จากนั้นจะทำการทดลองจำลองการทำงานของลอจิกเกทตามที่ออกแบบไว้ สำหรับลอจิกเกทบางตัวจะต้องต่ออินเวอร์เตอร์ที่เอาท์พุทของเกทในการกลับค่าสัญญาณเอาท์พุทเพื่อให้ได้ลอจิกที่ถูกต้องในการทดลองนั้น การจำลองการทำงานจะป้อนอินพุทเพื่อพิจารณาสัญญาณเอาท์พุทเพื่อให้ได้รูปสัญญาณเอาท์พุทที่มีรูปสัญญาณสมมาตรกันมากที่สุด

1.2 ผลการประมาณค่าความต้านทานแฝงของทรานซิสเตอร์

ในการวิเคราะห์ประมาณค่าความต้านทานแฝงของทรานซิสเตอร์ในแต่ละลอจิกเกท ในงานวิจัยนี้ใช้การคำนวณจากสมการที่ 60 ซึ่งใช้แรงดันไฟเลี้ยง 3 ค่าด้วยกันสำหรับประมาณค่าความต้านทานแฝง ซึ่งแรงดันไฟเลี้ยงที่ใช้ได้แก่ 3.3, 4.0 และ 5.0 โวลท์ ส่วนแรงดันเริ่มดันของทรานซิสเตอร์ทั้ง 2 คือ 0.68 สำหรับทรานซิสเตอร์เอ็นมอส และ -0.90 โวลท์ สำหรับทรานซิสเตอร์พีมอส เมื่อแทนค่าและคำนวณตามสมการที่ 57-62 เพื่อประมาณค่าความต้านทานแฝง ดังแสดงตามตารางที่ 5

**ตารางที่ 5** ค่าความต้านทานแฝงของทรานซิสเตอร์ลอจิกเกทต่าง

| เกท | อินพุท | ค่าแรงดันที่ป้อนให้ทรานซิสเตอร์พีมอส | | | ค่าแรงดันที่ป้อนให้ทรานซิสเตอร์เอ็นมอส | | |
|---|---|---|---|---|---|---|---|
| | | 3.3 V | 4.0 V | 5.0 V | 3.3 V | 4.0 V | 5.0 V |
| INV | 1 | 3034.06 | 2230.05 | 1612.20 | 1935.2 | 1443.3 | 1079.6 |
| AND | 2 | 3034.06 | 2230.05 | 1612.20 | 1885.4 | 1443.3 | 1079.6 |
| AND | 3 | 3034.06 | 2230.05 | 1612.20 | 1885.4 | 1443.3 | 1079.6 |
| AND | 4 | 3034.06 | 2230.05 | 1612.20 | 1885.4 | 1443.3 | 1079.6 |
| AND | 5 | 2060.87 | 1514.75 | 1095.08 | 1885.4 | 1443.3 | 1079.6 |
| AND | 6 | 1851.29 | 1360.71 | 983.72 | 1885.4 | 1443.3 | 1079.6 |
| AND | 7 | 1560.37 | 1146.88 | 829.13 | 1885.4 | 1443.3 | 1079.6 |
| AND | 8 | 1300.31 | 955.73 | 690.94 | 1885.4 | 1443.3 | 1079.6 |
| NAND | 2 | 9102.17 | 6690.1 | 4836.6 | 2774.4 | 2309.2 | 1727.3 |
| NAND | 3 | 9102.17 | 6690.1 | 4836.6 | 2837.4 | 2361.7 | 1766.5 |
| NAND | 4 | 9102.17 | 6690.1 | 4836.6 | 2448.0 | 2037.5 | 1524.1 |
| OR | 2 | 3034.1 | 2230.0 | 1612.2 | 685.6 | 524.82 | 392.57 |
| OR | 3 | 7281.7 | 5352.1 | 3869.3 | 335.2 | 256.58 | 191.92 |
| OR | 4 | 9102.2 | 6690.1 | 4836.6 | 239.4 | 183.27 | 137.09 |
| OR | 5 | 12136.2 | 8920.2 | 6448.8 | 195.9 | 149.95 | 112.16 |

**ตารางที่ 5** (ต่อ)

| เกท | อินพุท | ค่าแรงดันที่ป้อนให้ทรานซิสเตอร์พีมอส | | | ค่าแรงดันที่ป้อนให้ทรานซิสเตอร์เอ็นมอส | | |
|---|---|---|---|---|---|---|---|
| | | **3.3 V** | **4.0 V** | **5.0 V** | **3.3 V** | **4.0 V** | **5.0 V** |
| NOR | 2 | 2600.6 | 3822.9 | 1381.9 | 2513.8 | 1924.3 | 1439.4 |
| NOR | 3 | 2482.4 | 1824.6 | 1319.1 | 3142.3 | 2405.4 | 1799.3 |
| NOR | 4 | 3309.9 | 2432.8 | 1758.8 | 4399.2 | 3367.6 | 2519.0 |
| NOR | 5 | 4137.3 | 3041.0 | 2198.5 | 6284.6 | 4810.8 | 3598.5 |
| NOR | 6 | 4964.8 | 3649.2 | 2638.2 | 8798.4 | 6735.2 | 5037.9 |
| NOR | 7 | 5792.3 | 4257.4 | 3077.8 | 11312.2 | 8659.5 | 6477.3 |
| NOR | 8 | 6197.2 | 4555.0 | 3293.0 | 15083.0 | 11546.0 | 8636.5 |

**หมายเหตุ** ค่าความต้านทานแฝงในตารางที่ 5 มีหน่วยเป็นโอห์ม

1.3 ผลการประมาณค่าความจุแฝงของทรานซิสเตอร์

ค่าความจุแฝงของทรานซิสเตอร์ในวงจรลอจิกที่ได้จากการเลย์เอาท์ เมื่อทำการจำลองการทำงานด้วยโปรแกรมจะวิเคราะห์พารามิเตอร์ของทรานซิสเตอร์ ซึ่งจะรวมไปถึงค่าความจุแฝงของทรานซิเตอรแต่ละตัวของลอจิกเกทนั้น นั่นคือในการประมาณค่าความจุแฝงอินพุทของเกทสามารถหาได้ตามสมการที่ 66 ซึ่งงานวิจัยนี้จะใช้ค่าที่ได้จากการจำลองการทำงานจากโปรแกรมที่แรงดันไฟเลี้ยง 5.0 โวลท์ ดังนั้นเมื่อคำนวณค่าความจุอินพุทจะได้ค่าตามตารางที่ 6

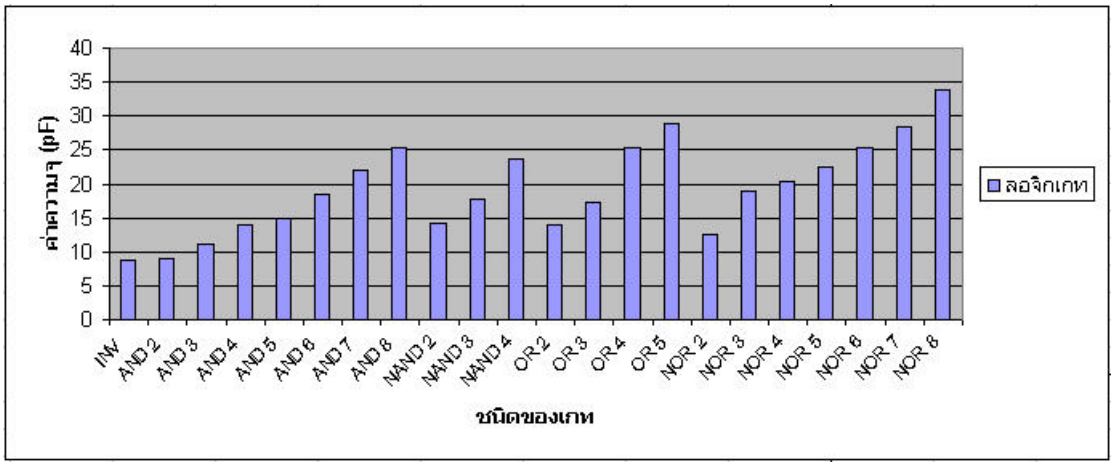
**ตารางที่ 6** ตารางแสดงการประมาณค่าความจุอินพุทของลอจิกเกทต่างๆ

| เกท | จำนวนอินพุท | ค่าความจุแฝงอินพุทของลอจิกเกทต่างๆ(fF) | | | | | | | | Worst case |
|---|---|---|---|---|---|---|---|---|---|---|
| | | **A** | **B** | **C** | **D** | **E** | **F** | **G** | **H** | |
| INV | 1 | 8.72 | | | | | | | | 8.72 |
| AND | 2 | 9.00 | 9.00 | | | | | | | 9.00 |
| AND | 3 | 11.20 | 11.18 | 11.18 | | | | | | 11.18 |
| AND | 4 | 13.69 | 13.76 | 13.85 | 14.00 | | | | | 14.00 |
| AND | 5 | 15.50 | 14.57 | 14.58 | 14.70 | 14.86 | | | | 15.50 |

**ตารางที่ 6** (ต่อ)

| เกท | จำนวนอินพุท | ค่าความจุแฝงอินพุทของลอจิกเกทต่างๆ(fF) | | | | | | | | Worst case |
|---|---|---|---|---|---|---|---|---|---|---|
| | | A | B | C | D | E | F | G | H | |
| AND | 6 | 17.91 | 16.34 | 16.34 | 16.91 | 17.81 | 18.50 | | | 18.50 |
| AND | 7 | 21.16 | 21.25 | 21.32 | 21.39 | 21.50 | 21.55 | 21.98 | | 21.98 |
| AND | 8 | 24.20 | 24.31 | 24.31 | 24.46 | 24.53 | 24.52 | 24.89 | 25.26 | 25.26 |
| NAND | 2 | 14.22 | 14.22 | | | | | | | 14.22 |
| NAND | 3 | 17.73 | 17.73 | 17.73 | | | | | | 17.73 |
| NAND | 4 | 23.73 | 23.73 | 23.73 | 23.73 | | | | | 23.73 |
| OR | 2 | 14.06 | 14.06 | | | | | | | 14.06 |
| OR | 3 | 17.38 | 17.38 | 17.38 | | | | | | 17.38 |
| OR | 4 | 25.24 | 25.24 | 25.24 | 25.24 | | | | | 25.24 |
| OR | 5 | 28.89 | 28.89 | 28.89 | 28.89 | 28.89 | | | | 28.89 |
| NOR | 2 | 11.63 | 12.55 | | | | | | | 12.55 |
| NOR | 3 | 17.86 | 17.86 | 18.93 | | | | | | 18.93 |
| NOR | 4 | 19.31 | 19.31 | 19.31 | 20.38 | | | | | 20.38 |
| NOR | 5 | 21.46 | 21.46 | 21.46 | 21.46 | 22.55 | | | | 22.55 |
| NOR | 6 | 24.34 | 22.91 | 24.34 | 24.34 | 24.34 | 25.42 | | | 25.42 |
| NOR | 7 | 27.22 | 27.22 | 27.22 | 27.22 | 27.22 | 27.22 | 28.31 | | 28.31 |
| NOR | 8 | 32.48 | 32.48 | 32.48 | 32.48 | 32.48 | 32.48 | 32.48 | 33.74 | 33.74 |

จากตารางที่ 6 เป็นตารางค่าความจุแฝงทางด้านอินพุทเกท ซึ่งจำนวนขาอินพุทเกทของแต่ละลอจิกมีจำนวนอินพุทตั้งแต่ 2 ถึง 8 อินพุท ซึ่งจากตารางจะพบว่าค่าความจุแฝงจะมีค่าเพิ่มมากขึ้นเมื่อมีจำนวนอินพุทมาก จากค่าตามตารางจะนำค่าความจุแฝงของอินพุทเกทที่มีค่ามากที่สุดซึ่งเราให้เป็นกรณีที่แย่ที่สุด (worst case) มาวาดกราฟ ดังแสดงตามภาพที่ 48 จะพบว่าลอจิกที่มีจำนวนอินพุทน้อยจะมีค่าความจุแฝงน้อย ซึ่งจากกราฟที่แสดงค่าความจุแฝงจะมีค่าเพิ่มมากขึ้นเป็นลักษณะเชิงเส้นตามจำนวนอินพุทที่เพิ่มขึ้น



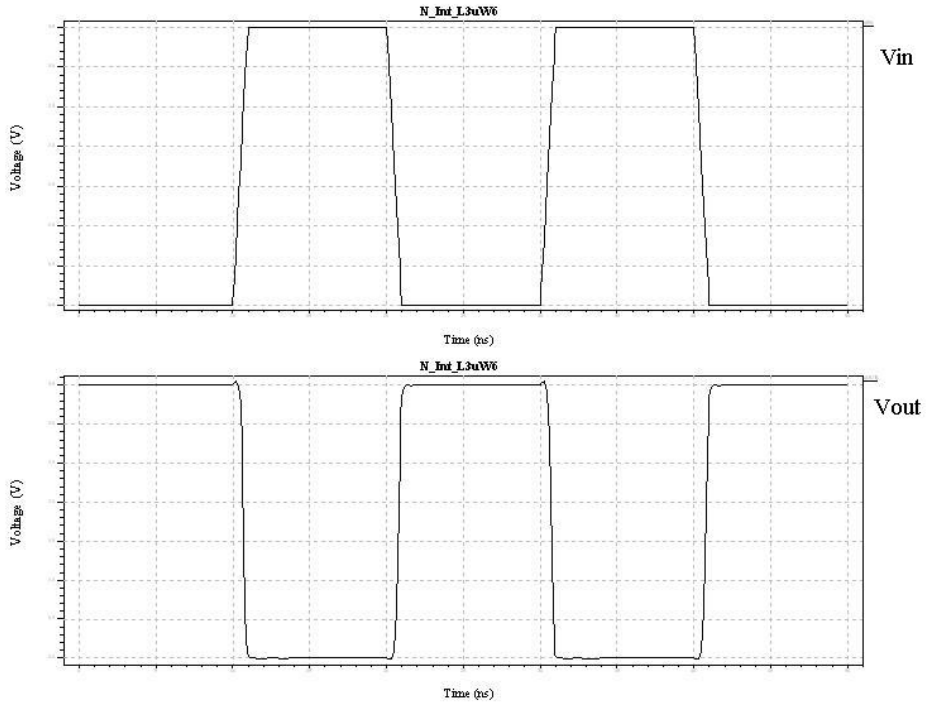

**ภาพที่ 48** ค่าความจุแฝงทางด้านอินพุทของลอจิกเกทต่างๆ

1.4 ทดสอบการทำงานของวงจรลอจิกเกทต่างๆ

เมื่อสร้างเนทลิสที่ได้จากการสร้างวงจรลอจิกเกทด้วย L-edit จากนั้นใช้โปรแกรมเทรนเนอร์ในการจำลองการทำงานภายใต้การทำงานที่แรงดันต่างๆ เพื่อศึกษาผลการทำงานของวงจร เพื่อตรวจสอบสัญญาณเอาท์พุทที่ถูกต้องตามคุณสมบัติของเกทนั้นๆ ตามการป้อนค่าสัญญาณอินพุทที่ป้อนเข้าไปทางด้านอินพุทของเกท เพื่อเก็บรวบรวมข้อมูลพารามิเตอร์ต่างๆ อาทิเช่น ความจุแฝง การใช้กำลังงานและเวลาหน่วงที่เกิดขึ้นจากการป้อนสัญญาณอินพุท ในการกำหนดค่าแรงดันจะใช้ระดับแรงดันไฟเลี้ยง 3 ระดับคือ 3.3, 4.0 และ 5.0 โวลท์ ตามลำดับ ซึ่งผลการทดสอบดังเสนอตามหัวข้อต่อไปนี้

1.4.1 ผลการทดสอบอินเวอร์เตอร์เกท

เมื่อจำลองการทำงานของวงจรโดยป้อนสัญญาณอินพุทด้วยลอจิก 0101 เข้าที่อินพุทเกทและทำการวาดรูปสัญญาณเอาท์พุท ดังแสดงดังภาพที่ 49




**ภาพที่ 49** ผลการทดสอบอินเวอร์เตอร์เกท

จากรูปสัญญาณเอาท์พุท ทำการวัดหาค่าอินทรินซิคดีเลย์ของวงจรด้วยการวัดช่วงเวลาไต่ขึ้น เวลาไต่ลง เวลาหน่วงขาขึ้น และเวลาหน่วงขาลง โดยวัดสัญญาณเอาท์พุทเทียบกับสัญญาณอินพุท โดยใช้หลักการวัดตามภาพที่ 40 ดังนั้นผลการวัดดังแสดงตามตารางที่ 7

**ตารางที่ 7** ผลการทดสอบการทำงานของอินเวอร์เตอร์เกทเพื่อหาพารามิเตอร์ของเกท

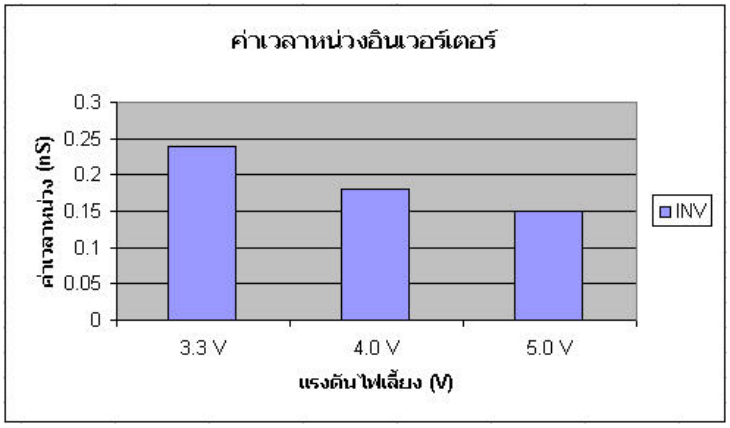
| $V_{DD}$ (V) | Rise time (ns) | Fall time (ns) | $T_{dr}$ (ns) | $T_{df}$ (ns) | Max. Power (W) | Ave. Power (W) |
|---|---|---|---|---|---|---|
| 3.3 | 0.38 | 0.36 | 0.28 | 0.26 | 1.37E-03 | 2.10E-05 |
| 4.0 | 0.37 | 0.34 | 0.25 | 0.20 | 2.26E-03 | 3.55E-05 |
| 5.0 | 0.37 | 0.31 | 0.18 | 0.18 | 4.13E-03 | 7.06E-05 |

จากตารางที่ 7 สามารถหาค่าเวลาหน่วงเฉลี่ยของลอจิกอินเวอร์เตอร์ได้ดังตารางที่ 8 ซึ่งเป็นค่าเวลาหน่วงจากผลเฉลี่ยของเวลาหน่วงขาขึ้นและเวลาหน่วงขาลง

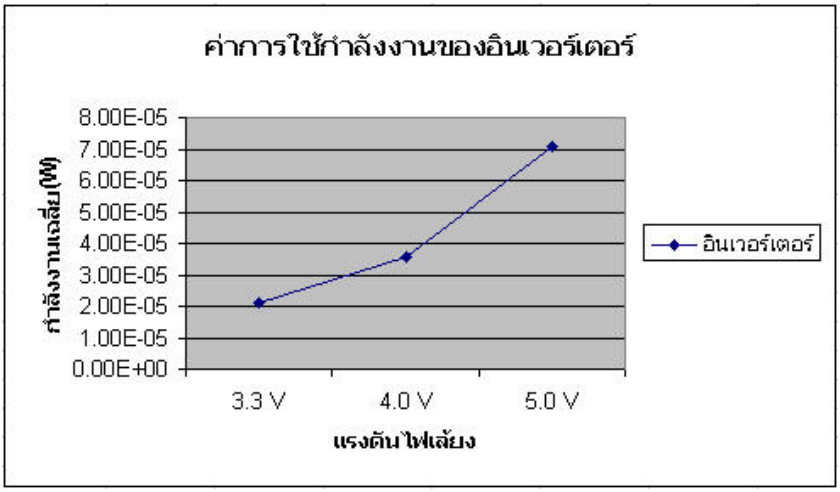
**ตารางที่ 8** ค่าเวลาหน่วงเฉลี่ยของลอจิกอินเวอร์เตอร์

| แรงดันไฟเลี้ยง (V) | ค่าเวลาหน่วงเฉลี่ย (nS) |
|---|---|
| 3.3 | 0.24 |
| 4.0 | 0.18 |
| 5.0 | 0.15 |

ภาพที่ 50 เป็นกราฟแสดงค่าเฉลี่ยเวลาหน่วงที่ได้จากตารางที่ 8 ซึ่งนำมาเฉลี่ยจากค่าเวลาหน่วงขาขึ้นและค่าเวลาหน่วงขาลง พบว่าค่าเวลาหน่วงของเกทจะมีค่าลดลงเมื่อทำงานที่แรงดันสูงสุด โดยมีลักษณะเป็นเชิงเส้น




**ภาพที่ 50** กราฟแสดงค่าเวลาหน่วงของอินเวอร์เตอร์เกท

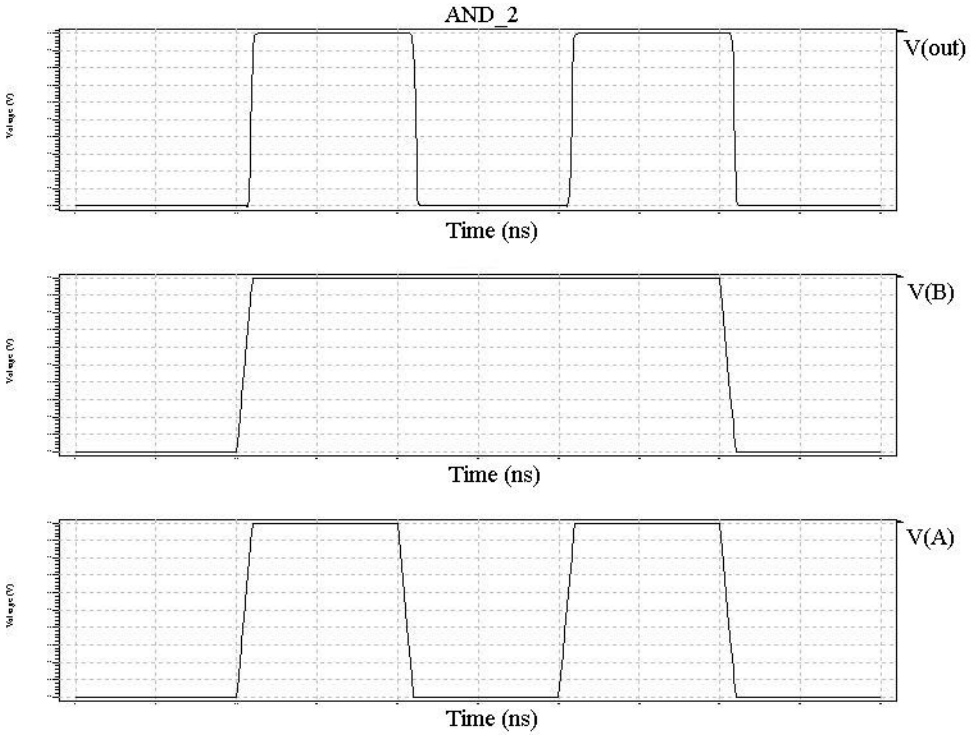



**ภาพที่ 51** กราฟการใช้กำลังงานเฉลี่ยของอินเวอร์เตอร์เกท

เมื่อนำค่ากำลังงานเฉลี่ยของลอจิกอินเวอร์เตอร์มาวาดกราฟตามภาพที่ 51 พบว่ากำลังงานเฉลี่ยที่แรงดัน 3.3 โวลท์จะลดลงประมาณ 70 เปอร์เซ็นต์ของแรงดันสูงสุด และลดลง 49.72 เปอร์เซ็นต์ที่แรงดัน 4.0 โวลท์

1.4.2 ผลการทดสอบแอนด์เกท

การออกแบบเซลล์พื้นฐานแอนด์เกท สร้างจากการนำแนนเกทด์มาต่อด้วยอินเวอร์สเตอร์ โดยค่าอัตราส่วนช่องทางเดินกระแสทรานซิสเตอร์ดังตารางที่ 5 เมื่อทำการทดสอบเกทด้วยสัญญาณอินพุท A ด้วยสัญญาณ 0101 และสัญญาณอินพุท B ด้วยสัญญาณ 0111สัญญาณที่ป้อนมีค่าถี่ 50MHz เพื่อทดสอบหาค่าเวลาหน่วงของช่วงเวลาไต่ขึ้น และเวลาไต่ลง ที่ใกล้เคียงกัน และทำการจำลองการทำงานวัดรูปสัญญาณเอาท์พุท ซึ่งให้ค่าสัญญาณเอาท์พุทเป็น 0101 ดังแสดงดังภาพที่ 48




**ภาพที่ 52** ผลการทำงานของแอนด์เกท 2 อินพุท

**ตารางที่ 9** ผลการทดสอบการทำงานของแอนด์เกทเพื่อหาพารามิเตอร์ของเกท

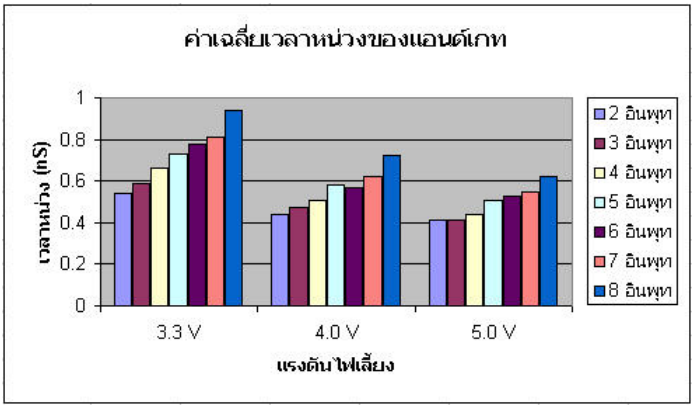
| อิน | เวลาไต่ขึ้น (nS) | | | เวลาไต่ลง(nS) | | | เวลาหน่วงขาขึ้น(nS) | | | เวลาหน่วงขาลง(nS) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| พุท | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.32 | 0.26 | 0.21 | 0.27 | 0.22 | 0.20 | 0.50 | 0.48 | 0.40 | 0.57 | 0.51 | 0.42 |
| 3 | 0.35 | 0.28 | 0.22 | 0.25 | 0.24 | 0.20 | 0.57 | 0.59 | 0.41 | 0.61 | 0.52 | 0.41 |
| 4 | 0.37 | 0.30 | 0.24 | 0.26 | 0.22 | 0.17 | 0.70 | 0.54 | 0.48 | 0.61 | 0.50 | 0.39 |
| 5 | 0.35 | 0.29 | 0.27 | 0.33 | 0.25 | 0.22 | 0.74 | 0.63 | 0.53 | 0.72 | 0.60 | 0.49 |
| 6 | 0.40 | 0.31 | 0.27 | 0.35 | 0.26 | 0.23 | 0.79 | 0.60 | 0.54 | 0.77 | 0.63 | 0.52 |
| 7 | 0.41 | 0.31 | 0.27 | 0.36 | 0.28 | 0.26 | 0.82 | 0.68 | 0.55 | 0.79 | 0.65 | 0.54 |
| 8 | 0.43 | 0.35 | 0.28 | 0.40 | 0.33 | 0.29 | 0.97 | 0.79 | 0.64 | 0.90 | 0.73 | 0.60 |

จากตารางที่ 9 เป็นค่าเวลาหน่วงที่เกิดจากการออกแบบวงจรลอจิกแอนด์เกทที่มีอินพุทตั้งแต่ 2 อินพุทถึง 8 อินพุท เพื่อหาค่าพารามิเตอร์ดังตารางที่ 9 ซึ่งในงานวิจัยนี้จะใช้ค่าเฉลี่ยเวลาหน่วงมาวิเคราะห์ในการหาเวลาหน่วงของเส้นทางในวงจรรวม ซึ่งแสดงดังตารางที่ 10

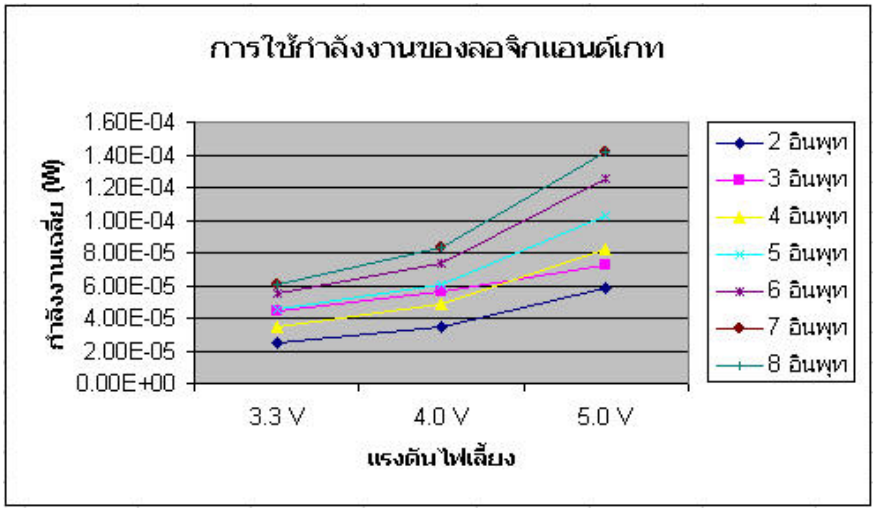
**ตารางที่ 10** ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท

| อินพุท | เวลาหน่วงเฉลี่ย (nS) | | | กำลังงานสูงสุด(W) | | | กำลังงานเฉลี่ย (W) | | |
|---|---|---|---|---|---|---|---|---|---|
| | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.54 | 0.44 | 0.41 | 1.69E-03 | 2.71E-03 | 4.92E-03 | 2.51E-05 | 3.49E-05 | 5.79E-05 |
| 3 | 0.59 | 0.47 | 0.41 | 2.20E-03 | 3.18E-03 | 5.44E-03 | 4.40E-05 | 5.60E-05 | 7.24E-05 |
| 4 | 0.66 | 0.51 | 0.44 | 2.75E-03 | 4.02E-03 | 7.11E-03 | 3.51E-05 | 4.88E-05 | 8.23E-05 |
| 5 | 0.73 | 0.58 | 0.51 | 3.24E-03 | 4.63E-03 | 8.12E-03 | 4.50E-05 | 6.07E-05 | 1.03E-04 |
| 6 | 0.78 | 0.57 | 0.53 | 4.13E-03 | 5.71E-03 | 9.74E-03 | 5.50E-05 | 7.32E-05 | 1.25E-04 |
| 7 | 0.81 | 0.62 | 0.55 | 4.66E-03 | 6.54E-03 | 1.10E-02 | 6.05E-05 | 8.32E-05 | 1.42E-04 |
| 8 | 0.94 | 0.72 | 0.62 | 4.66E-03 | 6.54E-03 | 1.10E-02 | 6.05E-05 | 8.32E-05 | 1.42E-04 |

จากตารางที่ 10 เมื่อนำค่าเวลาหน่วงเฉลี่ยมาวาดกราฟเพื่อหาความสัมพันธ์ระหว่างแรงดันและค่าเวลาหน่วง จากภาพที่ 53 พบว่า เมื่อแรงดันลดลงค่าเวลาหน่วงจะเพิ่มขึ้น และเมื่อพิจารณาถึงจำนวนอินพุทของของเกทพบว่า ค่าเวลาหน่วงจะเพิ่มขึ้นตามการเพิ่มตามจำนวนอินพุทของเกทด้วย




**ภาพที่ 53** กราฟแสดงค่าเวลาหน่วงเฉลี่ยของแอนด์เกท

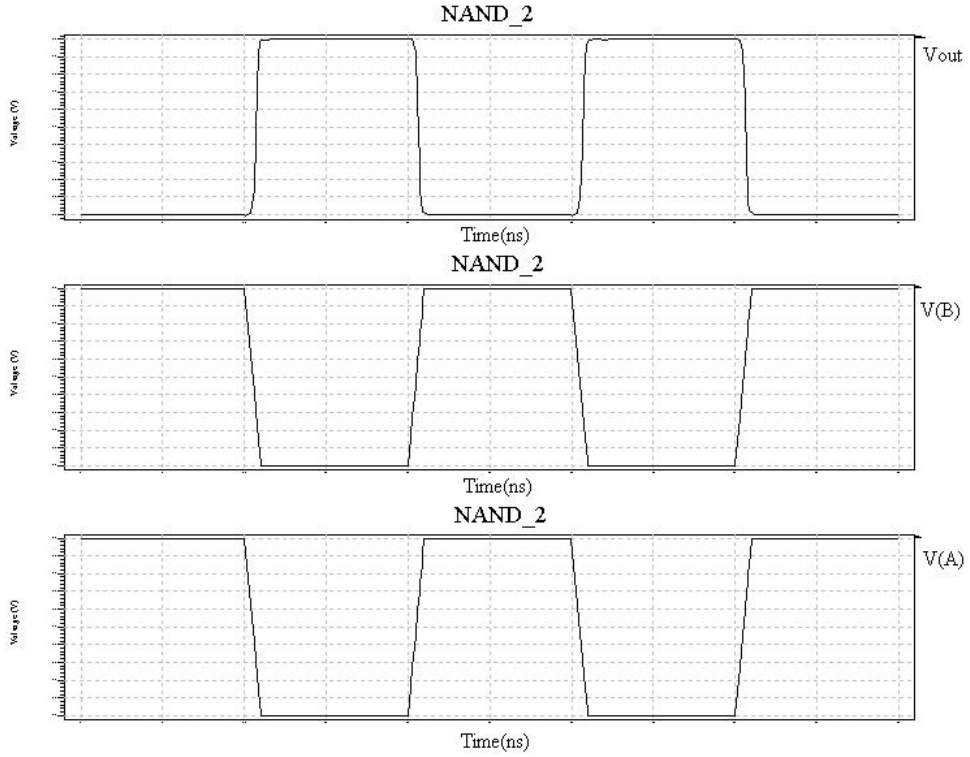



**ภาพที่ 54** กราฟการใช้กำลังงานของลอจิกแอนด์เกท 2-8 อินพุท

เมื่อนำค่ากำลังงานเฉลี่ยของลอจิกแอนด์เกทซึ่งเป็นลอจิกเกทที่มีจำนวนอินพุท 2 – 8 อินพุทมาวาดกราฟตามภาพที่ 54 พบว่ากำลังงานเฉลี่ยที่แรงดัน 3.3 โวลท์จะลดลงประมาณ 57 เปอร์เซ็นต์ของแรงดันสูงสุด และลดลง 39 – 41 เปอร์เซ็นต์ที่แรงดัน 4.0 โวลท์

1.4.3 ผลการทดสอบแนนด์เกท

การออกแบบเซลล์พื้นฐานของแนนด์เกท สร้างโดยค่าอัตราส่วนช่องทางเดินกระแสทรานซิสเตอร์ดังตารางที่ 4 เมื่อทำการทดสอบเกทด้วยสัญญาณอินพุท A ด้วยสัญญาณ 1010 และสัญญาณอินพุท B ด้วยสัญญาณ 1010 สัญญาณที่ป้อนมีค่าถี่ 50MHz เพื่อทดสอบหาค่าเวลาหน่วงของช่วงเวลาไต่ขึ้น และเวลาไต่ลง ที่ใกล้เคียงกัน และจำลองการทำงานวัดรูปสัญญาณเอาท์พุท ซึ่งให้ค่าสัญญาณเอาท์พุทเป็น 0101 ดังแสดงดังภาพที่ 55




**ภาพที่ 55** ผลการทำงานของแนนด์เกท 2 อินพุท

เมื่อจำลองการทำงานของวงจรแนนด์เกทที่ได้ออกแบบ ทำให้ได้ค่าพารามิเตอร์ของกำลังงานและเวลาหน่วงดังตารางที่ 11

**ตารางที่ 11** ผลการทดสอบการทำงานของแนนด์เกทเพื่อหาพารามิเตอร์ของเกท

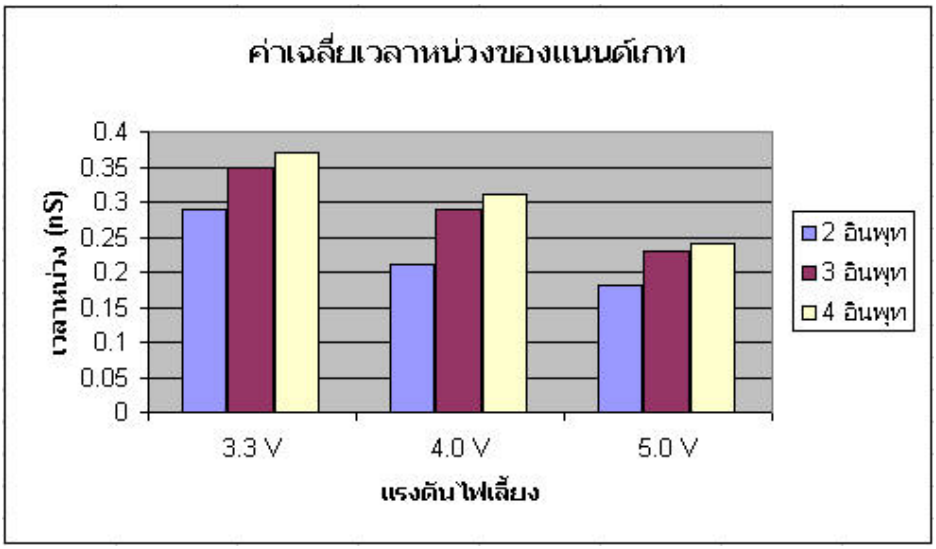
| อิน | เวลาไต่ขึ้น (nS) | | | เวลาไต่ลง(nS) | | | เวลาหน่วงขาขึ้น(nS) | | | เวลาหน่วงขาลง(nS) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| พุท | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.45 | 0.33 | 0.37 | 0.38 | 0.36 | 0.32 | 0.34 | 0.22 | 0.18 | 0.23 | 0.19 | 0.17 |
| 3 | 0.38 | 0.33 | 0.34 | 0.51 | 0.46 | 0.41 | 0.36 | 0.27 | 0.20 | 0.33 | 0.30 | 0.26 |
| 4 | 0.34 | 0.34 | 0.34 | 0.56 | 0.49 | 0.45 | 0.37 | 0.27 | 0.20 | 0.37 | 0.34 | 0.28 |

จากตารางที่ 11 เป็นค่าเวลาหน่วงที่เกิดจากการออกแบบวงจรลอจิกแอนด์เกทที่มีอินพุทตั้งแต่ 2 อินพุทถึง 4 อินพุท ซึ่งในงานวิจัยนี้จะใช้ค่าเฉลี่ยเวลาหน่วงมาวิเคราะห์ในการหาเวลาหน่วงของเส้นทางในวงจรรวม ซึ่งแสดงดังตารางที่ 12

**ตารางที่ 12** ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท

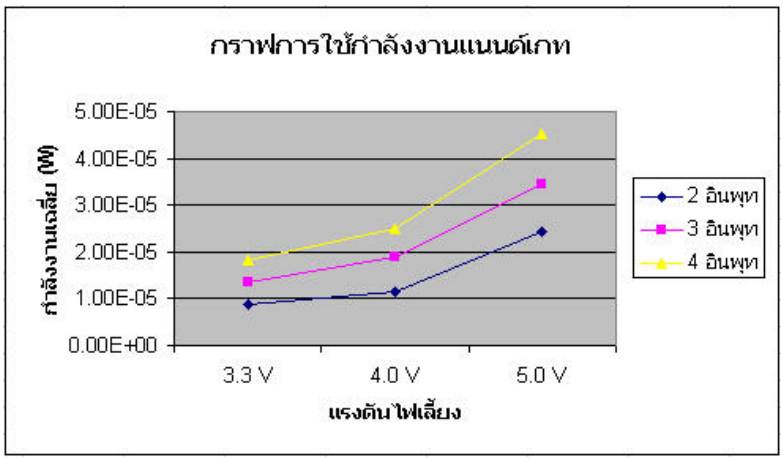
| อินพุท | เวลาหน่วงเฉลี่ย (nS) | | | กำลังงานสูงสุด(W) | | | กำลังงานเฉลี่ย (W) | | |
|---|---|---|---|---|---|---|---|---|---|
| | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.29 | 0.21 | 0.18 | 1.00E-03 | 1.41E-03 | 2.77E-03 | 8.95E-06 | 1.16E-05 | 2.43E-05 |
| 3 | 0.35 | 0.29 | 0.23 | 1.72E-03 | 2.41E-03 | 4.09E-03 | 1.36E-05 | 1.90E-05 | 3.46E-05 |
| 4 | 0.37 | 0.31 | 0.24 | 2.35E-03 | 3.28E-03 | 5.53E-03 | 1.82E-05 | 2.50E-05 | 4.54E-05 |

จากตารางที่ 12 เมื่อนำค่าเวลาหน่วงเฉลี่ยมาวาดกราฟเพื่อหาความสัมพันธ์ระหว่างแรงดันไฟเลี้ยงและค่าเวลาหน่วง แสดงดังภาพที่ 56




**ภาพที่ 56** กราฟแสดงค่าเวลาหน่วงของลอจิกแนนด์เกท

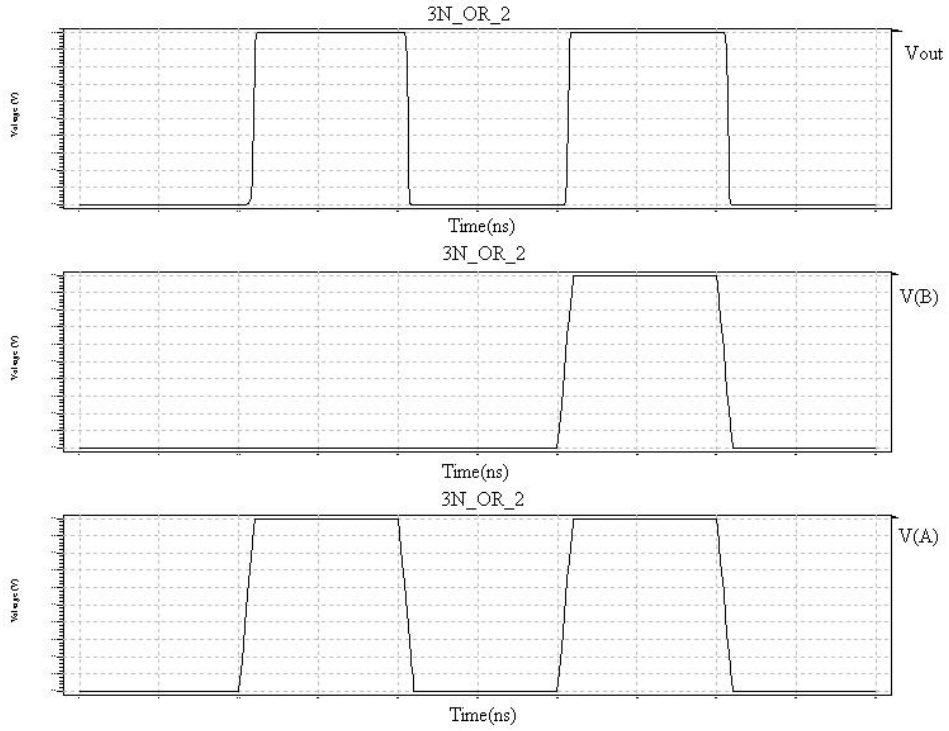
เมื่อนำค่ากำลังงานเฉลี่ยของลอจิกแนนด์เกทซึ่งเป็นลอจิกเกทที่มีจำนวนอินพุท 2 – 4 อินพุทมาวาดกราฟตามภาพที่ 57 พบว่ากำลังงานเฉลี่ยที่แรงดัน 3.3 โวลท์จะลดลงประมาณ 59-63 เปอร์เซ็นต์ของแรงดันสูงสุด และลดลง 45 – 52 เปอร์เซ็นต์ที่แรงดัน 4.0 โวลท์




**ภาพที่ 57** กราฟการใช้กำลังงานเฉลี่ยของแนนด์เกท 2-4 อินพุท

1.4.4 ผลการทดสอบออร์เกท

การออกแบบเซลล์พื้นฐานของออร์เกท ลอจิกออร์เกทนั้นถูกสร้างขึ้นด้วยวงจรลอจิกนอร์เกทและต่อด้านเอาท์พุทวงจรด้วยอินเวอร์เตอร์ ซึ่งสร้างโดยค่าอัตราส่วนช่องทางเดินกระแสทรานซิสเตอร์ดังตารางที่ 4 เมื่อทำการทดสอบเกทด้วยสัญญาณอินพุท A ด้วยสัญญาณ 0101 และสัญญาณอินพุท B ด้วยสัญญาณ 0001 สัญญาณที่ป้อนมีค่าถี่ 50MHz เพื่อทดสอบหาค่าเวลาหน่วงของช่วงเวลาไต่ขึ้น และเวลาไต่ลง ที่ใกล้เคียงกัน และทำการจำลองการทำงานวัดรูปสัญญาณเอาท์พุท ซึ่งให้ค่าสัญญาณเอาท์พุทเป็น 0101 ดังแสดงดังภาพที่ 58




**ภาพที่ 58** ผลการทำงานของออร์เกท 2 อินพุท

จากผลจำลองการทำงานของวงจรออร์เกทที่ได้ออกแบบ ทำให้ได้ค่าพารามิเตอร์ต่างๆ ดังตารางที่ 13

**ตารางที่ 13** ผลการทดสอบการทำงานของออร์เกทเพื่อหาพารามิเตอร์ของเกท

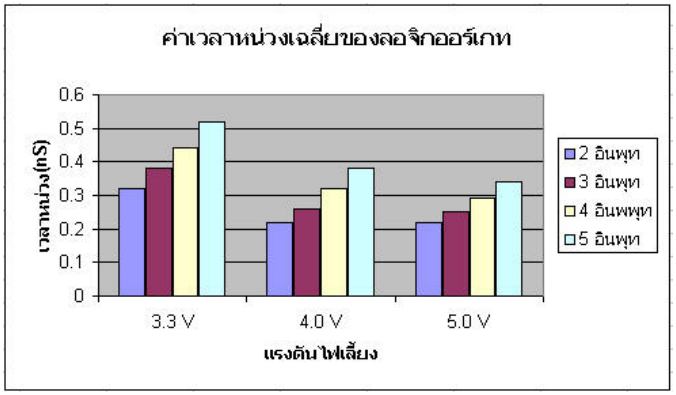
| อิน | เวลาไต่ขึ้น (nS) | | | เวลาไต่ลง(nS) | | | เวลาหน่วงขาขึ้น(nS) | | | เวลาหน่วงขาลง(nS) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| พุท | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.21 | 0.16 | 0.16 | 0.19 | 0.15 | 0.14 | 0.29 | 0.23 | 0.20 | 0.35 | 0.29 | 0.24 |
| 3 | 0.29 | 0.24 | 0.20 | 0.17 | 0.14 | 0.14 | 0.35 | 0.28 | 0.23 | 0.40 | 0.32 | 0.27 |
| 4 | 0.47 | 0.33 | 0.25 | 0.18 | 0.15 | 0.14 | 0.45 | 0.35 | 0.28 | 0.43 | 0.35 | 0.29 |
| 5 | 0.67 | 0.50 | 0.39 | 0.17 | 0.15 | 0.13 | 0.54 | 0.43 | 0.33 | 0.49 | 0.40 | 0.35 |

จากตารางที่ 13 เป็นค่าเวลาหน่วงที่เกิดจากการออกแบบวงจรลอจิกออร์เกทที่มีอินพุทตั้งแต่ 2 อินพุทถึง 5 อินพุท ซึ่งในงานวิจัยนี้จะใช้ค่าเฉลี่ยเวลาหน่วงมาวิเคราะห์ในการหาเวลาหน่วงของเส้นทางในวงจรรวม ซึ่งแสดงดังตารางที่ 14

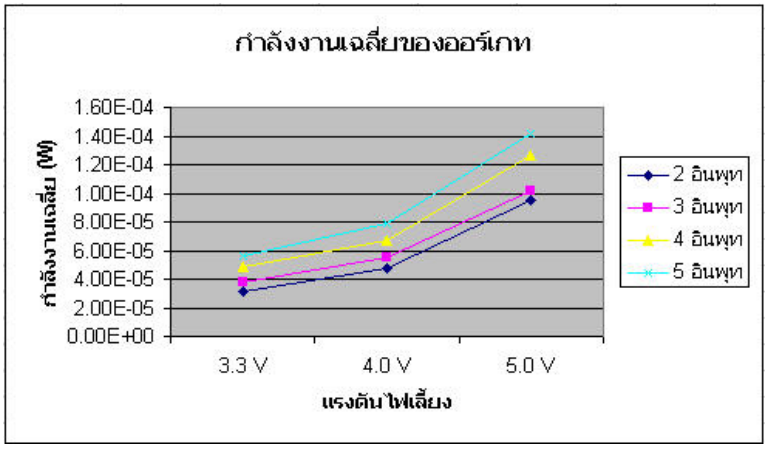
**ตารางที่ 14** ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท

| อินพุท | เวลาหน่วงเฉลี่ย (nS) | | | กำลังงานสูงสุด(W) | | | กำลังงานเฉลี่ย (W) | | |
|---|---|---|---|---|---|---|---|---|---|
| | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.32 | 0.22 | 0.22 | 2.64E-03 | 3.97E-03 | 8.16E-03 | 3.13E-05 | 4.75E-05 | 9.55E-05 |
| 3 | 0.38 | 0.26 | 0.25 | 2.77E-03 | 4.18E-03 | 6.19E-03 | 3.73E-05 | 5.48E-05 | 1.02E-04 |
| 4 | 0.44 | 0.32 | 0.29 | 3.67E-03 | 5.35E-03 | 1.07E-02 | 4.85E-05 | 6.71E-05 | 1.27E-04 |
| 5 | 0.52 | 0.38 | 0.34 | 3.80E-03 | 5.82E-03 | 1.12E-02 | 5.61E-05 | 7.84E-05 | 1.42E-04 |

จากตารางที่ 14 เมื่อนำค่าเวลาหน่วงเฉลี่ยมาวาดกราฟเพื่อหาความสัมพันธ์ระหว่างแรงดันไฟเลี้ยงและค่าเวลาหน่วง แสดงดังภาพที่ 59




**ภาพที่ 59** กราฟแสดงค่าเวลาหน่วงเฉลี่ยของลอจิกออร์เกท

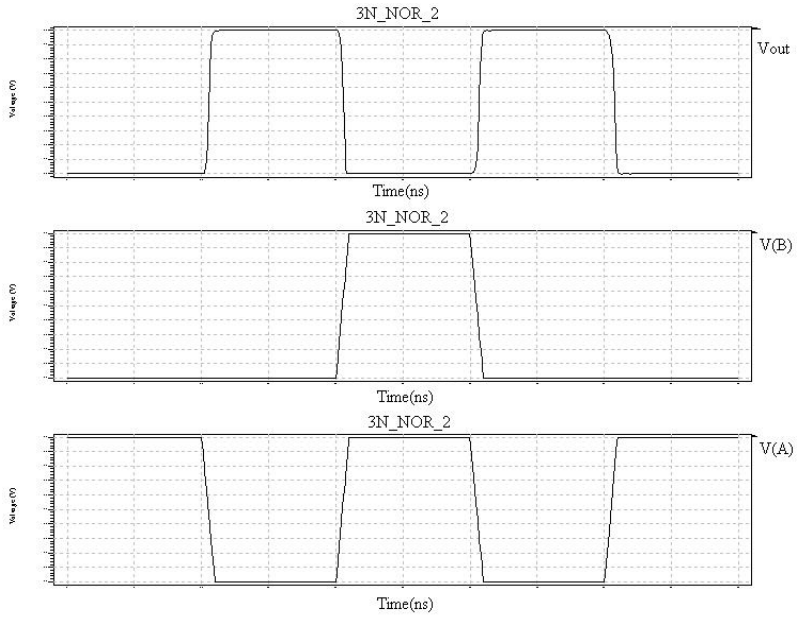



**ภาพที่ 60** กราฟการใช้กำลังงานเฉลี่ยของออร์เกท 2-5 อินพุท

เมื่อนำค่ากำลังงานเฉลี่ยของลอจิกออร์เกทซึ่งเป็นลอจิกเกทที่มีจำนวนอินพุท 2 – 5 อินพุทมาวาดกราฟตามภาพที่ 60 พบว่ากำลังงานเฉลี่ยที่แรงดัน 3.3 โวลท์จะลดลงประมาณ 60-67 เปอร์เซ็นต์ของแรงดันสูงสุด และลดลง 46 – 50 เปอร์เซ็นต์ที่แรงดัน 4.0 โวลท์

1.4.5 ผลการทดสอบนอร์เกท

การออกแบบเซลล์พื้นฐานของออร์เกท ซึ่งสร้างโดยค่าอัตราส่วนช่องทางเดินกระแสทรานซิสเตอร์ดังตารางที่ 4 เมื่อทำการทดสอบเกทด้วยสัญญาณอินพุท A ด้วยสัญญาณ 1010 และสัญญาณอินพุท B ด้วยสัญญาณ 0010 สัญญาณที่ป้อนมีค่าถี่ 50MHz เพื่อทดสอบหาค่าเวลาหน่วงของช่วงเวลาไต่ขึ้น และเวลาไต่ลง ที่ใกล้เคียงกัน และทำการจำลองการทำงานวัดรูปสัญญาณเอาท์พุท ซึ่งให้ค่าสัญญาณเอาท์พุทเป็น 0101 ดังแสดงดังภาพที่ 61




**ภาพที่ 61** ผลการทำงานของวงจรนอร์เกท 2 อินพุท

จากผลจำลองการทำงานของวงจรออร์เกทที่ได้ออกแบบ ทำให้ได้ค่าพารามิเตอร์ต่างๆ ดังตารางที่ 15

**ตารางที่ 15** ผลการทดสอบการทำงานของนอร์เกทเพื่อหาพารามิเตอร์ของเกท

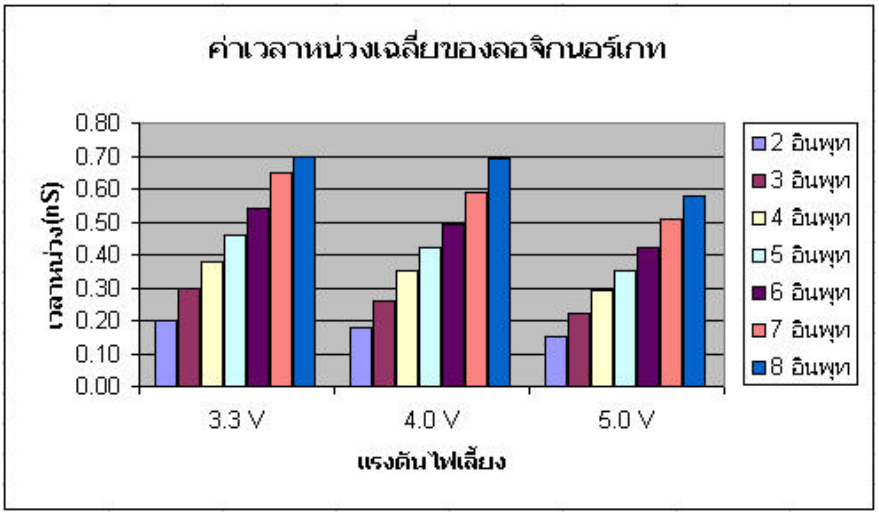
| อิน | เวลาไต่ขึ้น (nS) | | | เวลาไต่ลง(nS) | | | เวลาหน่วงขาขึ้น(nS) | | | เวลาหน่วงขาลง(nS) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| พุท | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.36 | 0.36 | 0.35 | 0.33 | 0.33 | 0.33 | 0.24 | 0.21 | 0.17 | 0.16 | 0.15 | 0.13 |
| 3 | 0.47 | 0.45 | 0.42 | 0.36 | 0.36 | 0.32 | 0.32 | 0.27 | 0.23 | 0.28 | 0.25 | 0.21 |
| 4 | 0.62 | 0.54 | 0.48 | 0.34 | 0.34 | 0.31 | 0.41 | 0.37 | 0.30 | 0.35 | 0.32 | 0.27 |
| 5 | 0.77 | 0.67 | 0.60 | 0.39 | 0.36 | 0.31 | 0.49 | 0.44 | 0.36 | 0.42 | 0.39 | 0.33 |
| 6 | 0.92 | 0.81 | 0.69 | 0.42 | 0.39 | 0.36 | 0.58 | 0.52 | 0.43 | 0.50 | 0.46 | 0.41 |
| 7 | 1.15 | 0.97 | 0.82 | 0.50 | 0.44 | 0.41 | 0.72 | 0.63 | 0.53 | 0.58 | 0.54 | 0.48 |
| 8 | 1.27 | 1.14 | 0.93 | 0.52 | 0.56 | 0.49 | 1.07 | 0.74 | 0.60 | 0.33 | 0.63 | 0.55 |

จากตารางที่ 15 เป็นค่าเวลาหน่วงที่เกิดจากการออกแบบวงจรลอจิกออร์เกทที่มีอินพุทตั้งแต่ 2 อินพุทถึง 8 อินพุท ซึ่งในงานวิจัยนี้จะใช้ค่าเฉลี่ยเวลาหน่วงมาวิเคราะห์ในการหาเวลาหน่วงของเส้นทางในวงจรรวม ซึ่งแสดงดังตารางที่ 16

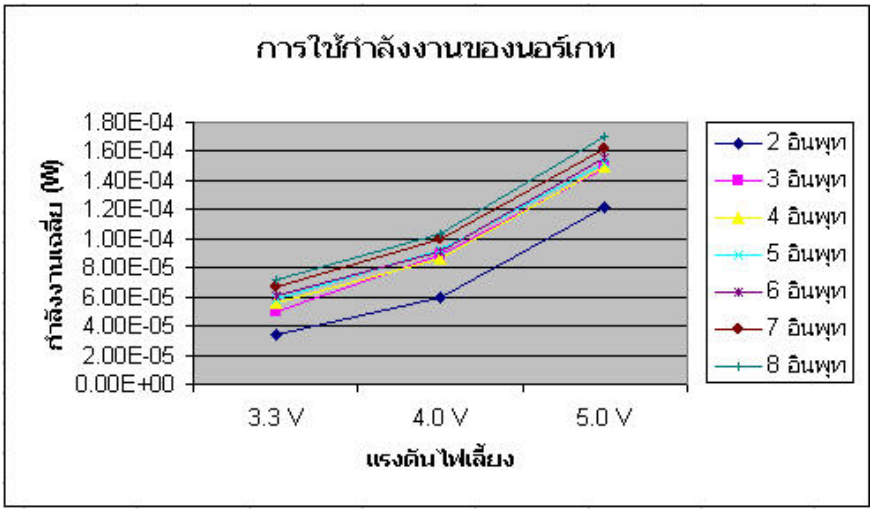
**ตารางที่ 16** ตารางแสดงเวลาหน่วงเฉลี่ยและค่ากำลังที่ใช้ในการทำงานของเกท

| อินพุท | เวลาหน่วงเฉลี่ย (nS) | | | กำลังงานสูงสุด(W) | | | กำลังงานเฉลี่ย (W) | | |
|---|---|---|---|---|---|---|---|---|---|
| | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V | 3.3V | 4.0V | 5.0V |
| 2 | 0.20 | 0.18 | 0.15 | 2.04E-03 | 3.33E-03 | 6.25E-03 | 3.42E-05 | 5.96E-05 | 1.22E-04 |
| 3 | 0.30 | 0.26 | 0.22 | 2.95E-03 | 4.90E-03 | 8.80E-03 | 5.03E-05 | 8.90E-05 | 1.48E-04 |
| 4 | 0.38 | 0.35 | 0.29 | 2.98E-03 | 4.83E-03 | 8.62E-3 | 5.60E-05 | 8.62E-05 | 1.49E-04 |
| 5 | 0.46 | 0.42 | 0.35 | 2.73E-03 | 4.86E-03 | 8.51E-3 | 5.82E-05 | 9.24E-05 | 1.52E-04 |
| 6 | 0.54 | 0.49 | 0.42 | 2.48E-03 | 4.53E-03 | 8.56E-3 | 6.10E-05 | 9.16E-05 | 1.56E-04 |
| 7 | 0.65 | 0.59 | 0.51 | 2.30E-03 | 4.23E-03 | 8.25E-03 | 6.67E-05 | 1.00E-04 | 1.62E-04 |
| 8 | 0.70 | 0.69 | 0.58 | 2.30E-03 | 4.29E-03 | 8.25E-03 | 7.17E-05 | 1.03E-04 | 1.70E-04 |

จากตารางที่ 16 เมื่อนำค่าเวลาหน่วงเฉลี่ยมาวาดกราฟเพื่อหาความสัมพันธ์ระหว่างแรงดันไฟเลี้ยงและค่าเวลาหน่วง แสดงดังภาพที่ 62




**ภาพที่ 62** กราฟแสดงค่าเวลาหน่วงลอจิกนอร์เกท 2-8 อินพุท




**ภาพที่ 63** กราฟการใช้กำลังงานเฉลี่ยของนอร์เกท 2-8 อินพุท

เมื่อนำค่ากำลังงานเฉลี่ยของลอจินอร์เกทซึ่งเป็นลอจิกเกทที่มีจำนวนอินพุท 2 – 8 อินพุทมาวาดกราฟตามภาพที่ 63 พบว่ากำลังงานเฉลี่ยที่แรงดัน 3.3 โวลท์จะลดลงประมาณ 57-72 เปอร์เซ็นต์ของแรงดันสูงสุด และลดลง 39 – 51 เปอร์เซ็นต์ที่แรงดัน 4.0 โวลท์

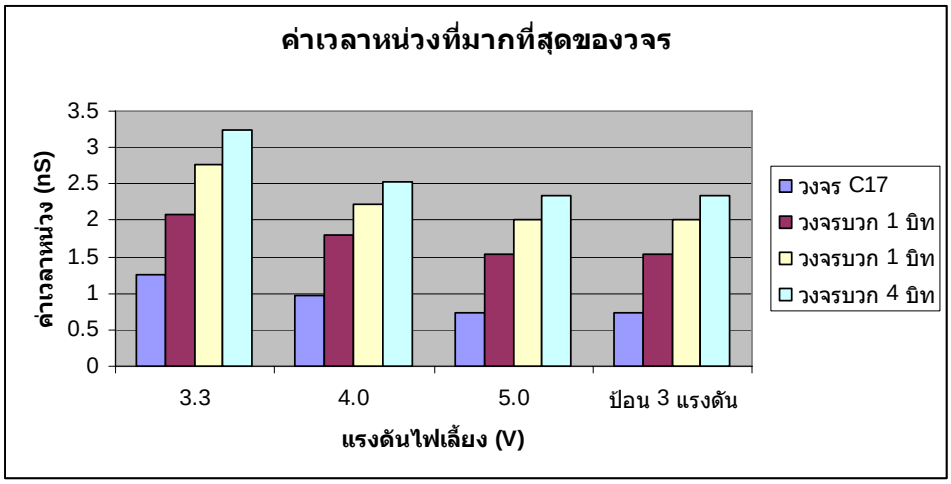
**2. การทดสอบในวงจรรวมเนทลิสท์**

ส่วนนี้กล่าวถึงการทดสอบอัลกอริทึมที่พัฒนาขึ้นด้วยโปรแกรมภาษาซีในวงจรรวม ซึ่งจะใช้ค่าพารามิเตอร์ต่างๆ จากดังกล่าวถึงผลการทดลองของลอจิกเกทพื้นฐานข้างต้นมาเป็นข้อมูลในการทดสอบ ดังผลการทดลองตามตารางที่ 17

**ตารางที่ 17** ผลการทดสอบค่าเวลาหน่วงที่แรงดันไฟเลี้ยงระดับต่างๆ

| วงจร | จำนวนเกท | ค่าเวลาหน่วงที่มากสุดที่ระดับแรงดันไฟเลี้ยงต่างๆ (nS) | | | |
|---|---|---|---|---|---|
| | | 5.0 V | 4.0 V | 3.3 V | ป้อน 3 แรงดัน |
| วงจร C17 | 6 | 0.74 | 0.91 | 1.26 | 0.74 |
| วงจรบวก 1 บิท | 7 | 1.54 | 1.79 | 2.07 | 1.54 |
| วงจรบวก 1 บิท | 9 | 2.01 | 2.21 | 2.77 | 2.01 |
| วงจรบวก 4 บิท | 36 | 2.34 | 2.53 | 3.25 | 2.34 |

จากตารางที่ 17 แสดงผลการทดสอบวงจรรวมด้วยการทดสอบที่ระดับแรงดันไฟเลี้ยงที่ระดับ 5.0 โวลท์, 4.0 โวลท์ และ 3.3 โวลท์ เพื่อทดสอบหาค่าเวลาหน่วงในวงจร ซึ่งค่าที่แสดงดังตารางเป็นค่าเวลาหน่วงที่มากที่สุดในวงจร เมื่อแทนค่าแรงดันไฟเลี้ยงในระดับที่แตกต่างกัน และเมื่อทดสอบด้วยการแทนค่าแรงดันทั้ง 3 ค่าลงในวงจรเดียวกันซึ่งได้ผลการทดสอบดังตาราง และเมื่อนำมาแสดงผลด้วยกราฟในการเปรียบเทียบค่าเวลาหน่วงในระดับต่างๆดังภาพที่ 64



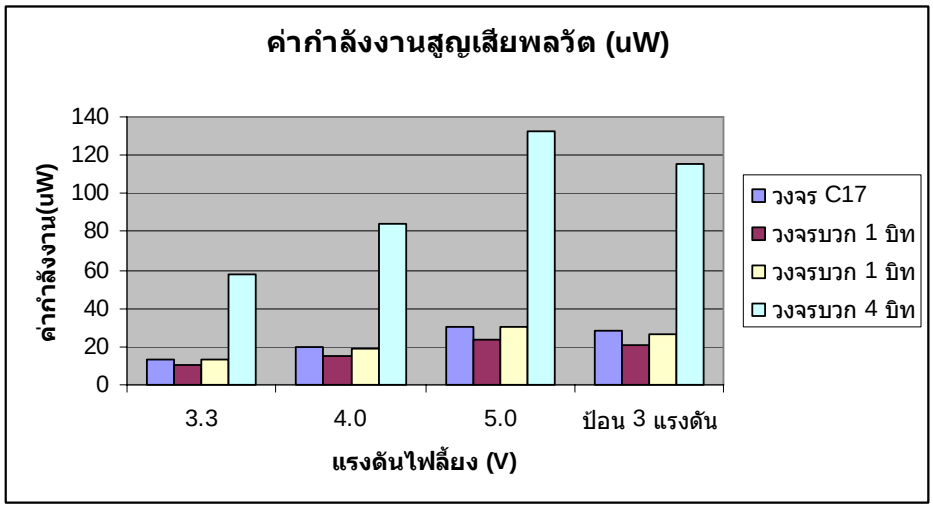

**ภาพที่ 64** กราฟเปรียบเทียบเวลาหน่วงที่แรงดันต่างๆ

เมื่อทดสอบเพื่อหาค่ากำลังงานสูญเสียพลวัตที่เกิดในวงจร โดยทดสอบเช่นเดียวกับการหาค่าเวลาหน่วงตามตารางที่ 17 ได้ผลการทดสอบตามตารางที่ 18

**ตารางที่ 18** ค่ากำลังงานสูญเสียพลวัตที่ระดับแรงดันต่างๆ

| วงจร | จำนวนเกท | ค่ากำลังงานสูญเสียพลวัตที่แรงดันไฟระดับต่างๆ (uW) | | | |
|---|---|---|---|---|---|
| | | 5.0 V | 4.0 V | 3.3 V | ทั้ง 3 แรงดัน |
| วงจร C17 | 6 | 30.64 | 19.61 | 13.38 | 28.09 |
| วงจรบวก 1 บิท | 7 | 23.79 | 15.22 | 10.36 | 20.50 |
| วงจรบวก 1 บิท | 9 | 30.29 | 19.38 | 13.19 | 26.61 |
| วงจรบวก 4 บิท | 36 | 132.26 | 84.65 | 57.61 | 115.72 |

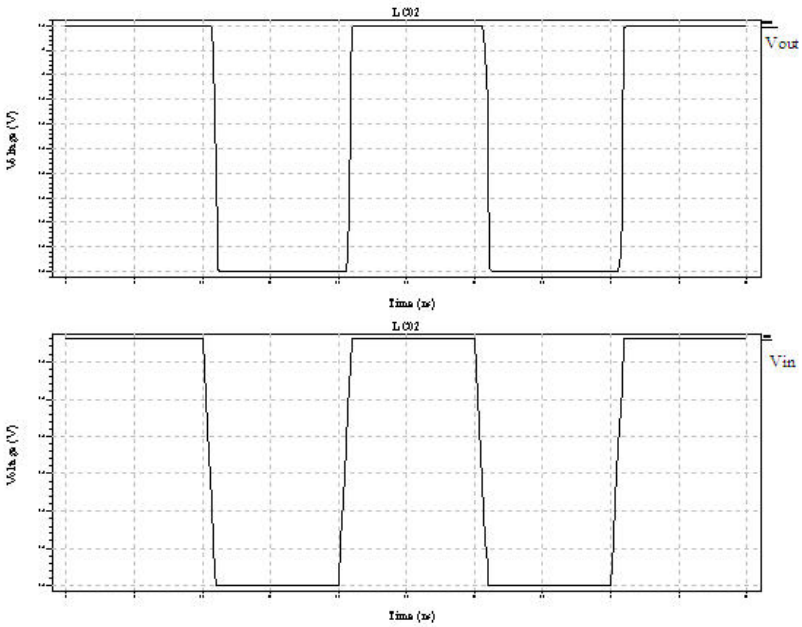
จากตารางที่ 18 แสดงผลของกำลังงานสูญเสียพลวัตเมื่อวงจรถูกแทนด้วยระดับแรงดันไฟเลี้ยงที่แตกต่างกัน พบว่าที่แรงดันสูงสุดจะมีกำลังงานสูญเสียพลวัตที่มาก และเมื่อสังเกตที่แรงดันต่ำสุดจะมีค่ากำลังสูญเสียลดลงเป็น 2 เท่าเมื่อเปรียบเทียบกับแรงดันสูงสุด และเมื่อป้อนแรงดันที่มีค่าหลายระดับในวงจร ค่ากำลังงานสูญเสียจะลดลงประมาณ 8.32 เปอร์เซ็นต์ และเมื่อนำไปแสดงผลเปรียบเทียบด้วยกราฟดังภาพที่ 65




**ภาพที่ 65** กราฟกำลังงานสูญเสียพลวัตที่ระดับแรงดันไฟเลี้ยงต่างๆ

### 3. การทดสอบวงจรวงจรปรับระดับแรงดัน

จากการสร้างวงจรปรับระดับแรงดันตามภาพที่ 47 ด้วยโปรแกรม L-edit โดยกำหนดให้มีอัตราส่วนช่องทางเดินกระแสของทรานซิสเตอร์พีมอสมีความกว้าง 4.55um และมีความยาวของช่องทางเดินกระแส 0.7um ส่วนอัตราส่วนช่องทางเดินกระแสของทรานซิสเตอร์เอ็นมอสมีความกว้างของช่องทางเดินกระแส 2.1um ความยาวของช่องทางเดินกระแส 0.7um เมื่อทดลองจำลองการทำงานด้วย โปรแกรมแทรนเนอร์ ผลการทำงานดังแสดงตามภาพที่ 66




**ภาพที่ 66** ผลจำลองการทำงานของวงจรปรับระดับแรงดัน

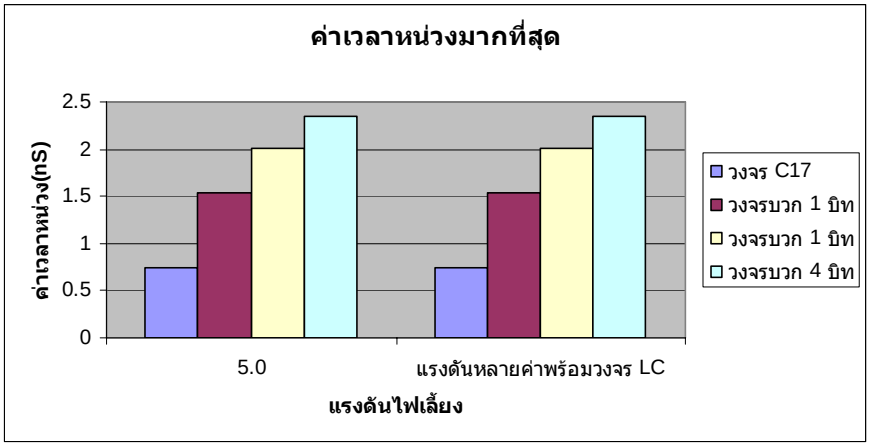
จากนั้นทำการทดสอบหาค่าเวลาหน่วงของวงจรจากภาพที่ 66 สามารถวัดค่าเวลาหน่วงของสัญญาณเฉลี่ยได้เท่ากับ 0.22 nS มีค่าความจุแฝงทางด้านอินพุท 5.70 fF ความจุแฝงทางด้านเอาท์พุท 6.66 fF และเมื่อทำการวิเคราะห์หาค่าความต้านทานแฝงของวงจรเป็น 1480 โอห์ม

เมื่อได้ค่าพารามิเตอร์ของวงจรปรับระดับแรงดัน จากนั้นนำค่าที่ได้ไปวิเคราะห์รวมกับวงจร ทั้ง 4 วงจรโดยโปรแกรมที่พัฒนาขึ้นเช่นเดียวกับการทดสอบวงจรรวมเนทลิส ได้ผลการทดลองตามตารางที่ 19

**ตารางที่ 19** ผลการทดสอบค่าเวลาหน่วงหลังจากเพิ่ม LC เทียบกับแรงดัน 5 โวลท์

| วงจร | ค่าเวลาหน่วงจากการเพิ่มวงจร LC เทียบกับแรงดัน 5 โวลท์ | |
|---|---|---|
| | 5 V | เมื่อป้อนแรงดัน 3 ระดับพร้อมวงจร LC |
| วงจร C17 | 0.74 | 0.74 |
| วงจรบวก 1 บิท | 1.54 | 1.54 |
| วงจรบวก 1 บิท | 2.01 | 2.01 |
| วงจรบวก 4 บิท | 2.34 | 2.34 |

จากตารางที่ 19 เมื่อนำค่าเวลาหน่วงที่มากที่สุดของวงจรจากการเพิ่มวงจร LC ในวงจรทดสอบพบว่าค่าเวลาหน่วงของวงจรจะมีค่าไม่เกินค่าเวลาหน่วงของแรงดันระดับ 5 โวลท์ตามภาพที่ 67




**ภาพที่ 67** ค่าเวลาหน่วงจากการเพิ่มวงจร LC เทียบกับแรงดัน 5 โวลท์

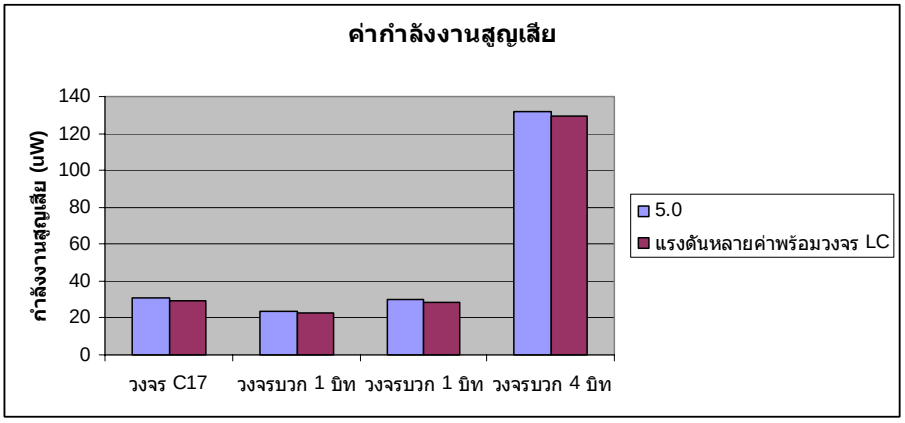
และเมื่อทดสอบวงจรในการหาค่ากำลังงานสูญเสียพลวัตที่เกิดขึ้นในวงจรเมื่อใช้แหล่งจ่ายไฟหลายค่าพร้อมทั้งใส่วงจรปรับระดับแรงดันในเกทที่มีระดับแรงดันที่แตกต่างกันได้ผลการทดลองตามตารางที่ 20

**ตารางที่ 20** ค่ากำลังงานสูญเสียพลวัตจากการป้อนแรงดันหลายค่าพร้อมทั้งวงจรปรับระดับแรงดัน

| วงจร | กำลังงานสูญเสียพลวัตพร้อมทั้งวงจรปรับระดับแรงดัน(uW) | | |
|---|---|---|---|
| | 5.0 V | แรงดันหลายค่าพร้อมวงจร LC | กำลังงานลดลง(%) |
| วงจร C17 | 30.64 | 29.28 | 4.43 |
| วงจรบวก 1 บิท | 23.79 | 22.98 | 3.40 |
| วงจรบวก 1 บิท | 30.29 | 28.37 | 6.33 |
| วงจรบวก 4 บิท | 132.26 | 129.21 | 2.30 |

จากตารางที่ 20 เป็นตารางผลการทดลองหาค่ากำลังงานสูญเสียภายในวงจรจากการป้อนแรงดันไฟหลายค่าและใช้วงจรปรับระดับแรงดันในการปรับระดับแรงดันของลอจิกเกทที่ทำงานใน

ภาวะแรงดัน 3.3 โวลท์ และ 4.0 โวลท์ ให้มีสัญญาณอยู่ในภาวะแรงดัน 5.0 โวลท์ตามปกติ สามารถนำมาวาดกราฟได้ตามภาพที่ 68




**ภาพที่ 68** กราฟค่ากำลังงานสูญเสียที่แรงดัน 5 โวลท์และแรงดันหลายค่าพร้อมวงจร LC

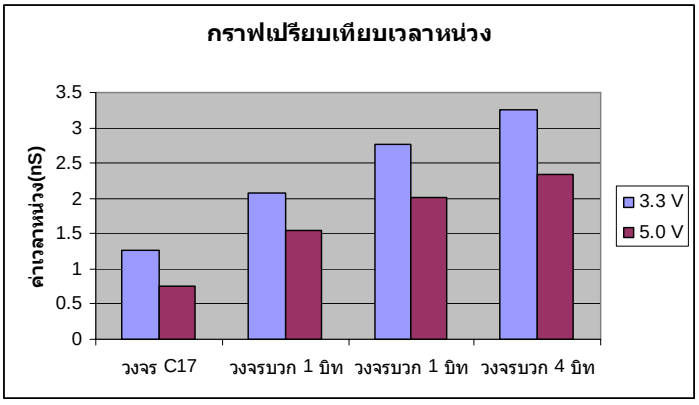
## วิจารณ์

จากผลการทดลองเมื่อป้อนแรงดันไฟเลี้ยงให้แก่วงจรทดสอบ 4 วงจรด้วยกัน คือวงจรที่ 1 เป็นวงจรเชิงลำดับมาตรฐาน ส่วนวงจรที่ 2-4 เป็นวงจรบวกเลข จากการทดสอบผลการทดลองด้วยการป้อนพารามิเตอร์ซึ่งแสดงดังผลการทดลองข้างต้น คือ ค่าความต้านทานและค่าความจุของตัวเก็บประจุแฝงของทรานซิสเตอร์ และค่าเวลาหน่วงนั้น โดยค่าความจุแฝงตามตารางที่ 5 ได้จากการใช้โปรแกรมเทรนเนอร์ ในการสร้างลอจิกเกทพื้นฐานและทดสอบหาค่าพารามิเตอร์ต่างๆ ผลการทดสอบพบว่าค่าความจุของตัวทรานซิสเตอร์มีค่าเพิ่มขึ้นตามจำนวนอินพุทของเกทนั้นๆ จากภาพกราฟแสดงการเปรียบเทียบของความจุเกท และเมื่อพิจารณาค่าความต้านแฝงของตัวทรานซิสเตอร์ค่าความต้านทานวิเคราะห์จากการคำนวณจากจุดการทำงานของทรานซิสเตอร์ระหว่างจุดการทำงานช่วงลิเนียร์จนถึงจุดการทำงานในช่วงอิ่มตัว จากนั้นนำค่าที่ได้มาคิดค่าเฉลี่ยของเพื่อหาความต้านทานที่เป็นตัวขับเอาท์พุทของเกท ซึ่งค่าความต้านทานที่วิเคราะห์ได้จะขึ้นอยู่กับค่าแรงดันและค่าอัตราส่วนทางเดินกระแสของทรานซิสเตอร์ ซึ่งในงานวิจัยนี้จะหาค่าความต้านทานทั้งสองของทรานซิสเตอร์ด้วยการวิเคราะห์อย่างง่าย โดยวิเคราะห์จากวงจรอินเวอร์เตอร์ จากผลการวิเคราะห์ตามตารางที่ 5 พบว่าค่าความต้านทานของทรานซิสเตอร์จะแปรเปลี่ยนตามแรงดันและอัตรา

ช่องทางเดินกระแส หากอัตราส่วนของช่องทางเดินกระแสมีค่ามากจะทำให้ความต้านทานมากขึ้น ตามการเปลี่ยนแปลงของช่องทางเดินกระแสนั้น เช่นเดียวกับตัวเก็บประจุแฝงก็จะมีค่าเปลี่ยนแปลงตามอัตราส่วนของช่องทางเดินกระแสเช่นกัน

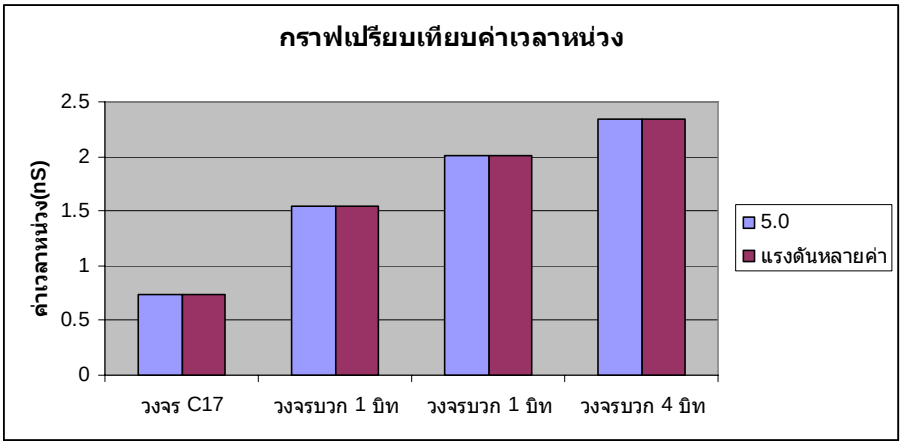
เมื่อได้เกทพื้นฐาน จากนั้นจะหาค่าเวลาหน่วงของเกทแต่ละตัวตามการเปลี่ยนแปลงของแรงดันไฟเลี้ยง ณ ที่นี้จะใช้แรงดันไฟเลี้ยง 3 ระดับด้วยกันคือ 3.3, 4.0 และ 5.0 โวลท์ตามลำดับในการทดสอบเกทเหล่านั้น ในการทดสอบพบว่าค่าเวลาหน่วงจะมีค่าเพิ่มขึ้นหากลดแรงดันไฟเลี้ยงของเกทเหล่านั้นลง เช่นเดียวกับกำลังงานที่ใช้ในเกท จากการสังเกตุกราฟรูปภาพกำลังงานของเกทแต่ละตัว จะมีค่าการใช้กำลังงานที่สูงขึ้น เมื่อเกทเหล่านั้นมีจำนวนอินพุทมาก ซึ่งจากตารางและกราฟแสดงพลังงาน การใช้พลังงานของเกทจะมีค่าเป็น mW หากเกทเหล่านั้นมีจำนวนอินพุทมากกว่า 5-6 อินพุทขึ้นไป

เมื่อได้ค่าพารามิเตอร์ของเกทแล้วจะนำค่านั้นมาประกอบการทดสอบวิธีการป้อนแรงดันหลายค่าให้แก่ ในการป้อนแรงดันนั้นจะต้องหาเส้นทางที่เป็นเส้นทางวิกฤตเสียก่อน เพราะว่าเส้นทางนี้ จะต้องใช้แรงดันสูงสุดของวงจรในการทำงาน ซึ่งแรงดันระดับที่ต่ำกว่าแรงดันสูงสุดจะถูกป้อนให้เกทของวงจรที่ไม่เป็นเส้นทางวิกฤต ซึ่งจากผลการทดลองพบว่าเกทในวงจรส่วนมากจะเป็นเกทที่ประกอบอยู่ในเส้นทางวิกฤตเสียส่วนมาก ดังนั้นในการป้อนแรงดันให้แก่เกทในเส้นทางเหล่านั้นจึงไม่สามารถลดการใช้กำลังงานได้มากนักเมื่อเทียบกับการลดแรงดันไฟของวงจรแต่จะพบว่า เวลาหน่วงของวงจรจะไม่เพิ่มมากขึ้น หากมีการลดระดับแรงดันไฟเลี้ยงลงเมื่อลองพิจารณาจากกราฟที่ 69




**ภาพที่ 69** กราฟเปรียบเทียบค่าเวลาหน่วงที่แรงดันต่ำสุดและสูงสุด

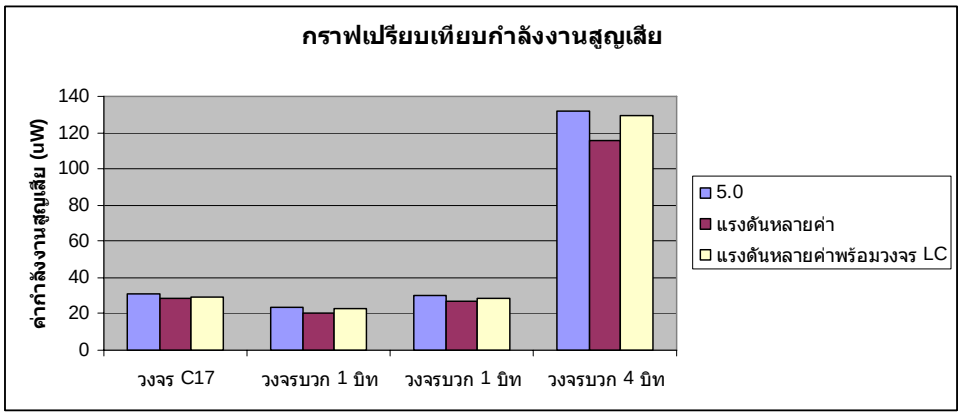
จากภาพที่ 65 เป็นค่าเวลาหน่วงของวงจรเมื่อป้อนแรงดันไฟเลี้ยงให้แก่วงจรทั้งหมด พบว่าค่าเวลาหน่วงจะเพิ่มมากขึ้นเมื่อประมาณ 26-30 เปอร์เซ็นต์ เมื่อเทียบกับแรงดันสูงสุดที่ป้อนให้แก่วงจร และเมื่อแยกการป้อนแรงดันไฟเลี้ยงให้แก่เกทแต่ละตัวในวงจร โดยแยกตามเส้นทางจากอินพุทไปสู่เอาท์พุทด้วยแรงดันไฟเลี้ยงหลายค่า ค่าเวลาหน่วงที่มากที่สุดของวงจรจะมีค่าเท่ากันกับแรงดันไฟเลี้ยงสูงสุดตามภาพที่ 70




**ภาพที่ 70** กราฟเปรียบเทียบเวลาหน่วงระหว่างแรงดัน 5 โวลท์ กับแรงดันหลายค่า

ตามภาพที่ 70 พบว่าค่าเวลาหน่วงจะมีเท่ากันเมื่อลดแรงดันบางส่วนในเกทที่ไม่อยู่ในเส้นทางวิกฤตของวงจร ดังนั้นจะสามารถลดกำลังงานสูญเสียพลวัตลงได้ประมาณ 8.0-13 เปอร์เซ็นต์ เมื่อเทียบกับค่าแรงดันไฟเลี้ยงสูงสุดของวงจร ดังแสดงตามภาพที่ 65

จากการทดลองบวงจรเมื่อเพิ่มวงจรปรับระดับแรงดันเข้าสู่เกทที่มีการป้อนแรงดันแก่ลอจิกเกทที่ระดับต่างกัน พบว่ามีกำลังงานสูญเสียเพิ่มมากขึ้นจากกำลังงานสูญเสียของวงจร LC ทำให้กำลังงานสูญเสียลดลงประมาณ 2-6 เปอร์เซ็นต์ตามภาพที่ 71




ภาพที่ 71 การเปรียบเทียบกำลังงานสูญเสียในภาวะแรงดันต่างๆ

# สรุปและข้อเสนอแนะ

## สรุป

จากการศึกษาการลดกำลังงานไฟฟ้าของวงจรรวม มีหลากหลายวิธีการลดกำลังไฟฟ้าของวงจร ซึ่งในงานวิจัยนี้จะทำการศึกษาการลดกำลังงานไฟฟ้าของวงจรโดยการพิจารณาความสัมพันธ์การเปลี่ยนแปลงของเวลาหน่วงของวงจรกับแรงดันไฟเลี้ยงในแต่ละเส้นทาง เพื่อทำการกำหนดค่าแรงดันไฟเลี้ยงลงในแต่ละเส้นทาง เพื่อจะคงประสิทธิภาพการทำงานของวงจรให้คงเดิม แต่สามารถลงการใช้กำลังงานไฟฟ้าลงเพื่อเป็นการประหยัดพลังงาน

ดังนั้นในการศึกษาเบื้องต้น งานวิจัยนี้ได้ทำการทดสอบลอจิกเกทต่างๆ ที่สร้างขึ้นจากโปรแกรม L-edit พร้อมทั้งจำลองการทำงานของเกทเหล่านั้น เพื่อศึกษาพฤติกรรมของวงจรทรานซิสเตอร์ที่ประกอบเป็นลอจิกเกท ซึ่งในการทดสอบพฤติกรรมของลอจิกเกทเหล่านั้น จากผลการทดลองสามารถจำแนกออกเป็นดังนี้

1. ค่าพาราซิติกที่เกิดขึ้นในวงจรลอจิกเกทนั้นขึ้นอยู่กับค่าช่องทางเดินกระแสของทรานซิสเตอร์เป็นส่วนใหญ่ เมื่อมีการเปลี่ยนแปลงขนาดช่องทางเดินกระแสจะทำให้พาราซิติกเกิดการเปลี่ยนแปลงด้วย นอกจากช่องทางเดินกระแสของทรานซิสเตอร์แล้ว แรงดันไฟเลี้ยงก็มีผลกระทบทำให้ค่าพาราซิติกเปลี่ยนแปลง จากการทดลองพบว่าเมื่อปรับเปลี่ยนแรงดันไฟเลี้ยงลดลงค่าความต้านทานแฝงจะเพิ่มขึ้น

2. นอกจากตัวแปรจากข้อที่ 1. จำนวนอินพุทของเกทก็มีผลต่อค่าความจุแฝง คือความจุแฝงจะแปรผันโดยตรงต่อจำนวนอินพุทของเกท นั่นคือค่าความจุแฝงจะเพิ่มขึ้นตามจำนวนอินพุทของเกทเหล่านั้น

3. เมื่อพิจารณาค่าเวลาหน่วงของวงจรเกทพบว่า ค่าเวลาหน่วงของเกทจะเพิ่มขึ้นเมื่อแรงดันไฟเลี้ยงลดลงและจำนวนอินพุทของเกทที่เพิ่มขึ้น

4. สำหรับค่ากำลังงานที่เกิดขึ้นในลอจิกเกทมีทิศทางตรงข้ามกับค่าเวลาหน่วงคือ วงจรเกทจะใช้กำลังงานมากที่แรงดันไฟเลี้ยงสูงสุดและจะมีค่าลดลงในลักษณะเชิงเส้นเมื่อแรงดันไฟเลี้ยงลดลง

5. เมื่อนำค่าพารามิเตอร์ของวงจรเกทพื้นฐานไปวิเคราะห์ในวงจรกราฟโมเดลจากการพัฒนาโปรแกรมเพื่อวิเคราะห์หาเส้นทางที่มีเวลาหน่วงมากที่สุด พบว่าในเส้นทางวิกฤตที่แรงดันไฟเลี้ยงสูงสูด (5.0 โวลท์) จะมีค่าเวลาหน่วงมากสุด ส่วนเส้นทางที่ไม่เป็นเส้นทางวิกฤตจะมีเวลาหน่วงน้อยกว่า ดังนั้นสามารถลดระดับแรงดันไฟเลี้ยงของเกทในเส้นทางดังกล่าวนี้ลงได้ ซึ่งเมื่อพิจารณาค่าเวลาหน่วงมากที่สุดของวงจรที่ระดับแรงดันไฟเลี้ยงสูงสุดจะมีค่าเท่ากับค่าเวลาหน่วงมากสุดจากการป้อนแรงดันหลายค่าในวงจรทดสอบเดียวกัน

6. เมื่อพิจารณาในส่วนของกำลังงานสูญเสียของวงจร ที่ระดับแรงดันสูงสุดจะมีกำลังงานสูญเสียมากเป็น 2 เท่าของระดับแรงดันต่ำสุด ซึ่งหากปรับเปลี่ยนระดับแรงดันในเกทที่มีเวลาหน่วงไม่เกินเส้นทางที่ไม่เป็นเส้นทางวิกฤตแล้ว สามารถลดกำลังงานสูญเสียลงได้ ประมาณ 8.0-13.8 เปอร์เซ็นต์ เมื่อเทียบกับค่าแรงดันสูงสุดของวงจร

7. หลังจากเพิ่มวงจรปรับระดับแรงดันในวงจรทดสอบจากการปรับแรงดันลงที่ระดับ 3.3 โวลท์ และ 4.0 โวลท์ ค่ากำลังงานสูญเสียสามารถลดลงประมาณ 2-6 เปอร์เซ็นต์ เมื่อเทียบกับค่ากำลังสูญเสียจากการป้อนแรงดันหลายระดับที่มีสามารถลดกำลังงานสูญเสียได้ประมาณ 8.0-13.8 เปอร์เซ็นต์

## ข้อเสนอแนะ

การพัฒนาโปรแกรมภาษาซีเพื่อค้นหาเส้นทางของวงจรที่ใช้ในการทดสอบ ในงานวิจัยนี้ทำการออกแบบอัลกอริทึมของโปรแกรมโดยใช้ตัวแปรในการเก็บข้อมูลแบบอาร์เรย์ (Array) เนื่องจากการเก็บข้อมูลและค้นหาข้อมูลสามารถทำได้ง่ายไม่ยุ่งยากซับซ้อน การเก็บข้อมูลแบบนี้จะมีการใช้หน่วยความจำมาก เนื่องจากวงจรที่ใช้ในการทดสอบจะมีการจัดเรียงโนดที่ไม่เรียงต่อกัน ดังนั้นจำเป็นต้องทำการจองพื้นที่หน่วยความจำสำหรับในการเก็บข้อมูล

นอกจากนี้สำหรับการคำนวณหาค่าเวลาหน่วงของเส้นทางในวงจรทดสอบนั้นจะเก็บข้อมูลค่าเวลาหน่วงของเกทและค่าเวลาหน่วงที่ได้จาก Fan-in และ Fan-out เท่านั้น ซึ่งไม่รวมค่าเวลาหน่วงของเส้นทางเดินกระแส (Interconnection) ของวงจร ดังนั้นหากต้องการความถูกต้องในการพิจารณาค่าเวลาหน่วงจำเป็นต้องพิจารณาเวลาหน่วงที่ได้จากเส้นทางเดินกระแสด้วย

สำหรับในส่วนของการพิจารณาหากำลังงานสูญเสียของวงจรนั้น ในการทดลองจะคำนวณหากำลังงานสูญเสียพลวัตโดยคำนวณจากสมการซึ่งใช้ค่าพารามิเตอร์ activity factor แบบค่าประมาณทั่วไปมีค่าเป็น 0.1 ซึ่งถ้าต้องการความถูกต้องจะใช้การนับค่าการเปลี่ยนแปลงของสัญญาณของลอจิกเกทแต่ละตัว ดังนั้นค่ากำลังงานสูญเสียที่ได้จะเป็นค่าประมาณของกำลังงานสูญเสียเท่านั้น

# เอกสารและสิ่งอ้างอิง


จุฑามาส ไพบูลย์ศักดิ์. 2547. **โครงสร้างข้อมูลและอัลกอริทึมด้วย C/C++.** บริษัทจุดทองจำกัด, กรุงเทพฯ.

ภาณุวัฒน์ ด่านกลาง. 2548. **การออกแบบวงจรรวมกำลังงานต่ำแบบอะซิงโครนัสด้วยเทคนิคการควบคุมไฟเลี้ยงแบบพลวัตที่ทำงานตามเวลาจริง.** วิทยานิพนธ์ปริญญาโท, มหาวิทยาลัยเกษตรศาสตร์.

ธีรยศ เวียงทอง. 2547. **VLSI Design and Tool.** มหาวิทยาลัยมหานคร, กรุงเทพฯ.

บุญเจริญ ศิริเนาวกุล และพิพัฒน์ ศุภศิริสันต์. 2550. **โครงสร้างข้อมูลและอัลกอริธึม.** สำนักพิมพ์ท้อปจำกัด, กรุงเทพฯ.

สมศักดิ์ ชุมช่วย. 2545. **การออกแบบวงจรรวมพื้นฐาน.** สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพฯ.

Chandrakasan, A.P., S. Sheng and R.W. Brodersen. 1992. Low-Power CMOS Digatal Design. **IEEE Journal of Solid-State Circuits** 27(4): 473-484.

Gerez, S.H. 1999. **Algorithms for VLSI Design Automation.** John Wiley & Sons. Inc., New York.

Kang, S. and Y. Leblebici. 2003. **CMOS Digital Integrated Circuit : Analysis and Design.** 3rd. McGRAW-HILL, Boston, Burr Ridge.

Martin, S.M., K. Flautner, T. Mudge and D. Blaauw. 2002. Combined Dynamic Voltage Scaling and Adaptive Body Biasing for Lower Power Microprocessors under Dynamic Workloads. **IEEE/ACM International Conference.** 721-725.

Meng, Y., L. LIU, L. Zhang and Z. Wang. 2005. Design Methodology of Low Power JPEG2000 Codec Exploiting Dual Voltage Scaling. **ASICON 2005** 24(1): 183-186

Nielsen, L.S., C. Niessen, J. Spars and K.V. Berkel. 1994. Low-Power Operation Using Self-Timed Circuits and Adaptive Scaling of the Supply Voltage. **IEEE Transactions on Very Large Scale Integration System** 2(4): 391-397.

Rabaey,J.M., A. Chandrakasan and B. Nikolic. 2003. **Digital Integrated Circuit: A design Perspective.** 2nd. Prentice Hall, New Jersey.

Roy, K. and S. Prasad. 2000. **Low-Power CMOS VLSI Circuit Design.** John Wiley & Sons. Inc., New York.

Usami, K. and M. Horowitz. 1995. Custered Voltage Scaling Technique for Low-Power Design. pp. 3-8. **ACM**. New York, USA.

Wang, J., S. Shieh, J.-C. Wang and C.-W. Yeh. 1998. Design of Standard Cells Used in Low-Power ASIC's Exploiting the Multiple-Voltage Scheme. pp. 119-123. **ASIC Conference proceeding eleventh annual IEEE international.** New York, USA.

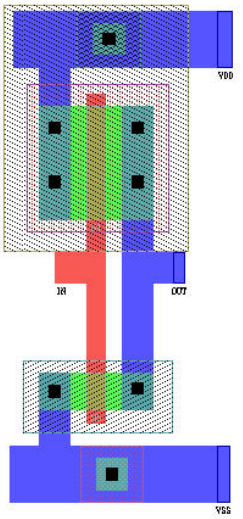
Weste, N. H. and D. Harris. 2005. **CMOS VLSI Design: A Circuit and Systems Perspective.** 3rd. Pearson Education, New York.

Wolf, W. 1998. **Modern VLSI Design: Systems on Silicon.** 2nd. Prentice Hall PTR, United States of America.

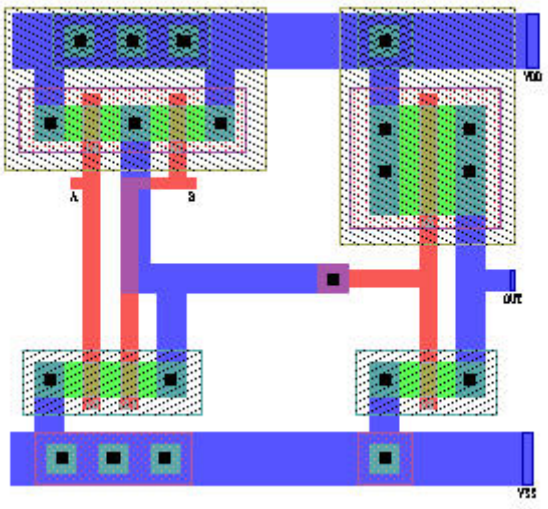
Yeh, Y. and S. Kuo. 2001. An optimization-based low-power voltage scaling technique using multiple supply voltages. **IEEE International Symposium.** (5): 535-538.

# ภาคผนวก

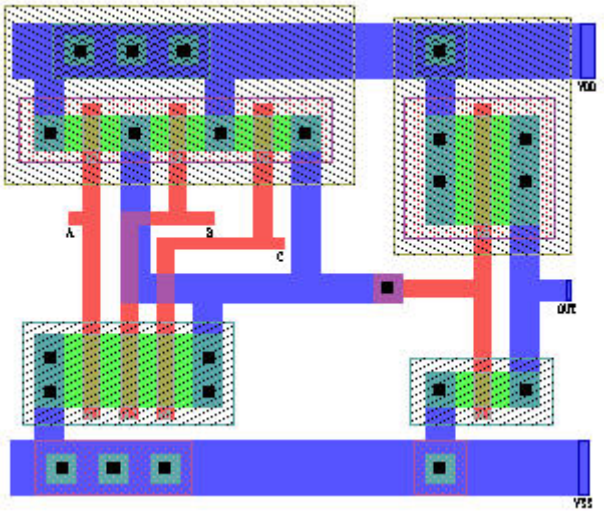
ลอจิกเกทพื้นฐานจากการออกแบบด้วยโปรแกรม L-edit



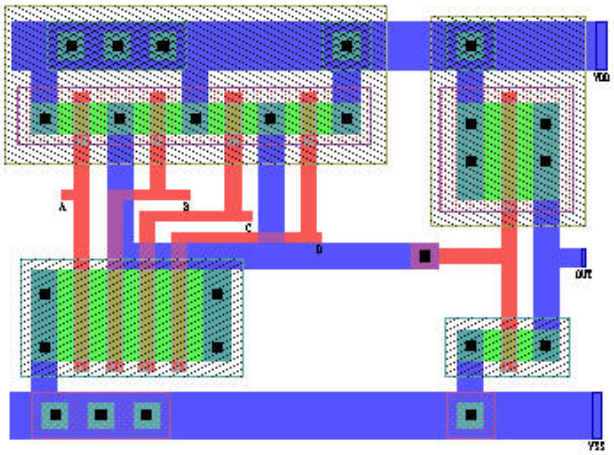
**ภาพผนวกที่ 1** เลย์เอาท์ของอินเวอร์เตอร์เกท



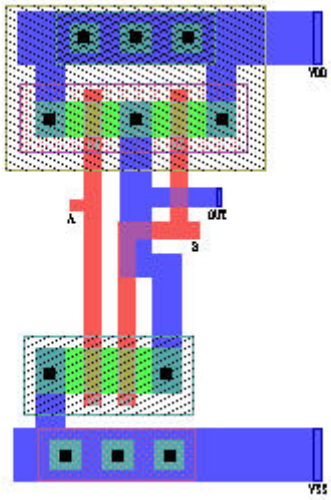
**ภาพผนวกที่ 2** เลย์เอาท์ของแอนด์เกท 2 อินพุท



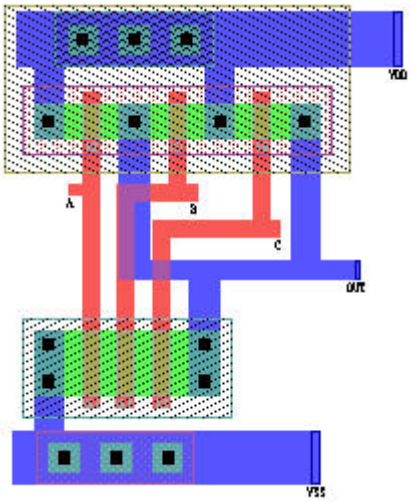

**ภาพผนวกที่ 3** เลย์เอาท์ของแอนด์เกท 3 อินพุท



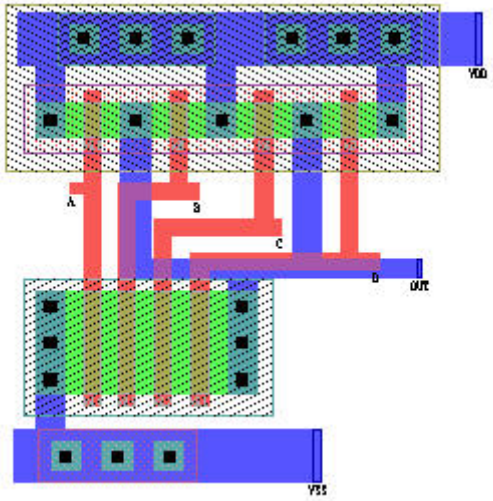

**ภาพผนวกที่ 4** เลย์เอาท์ของแอนด์เกท 4 อินพุท



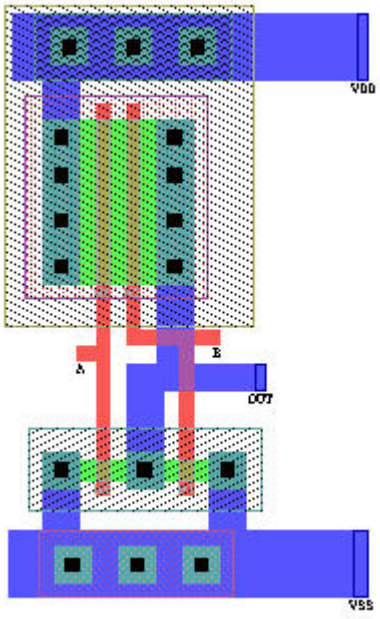

**ภาพผนวกที่ 5** เลย์เอาท์ของแนนด์เกท 2 อินพุท



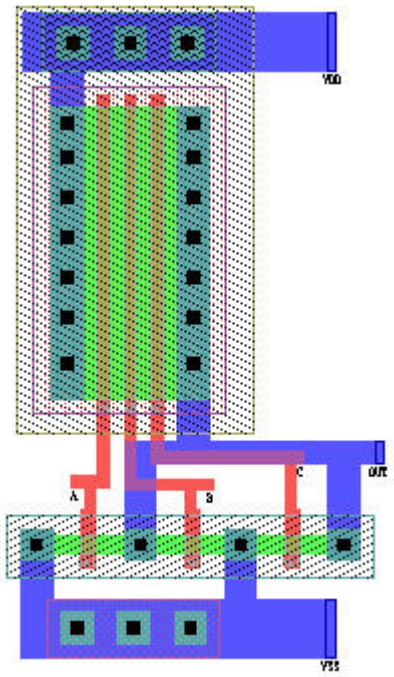

**ภาพผนวกที่ 6** เลย์เอาท์ของแนนด์เกท 3 อินพุท



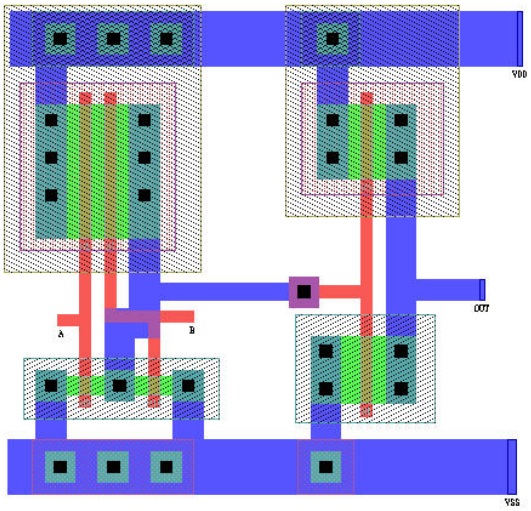

**ภาพผนวกที่ 7** เลย์เอาท์ของแนนด์เกท 4 อินพุท



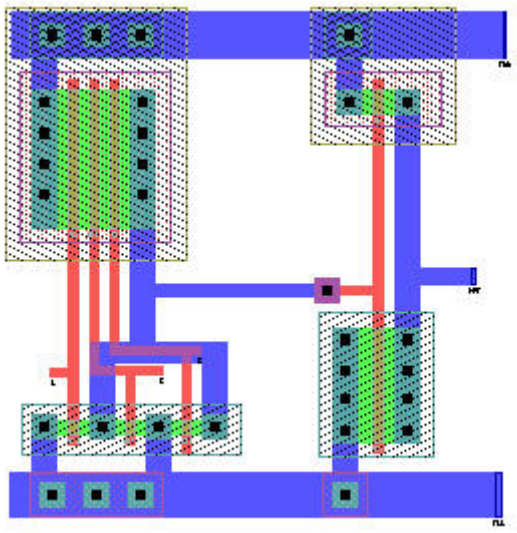

**ภาพผนวกที่ 8** เลย์เอาท์ของนอร์เกท 2 อินพุท



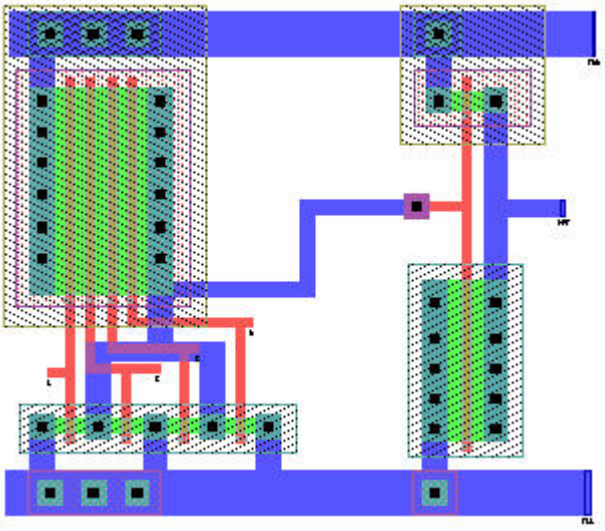

**ภาพผนวกที่ 9** เลย์เอาท์ของนอร์เกท 3 อินพุท



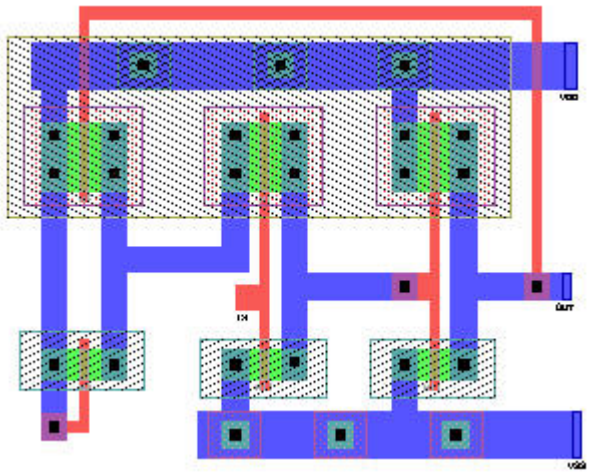

**ภาพผนวกที่ 10** เลย์เอาท์ของออร์เกท 2 อินพุท



**ภาพผนวกที่ 11** เลย์เอาท์ของออร์เกท 3 อินพุท



**ภาพผนวกที่ 12** เลย์เอาท์ของออร์เกท 4 อินพุท



**ภาพผนวกที่ 13** เลย์เอาท์ของวงจรปรับระดับแรงดัน

# ประวัติการศึกษา และการทำงาน

| | |
|---|---|
| ชื่อ –นามสกุล | นายธานินทร์ ดวงจันทร์ |
| วัน เดือน ปี ที่เกิด | 27 ตุลาคม 2516 |
| สถานที่เกิด | อำเภอบางปลาม้า จังหวัดสุพรรณบุรี |
| ประวัติการศึกษา | วศ.บ (วิศวกรรมศาสตรบัณฑิต) มหาวิทยาลัยสถาบันเทคโนโลยีราชมงคลธัญบุรี |
| ตำแหน่งหน้าที่การงานปัจจุบัน | - |
| สถานที่ทำงานปัจจุบัน | - |
| ผลงานดีเด่นและรางวัลทางวิชาการ | - |
| ทุนการศึกษาที่ได้รับ | - |