221176

ธานินทร์ ดวงจันทร์ 2552: การออกแบบวงจรรวมกำลังงานต่ำโดยใช้แหล่งจ่ายไฟหลายค่า ปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) สาขาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า ประธานกรรมการที่ปรึกษา: ผู้ช่วยศาสตราจารย์ ชูเกียรติ การะเกตุ, Ph.D. 106 หน้า

งานวิจัยนี้นำเสนอวิธีการลดกำลังงานสูญเสียโดยใช้วิธีการป้อนแรงดันไฟเลี้ยงหลายค่าสำหรับการออกแบบวงจรกำลังงานต่ำในระบบวงจรรวมขนาดใหญ่ เทคนิคนี้เป็นการป้อนระดับแรงดันไฟเลี้ยงที่แตกต่างกันให้แก่ลอจิกเกทแต่ละตัวในวงจรเพื่อลดกำลังงานสูญเสีย ในการทดลองได้พัฒนาโปรแกรมภาษาซีโดยใช้กราฟอัลกอริทึมแบบมีทิศทาง (Directed acyclic graph) เพื่อค้นหาเส้นทางของโครงข่ายกราฟโมเดล ในขั้นตอนแรกเป็นการคำนวณค่าเวลาหน่วงโดยเริ่มจากอินพุทปฐมภูมิไปยังเอาท์พุทปฐมภูมิ ค่าเวลาหน่วงในเส้นทางที่มีค่าเวลาหน่วงมากที่สุดเป็นเส้นทางวิกฤต ส่วนเส้นทางอื่นๆ ที่มีค่าเวลาหน่วงน้อยกว่าเส้นทางวิกฤตเป็นเส้นทางไม่วิกฤต ต่อมาเป็นการป้อนแรงดันไฟเลี้ยง 3 ระดับแรงดันให้ลอจิกเกทแต่ละตัวของแต่ละเส้นทาง เส้นทางที่เป็นเส้นทางวิกฤตจะถูกป้อนแรงดันที่ระดับ 5.0 โวลท์ ส่วนเส้นทางอื่นที่ไม่เป็นเส้นทางวิกฤตจะถูกป้อนแรงดันระดับ 3.3 โวลท์และ 4.0 โวลท์ ตามลำดับ สุดท้ายเป็นการหาค่ากำลังงานสูญเสียของเกททุกตัวในวงจรตามการป้อนแรงดัน ผลการทดลองพบว่า การป้อนแรงดันที่ระดับแรงดัน 3.3, 4.0 และ 5.0 โวลท์มีค่าเวลาหน่วงมากที่สุดเท่ากับค่าเวลาหน่วงมากที่สุดของวงจรที่ป้อนแรงดันระดับ 5.0 โวลท์ จากการทดลองในวงจรเดียวกัน นอกจากนี้ค่ากำลังงานสูญเสียจากการป้อนแรงดัน 3.3, 4 .0 และ 5.0 โวลท์มีค่าลดลงประมาณ 8.3-13.7 เปอร์เซ็นต์เมื่อเทียบกับการป้อนแรงดันที่ระดับสูงสุด

221176

Tanin Duangjan 2009: Design of Low-power VLSI Digital Circuit Using Multiple Supply Voltages. Master of Engineering (Electrical Engineering), Major Field: Electrical Engineering, Department of Electrical Engineering. Thesis Advisor: Assistant Professor Chugiat Garagate, Ph.D. 106 pages.

This study proposes the multiple voltage supply technique for low-power design of VLSI system. This technique applies difference levels of voltages to each of logic gate in circuit to reduce power dissipation. C programming was used to develop the directed acyclic graph algorithm to track path in network graph model. The processes were as follows. First, to compute the delay time of each path, the algorithm starts from its primary input to primary output. The longest delay time was the critical path and the other paths being shorter than the critical path were called non-critical path. Second, the three supply voltages were applied to each logic gate in both critical and non-critical paths. For the critical path, 5.0 volts were applied to all gates. Regarding non-critical paths, 3.3 volts and 4.0 volts were applied to those paths, which the total delay time must less than the critical path. Finally, the power dissipations of logic gates in each path were computed. The results showed that, in the same circuit, the maximum delay time applying the mixed 3.3, 4.0 and 5.0 volts were equal to those applying 5.0 volts only. In addition, the total dynamic power dissipation of the mixed 3.3, 4.0 and 5.0 volts were reduced about 8.3-13.7% when compared to those of the maximum voltages.