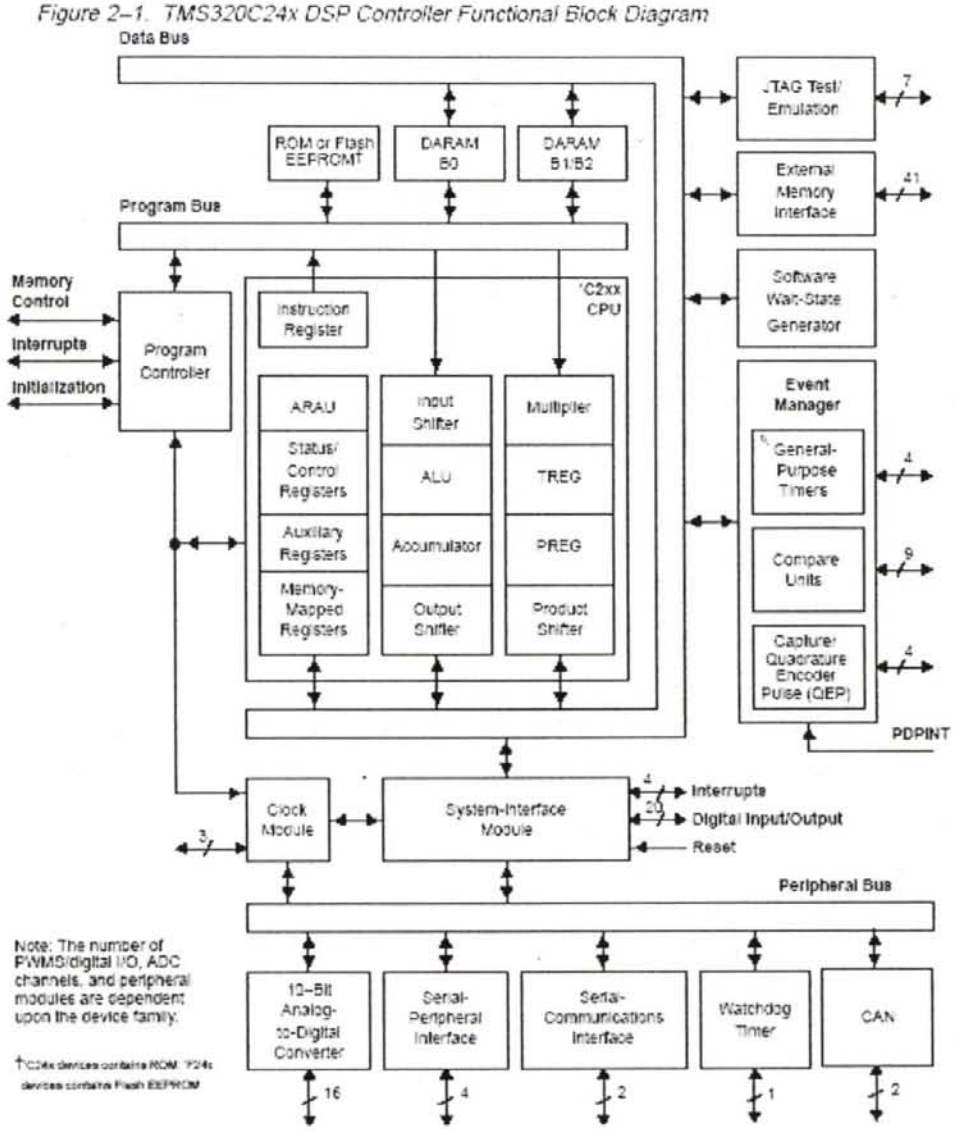
บทที่ 4 สถาปัตยกรรมของ DSP TMS320F243

เนื้อหาใน บทนี้จะนำเสนอการโครงสร้างและการทำงานหลักของตัวประมวลผลสัญญาณดิจิตอล ซึ่งในงานวิจัยนี้ใช้ดีเอสพีของบริษัทเทกซัสอินสตูรเมนท์ (Texas Instruments) รุ่น TMS320F243 ซึ่งเหมาะสำหรับประยุกต์ใช้ในการควบคุมมอเตอร์ เนื่องจากภายในตัวของตัวประมวลผลสัญญาณดิจิตอล (DSP) มีฟังก์ชันการรองรับค่าต่างๆมากมายดังนี้

- ส่วนแปลงสัญญาณเอนาล็อกเป็นดิจิตอลมีความละเอียด 10 บิต 1 ชุด
- ส่วนการนับขนาด 16 บิต 2 ชุด
- ส่วนการสร้างสัญญาณขับนำ PWM (Pulse Width Modulation) 8 ช่อง
- ตัวรับสัญญาณจากเอ็นโคดเดอร์ (Quadrate Encoder Pulse)
- มีพอร์ทอินพุต/เอาท์พุต 28 ช่อง
- มีชุดติดต่อสื่อสารแบบอนุกรม
- มีส่วนการคูณแบบ 16×16 บิตผลลัพธ์ขนาด 32 บิต
- มีหน่วยความจำ RAM ขนาด 544×16 และ Flash EEPROM ขนาด 8k×16 บิต

โดยมีรายละเอียดแต่ละส่วนดังรูปที่ 4.1

Figure 2–1. TMS320C24x DSP Controller Functional Block Diagram



รูปที่ 4.1 แสดงส่วนต่างของ DSP TMS320F243

4.1 คุณสมบัติเด่นของ TMS320F243

4.2 หน่วยประมวลผลกลาง

4.3 การจัดผังหน่วยความจำ

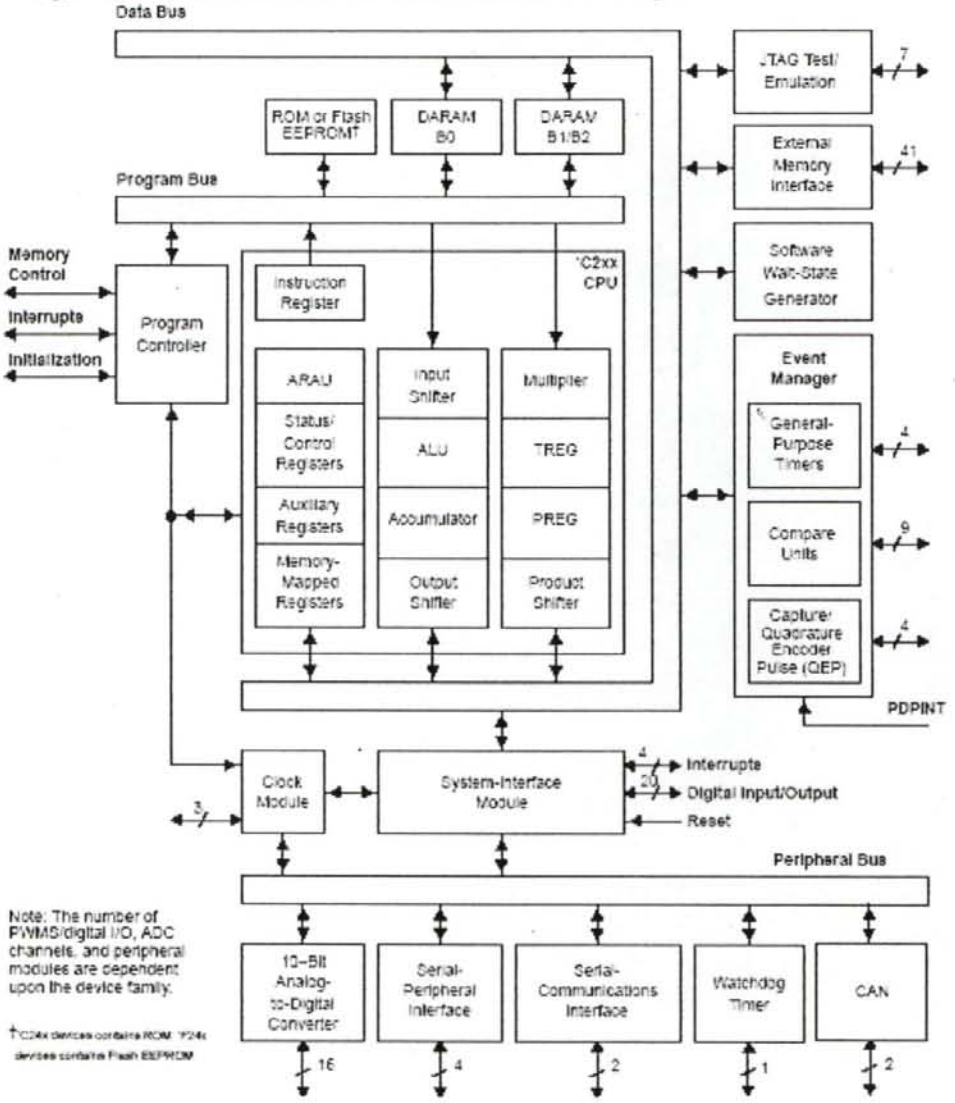
4.4 อุปกรณ์รอบข้างของหน่วยความจำ

4.5 โครงสร้างฮาร์ดแวร์ของ DSP TMS320F243

4.1 คุณสมบัติเด่นของ TMS320F243

ในหัวข้อนี้จะกล่าวถึงคุณสมบัติเด่นของ DSP รุ่น TMS320F243 ที่จะประยุกต์ใช้ในการควบคุมมอเตอร์เหนี่ยวนำ 3 เฟส

Figure 2–1. TMS320C24x DSP Controller Functional Block Diagram



รูปที่ 4.1 แสดงส่วนต่างของ DSP TMS320F243

4.1 คุณสมบัติเด่นของ TMS320F243

4.2 หน่วยประมวลผลกลาง

4.3 การจัดผังหน่วยความจำ

4.4 อุปกรณ์รอบข้างของหน่วยความจำ

4.5 โครงสร้างฮาร์ดแวร์ของ DSP TMS320F243

4.1 คุณสมบัติเด่นของ TMS320F243

ในหัวข้อนี้จะกล่าวถึงคุณสมบัติเด่นของ DSP รุ่น TMS320F243 ที่จะประยุกต์ใช้ในการควบคุมมอเตอร์เหนี่ยวนำ 3 เฟส

4.1.1 หน่วยประมวลผลกลาง (Central Processing Unit : CPU) ทำงานแบบขนานซึ่งสามารถประมวลคำสั่งได้ในเวลาเดียวกัน เช่น การคำนวณทางคณิตศาสตร์ที่ทำงานได้รวดเร็วกว่าตัวประมวลผลทั่วไป เมื่อเทียบกับตัวประมวลผลรุ่นอื่น

4.1.2 มีชุดคำสั่งที่ช่วยประมวลผลสัญญาณแบบดิจิตอล

4.1.3 มีฟังก์ชันการแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่มีความละเอียด 10 บิต 1 ชุด ซึ่งมีความเร็วในการแปลงสัญญาณไม่เกิน 0.85 us ต่อช่วงจึงสามารถใช้ได้เสมือนมีตัวแปลงสัญญาณ 2 ชุด ทำให้สามารถอ่านค่าสัญญาณอนาล็อกได้ 2 สัญญาณในเวลาเดียวกัน

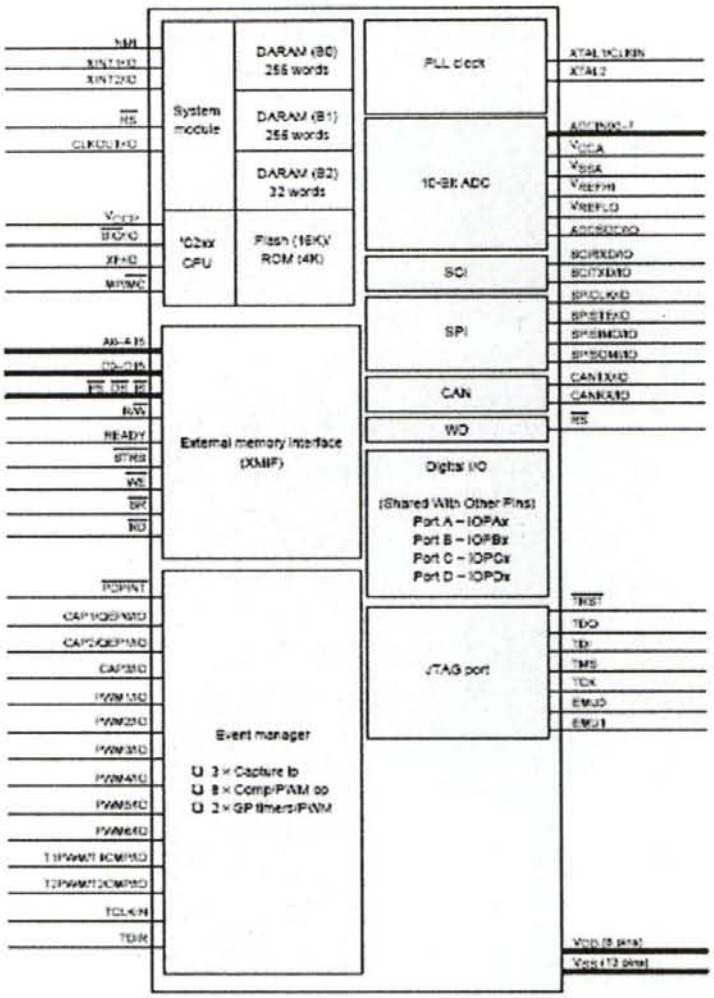
4.1.4 มีส่วนที่สร้างสัญญาณพีคับบลิวเอ็ม (Plus With Modulation : PWM) และส่วนของการประวิงเวลาการสวิตช์ (Dead Time)

4.1.5 มีส่วนของการนับสัญญาณพัลส์จากตัวตรวจจับความเร็วมอเตอร์หรือเอ็นโคดเดอร์แบบการสร้างสัญญาณต่างเฟสกัน 90 องศา

4.1.6 ภายในของตัว DSP รุ่น TMS320F243 ยังประกอบไปด้วยอุปกรณ์รอบข้างให้ใช้งานอย่างกว้างในการทำงานรองรับอิเล็กทรอนิกส์กำลัง เช่น พอร์ทอินพุต/เอาท์พุต ตัวติดต่อสื่อสารแบบอนุกรมกับคอมพิวเตอร์เป็นต้น

4.2 หน่วยประมวลผลกลาง

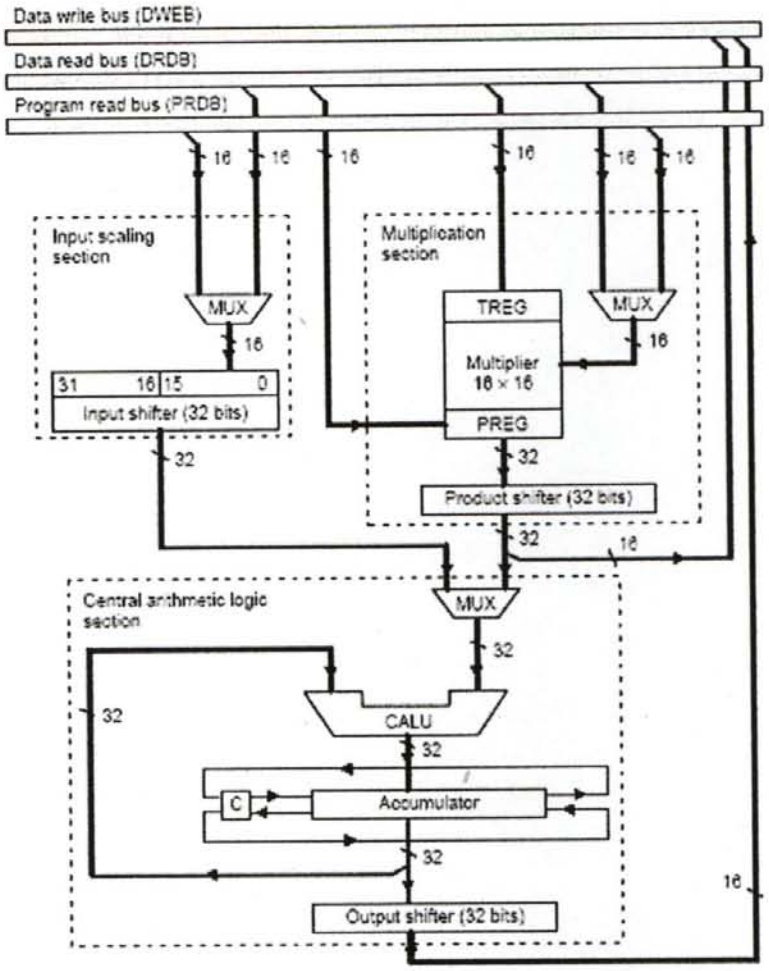
โครงสร้างของหน่วยประมวลผลกลางของ TMS320F243 ประกอบด้วยส่วนต่างๆดังนี้ ดังรูปที่ 4.2



Notes: 1) CAN and SPI are not available in 'C242.
2) XMIF is not available in 'F241 and 'C242.

รูปที่ 4.2 แสดงหน่วยประมวลผลของ

และโครงสร้างภายในของ CPU แสดงดังรูปที่ 4.3



รูปที่ 4.3 แสดงโครงสร้างหน่วยประมวลผล (CPU)

- ตัวปรับตัวเลขการเลื่อนบิตอินพุท
- ตัวปรับตัวเลขการเลื่อนบิตเอาท์พุท
- ตัวคูณเลขแบบขนาน 16×16 บิต
- หน่วยคณิตศาสตร์และลอจิกส่วนกลางขนาด 32 บิต
- แอคคิวมูเลเตอร์ขนาด 32 บิต
- ตัวเลื่อนบิตเอาท์พุท

โดยแต่ละส่วนมีการทำงานดังนี้

4.2.1 การเลื่อนบิต (Scaling Shifter)

ประโยชน์ของการเลื่อนบิตคือการสเกลข้อมูล แยกข้อมูล เพิ่มค่าทางคณิตศาสตร์และยังป้องกันการเกิด Over flow โดย DSP (TMS320F243) จะมีวงจรเลื่อนบิต 3 ตำแหน่งดังนี้

1) ตำแหน่งเลื่อนบิตอินพุต (Input shifter) ตัวเลื่อนบิตรับค่าอินพุต 16 บิต จากบัสข้อมูลแล้วจะเลื่อนบิตไปทางซ้ายได้ตั้งแต่ 0-16 บิต โดยจะเลื่อนไปทางที่มีเลขนัยสำคัญสูงกว่า และบิตที่มีเลขนัยสำคัญน้อยกว่า จะเติมด้วย 0 ถ้ากำหนดค่ารีจิสเตอร์สถานะ STI ในโหมดบิตเครื่องหมายบิตที่มีนัยสำคัญสูงสุดจะเติม 0 ไม่แสดง เครื่องหมาย (Sign bit)

2) ตำแหน่งเอ้าท์พุทตัวคูณ (Product shifter) ตัวเลื่อนบิตอินพุทจากรีจิสเตอร์ผลคูณ (PREG) มีขนาด 32 บิต คือค่าผลคูณจากการคูณแบบขนาน ขนาด 16×16 บิต แล้วทำการเลื่อนบิตไปทางซ้ายได้ 0,1,4 บิต หรือเลื่อนทางขวาได้ 6 บิต โดยการกำหนดค่ารีจีสเตอร์สถานะ ST1 ในโหมดการเลื่อนผลลัพธ์

3) ตำแหน่งเอ้าท์พุทแอคคิวมูเลเตอร์ (Accumulator Output shifter) ตัวเลื่อนบิตรับค่าอินพุตจาก ACC ขนาด 32 บิต แล้วเลื่อนไปทางซ้าย 0-7 ตำแหน่ง เมื่อ ACCH ถูกเลื่อนไปทางซ้ายค่า ACCL จะเลื่อนไปทางซ้ายด้วย ขณะที่ตำแหน่งเดิมจะถูกเติมด้วย 0 แล้วสั่งเอาท์พุตทีละ 16 บิต ไปเก็บในบัสข้อมูล

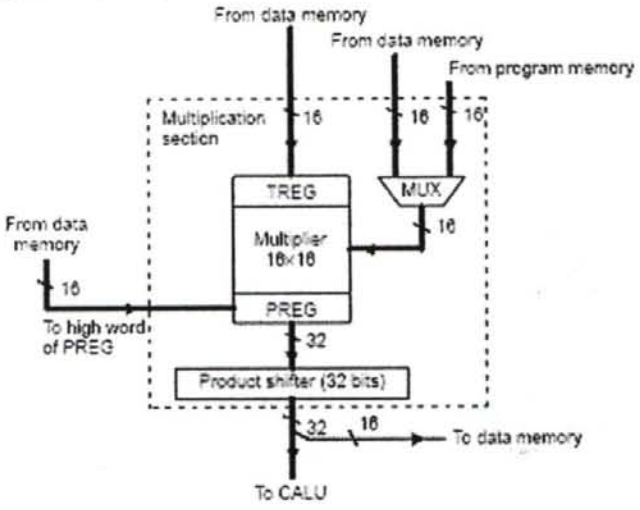
4.2.2 หน่วยคณิตศาสตร์และลอจิกส่วนกลาง (Central Arithmetic Logic Unit)

โครงสร้างภายใน DSP (TMS320F243) ซึ่งมีหน่วยความจำทางคณิตศาสตร์และลอจิก (ALU) ขนาด 32 บิตเป็นหน่วยประมวลผลทางคณิตศาสตร์ทั่วไปหลังการประมวลผลจะเก็บไว้ที่ ACC และสำหรับข้อมูล ACC ขนาด 32 บิต หลังรับค่ามาจาก ALU แล้วจะแบ่งข้อมูลเป็น 2 ส่วน ได้ส่วนละ 16 บิต ซึ่งเป็นค่าเอาท์พุตแล้วส่งไปที่วงจรเลื่อนบิต เพื่อทำการเลื่อนบิตก่อนไปที่บัสข้อมูล เพื่อตอบสนองการประมวลผลสัญญาณดิจิตอลที่ต้องการความละเอียดของตัวเลขมากโดยใช้เวลาการทำงาน 1 รอบ

4.2.3 ตัวคูณ (Multiplier)

ภายในตัวประมวลผล จะมีวงจรคูณแบบขนาด 16×16 บิต จะคำนวณแบบกระทำแบบติดเครื่องหมายและไม่ติดเครื่องหมาย จะได้เอาท์พุต 32 บิต ต่อการทำงาน 1 รอบ ซึ่งคำสั่งการคูณทั้งหมดยกเว้น MDYU จะกระทำแบบคิดเครื่องหมาย โดยที่ค่าตัวคูณมาจากบัสข้อมูลรีจิสเตอร์ TREG ใช้เก็บตัวตั้งขนาด 16 บิต และรีจิสเตอร์ PREG จะเป็นผลลัพธ์ของผลการคูณมีขนาด 32 บิตโดยบล็อกไดอะแกรมของการคูณแสดงดังรูปที่ 4.4

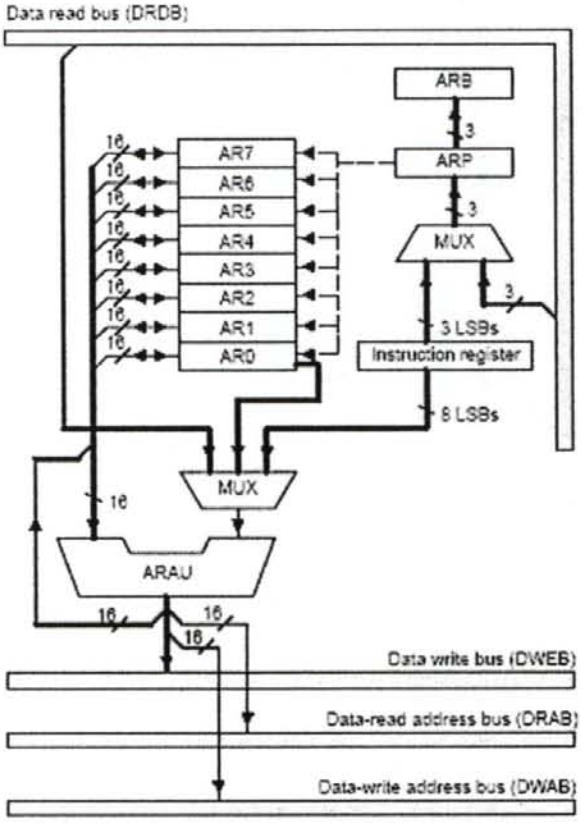
Figure 4–5. Block Diagram of the Multiplication Section



รูปที่ 4.4 แสดงส่วนการคูณ

4 .2.4 หน่วยความจำรีจิสเตอร์ช่วย (Auxiliary Register Arithmetic Unit : ARAU)

DSP (TMS320F243) จะมีรีจิสเตอร์ช่วย 16 บิต 8 ตัว ได้แก่ AR0-AR7 สำหรับช่วยในการอ้างตำแหน่ง (Address) ทางอ้อมของหน่วยความจำข้อมูล โดย ARAU แสดงดังรูปที่ 4.5



รูปที่ 4.5 แสดงส่วนประกอบของ ARAU

หรือนำค่าไปเก็บไว้ในข้อมูลชั่วคราว โดยการชี้ตำแหน่งของหน่วยความจำข้อมูลของการกระทำคำสั่งต่อรีจิสเตอร์ 1 ตัว รีจิสเตอร์เหล่านี้สามารถอ้างจากรีจิสเตอร์ ARP (Auxiliary Register Pointer) ขนาด 3 บิต และสามารถดาวน์โหลดเข้าโดยตรงจากข้อมูลในหน่วยความจำหรือโหลดกลับเข้าไปหน่วยความจำข้อมูลได้

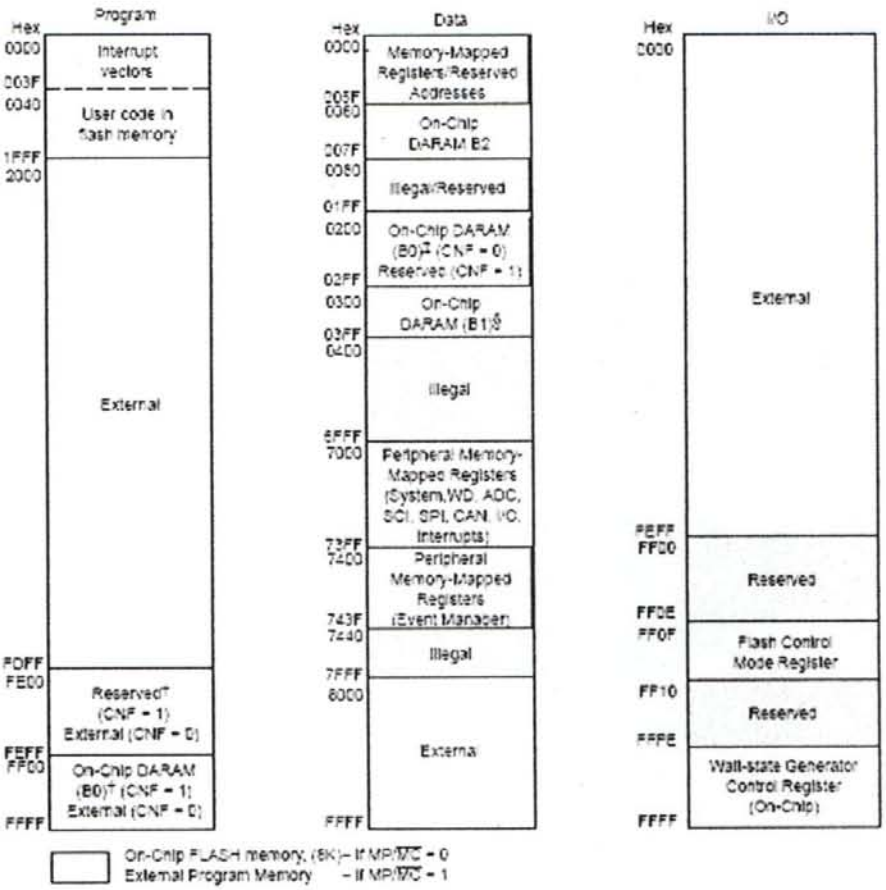
หน่วยความจำคณิตศาสตร์รีจิสเตอร์ช่วย จะเป็นส่วนแยกย่อยจากการคำนวณแยกอิสระจาก CALU โดยมีหน้าที่คำนวณเพิ่มหรือลดค่ารีจิสเตอร์ช่วย โดยอัตโนมัติในการใช้ รีจิสเตอร์ช่วยในการอ้างตำแหน่งทางอ้อมของหน่วยความจำข้อมูล การเพิ่มหรือลดค่าแต่ละครั้งสามารถทำได้ทีละ 1 ค่าหรือกำหนดค่าทาง AR0 ด้วยการทำงานของหน่วยคณิตศาสตร์รีจิสเตอร์ช่วยนี้เองจึงเป็นผลให้การอ้างตำแหน่งทางอ้อมเพื่อนำชุดข้อมูลลักษณะแบบตารางทำได้ง่ายและรวดเร็ว

4.2.5 การอ้างตำแหน่งของหน่วยความจำ (Memory Addressing Mode)

DSP (TMS320F243) จะสามารถอ้างตำแหน่งได้ทั้งหมด 64 Kword ของหน่วยความจำโปรแกรม และ 64 Kword ของหน่วยความจำข้อมูล ROM

4.3 การจัดผังหน่วยความจำ

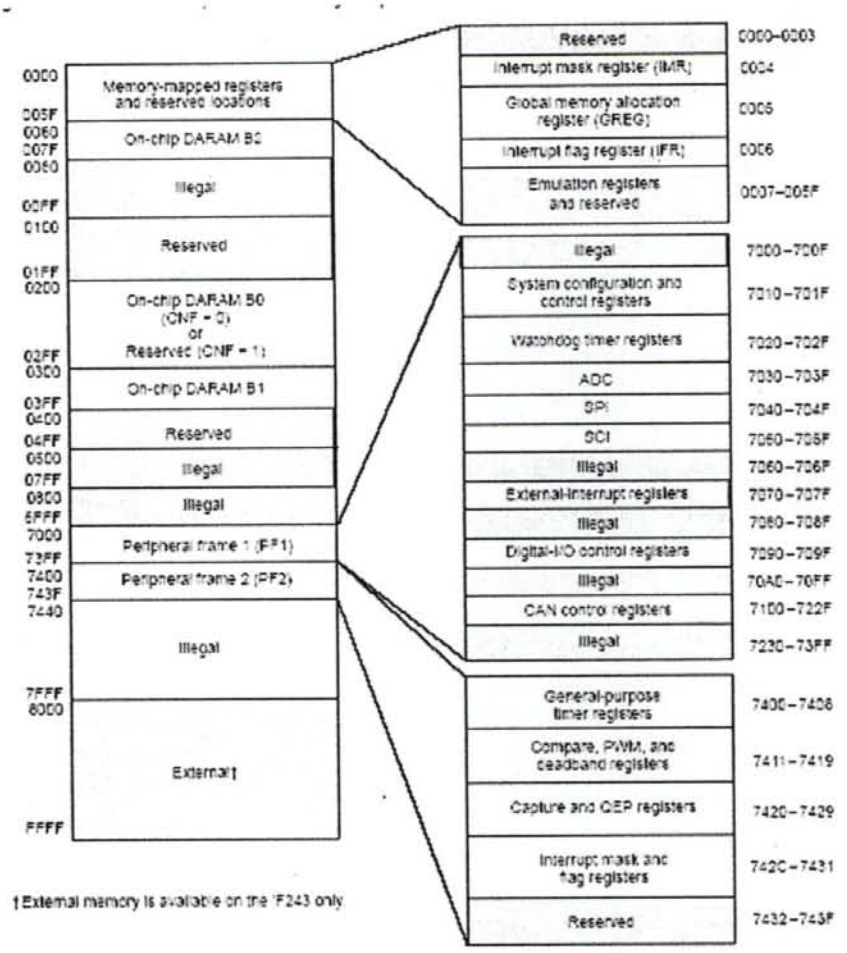
ในการอ้างแอดเดรสของ TMS320F243 จะมีการอ้างแอดเดรสแยกระหว่างหน่วยความจำโปรแกรม หน่วยความจำข้อมูล และหน่วยความจำอินพุตเอาท์พุต (สัญญาณที่ขา PS, DS และ IS) ในทุกหน่วยความจำสามารถอ้างแอดเดรสได้ 64 Kword ในหน่วยความจำข้อมูลเนื้อที่ 96 ตำแหน่งแรกคือ 0-5Fh ซึ่งเป็นพื้นที่สำหรับเก็บสถานการณ์ทำงานของตัวประมวลผลกลาง (Central Processing Unit) ดังรูปที่ 4.6 ที่แสดงรายละเอียดของการจัดตำแหน่งผังหน่วยความจำทั้ง 3 ชนิด



รูปที่ 4.6 แสดงการจัดผังของ DSP รุ่น TMS320F243

4.4 อุปกรณ์รอบข้างของหน่วยความจำ

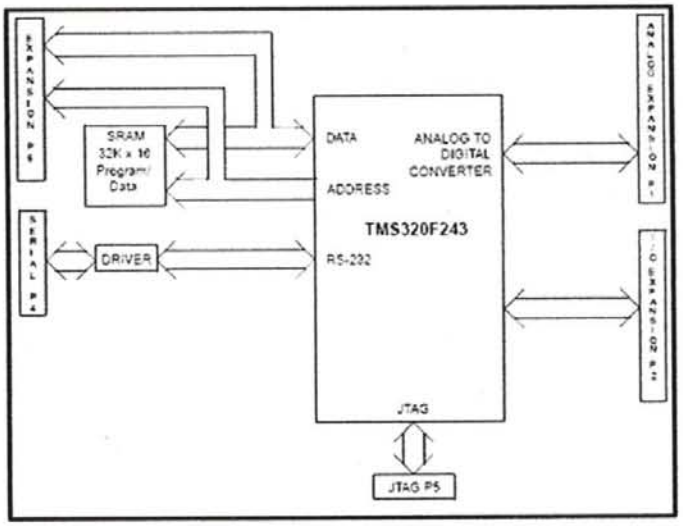
ในการควบคุมการสั่งงาน หรืออ่านสถานการณ์ทำงานของ DSP ของอุปกรณ์รอบข้างภายในชิป TMS320F243 สามารถอ่านและเขียนโปรแกรมลงในหน่วยความจำอินพุตและหน่วยความจำเอ้าท์พุทที่ตำแหน่ง 0000-7FFFFh โดยอุปกรณ์รอบข้างแต่ละส่วนแสดงตามรูปที่ 4.7



รูปที่ 4.7 แสดงตำแหน่งอุปกรณ์รอบข้างของ DSP

4 .5 โครงสร้างฮาร์ดแวร์ของ DSP TMS320F243

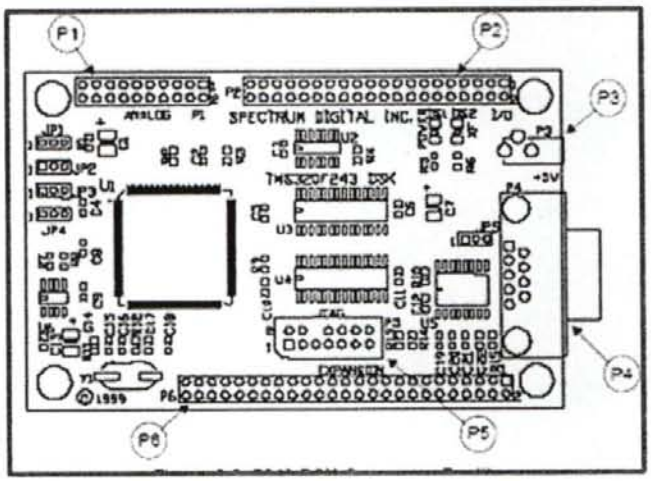
ในรูปที่ 4.8 แสดงบล็อกไดอะแกรมของบอร์ด DSP โดยได้แสดงตำแหน่งจุดเชื่อมต่อต่างๆดังนี้



รูปที่ 4.8 แสดงส่วนของบอร์ด DSP รุ่น TMS320F243

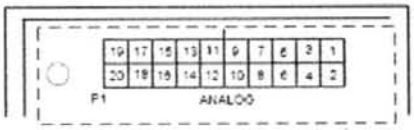
ตารางที่ 4.1 แสดงตำแหน่งของจุดเชื่อมต่อ

Connector	Function
P1	Analog interface
P2	I/O interface
P3	Power Connector
P4	RS-232 Interface
P5	JTAG Interface
P6	Expansion Connector



รูปที่ 4.9 แสดงส่วนประกอบต่างๆของบอร์ด DSP ตามตารางที่ 4.1

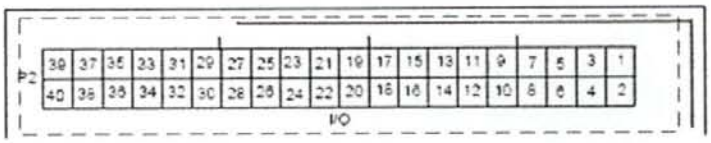
ตารางที่ 4.2 แสดงตำแหน่งขาตามพอร์ทที่ P1



ตารางแสดง ตำแหน่งขาของจุด P1

Pin #	Signal	Pin #	Signal
1	GND	2	ADC0
3	GND	4	ADC1
5	GND	6	ADC2
7	GND	8	ADC3
9	GND	10	ADC4
11	GND	12	ADC5
13	GND	14	ADC6
15	GND	16	ADC7
17	GND	18	VREFLO
19	GND	20	VREFHI

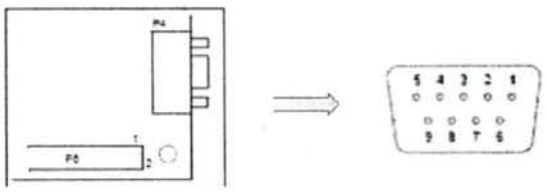
ตารางที่ 4.3 แสดงตำแหน่งขาต่างตามพอร์ทที่ P2



ตารางแสดง ตำแหน่งขาของจุด P2

Pin #	Signal	Pin #	Signal
1	Vcc	2	Vcc
3	SCITXD/IOPA0	4	SCIRXD/IOPA1
5	XINT-/IOPA2	6	CAP1/QEP0/IOPA3
7	CAP2/QEP1/IOPA4	8	CAP3/IOPA5
9	CMP1/IOPA6	10	CMP2/IOPA7
11	CMP3/IOPB0	12	CMP4/IOPB1
13	CMP5/IOPB2	14	CMP6/IOPB3
15	T1CMP/IOPB4	16	T2CMP/IOPB5
17	IDIR/IOPB6	18	TCLKIN/IOPB7
19	GND	20	GND
21	XF/IOPC0	22	BIO-/IOPC1
23	SPISIMO/IOPC2	24	SPISOMI/IOPC3
25	SPICLK/IOPC4	26	SPISTE/IOPC5
27	CANTX/IOPC6	28	CANRX/IOPC7
29	CLKOUT/IOPD0	30	XINT2-/ADCSOC/IOPD1
31	IOPD2	32	IOPD3
33	IOPD4	34	IOPD5
35	IOPD6	36	IOPD7
37	PDPINT-	38	RESERVED
39	GND	40	GND

ตารางที่ 4.4 แสดงตำแหน่งขาต่างๆตามพอร์ทที่ P4



ตารางแสดง ตำแหน่งขาของจุด P4

Pin #	F243 DSK
1	Reserved
2	Tx. output
3	Rx. input
4	Reset. input
5	GND
6	Reserved
7	Reserved
8	Reserved
9	Reserved