T 155226

วงจรอสมวารเป็นวงจรที่ไม่ใช้สัญญาณนาฬิกาซึ่งแตกต่างจากวงจรสมวาร หากความหน่วงของวงจรอสมวารไม่สอดคล้องกับข้อกำหนดความหน่วงอาจทำให้ทำงานผิดพลาดได้ การออกแบบวงจรอสมวารจึงมีความจำเป็นต้องทดสอบข้อผิดพลาดของความหน่วง วิทยานิพนธ์นี้นำเสนอวิธีการทดสอบข้อผิดพลาดความหน่วงสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ที่สร้างจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ โดยทดสอบจากการสร้างคู่เวกเตอร์ทดสอบเพื่อตรวจสอบการเปลี่ยนแปลงระดับสัญญาณในวงจรได้สองวิธี วิธีแรกคือการทดสอบข้อผิดพลาดความหน่วงในการทำงานซึ่งเป็นการทดสอบการทำงานตามข้อกำหนดความหน่วงของวงจรเชิงผสมแบบอสมวาร และวิธีที่ 2 คือ การทดสอบเชิงโครงสร้างเป็นการทดสอบข้อผิดพลาดความหน่วงเส้นทางซึ่งเป็นการทดสอบจากการสร้างคู่เวกเตอร์ทดสอบเพื่อตรวจสอบหาค่าความหน่วงของเส้นทางเพื่อตรวจสอบความถูกต้องของวงจร สำหรับการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางแบ่งการสร้างเป็น 2 ส่วนตามโครงสร้างของวงจรเชิงผสมแบบอสมวาร คือ การสร้างเวกเตอร์ทดสอบสำหรับวงจรรางคู่และวงจรตอบรับ ทั้งนี้วิทยานิพนธ์นี้ยังเสนออีกว่า ในกรณีที่วงจรเชิงผสมสร้างจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ การสร้างเวกเตอร์ที่กล่าวมาสามารถสร้างโดยวิเคราะห์จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับได้โดยตรงจึงสามารถสร้างเวกเตอร์ทดสอบพร้อมกับการออกแบบได้ นอกจากนี้ยังนำเสนอการนำค่าความหน่วงที่ได้จากการทดสอบมาปรับปรุงวงจรโดยลดการเลือกดึงสายสัญญาณในการสร้างวงจรตอบรับได้

TE 155226

Since asynchronous circuits do not use global clock which differ from synchronous ones, so the circuits may not operate correctly without timing assumption. Hence, delay testing in asynchronous circuits is necessary. In this thesis, two approaches for delay testing of Scalable-Delay-Insensitive asynchronous combinational circuits, using Reduced-Ordered-Binary Decision Diagram (ROBDD) by the vector pair are proposed. One is a functional delay testing whose tested circuits based on timing assumption of asynchronous combinational circuits. Another one is a path delay testing based on circuit structure. The test generation for path delay testing generated can be divided into two parts according to the type of the circuits -- Dual-rail circuits and acknowledgement circuits. This thesis shows that the circuits implemented using ROBDD; the test can be directly generated from ROBDD. Thus, circuit design and test generation can be done simultaneously. Moreover, the thesis also proposes that the results of path delay test can be used to reduce the selected wires for constructing acknowledgement circuits.