เอกสารแนบ
สำเนาหลักฐานผลงานเพื่อการประเมินผลสำเร็จของโครงการ

การตีพิมพ์ในวารสารระดับนานาชาติ (ไม่มีค่า Impact Factor) 1 ผลงาน

[1] A. Kaewpoonsuk, R. Katman, A. Julsereewong, and V. Riewruja, "An Amplitude Detector Using Up-Down Counter," ICIC Express Letters, Vol. 6, No. 3, March, 2012, 645-650.

การตีพิมพ์ในวารสารระดับประเทศ 2 ผลงาน

[1] อนุชา แก้วพูลสุข และ รัชนู กัดมั่น, "ตัวสร้างสัญญาณควบคุมโดยอาศัยวงจรกรองความถี่ผ่านหมดสำหรับการพัฒนาวงจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์," วารสารวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ปีที่ 8 ฉบับที่ 1, เม. ย.-ก.ย., 2554, 44-56.

[2] อนุชา แก้วพูลสุข และ รัชนู กัดมั่น, "การออกแบบตัวแปลงค่าแอมพลิจูดเป็นสัญญาณ-ดิจิทัลโดยใช้เทคนิคการประมาณค่าสืบเนื่อง," วารสารมหาวิทยาลัยนเรศวร ปีที่ 18 ฉบับที่ 3, ก.ย.-ธ.ค., 2553, 36-45.

การนำเสนอในการประชุมวิชาการที่มีการตีพิมพ์บทความบน Proceedings 2 ผลงาน

[1] A. Kaewpoonsuk, W. Petchmaneelumka, and T. Cheypoca, "A Simple Technique for Measuring Amplitude of Transient Signals," ITC-CSCC 2011, Gyeongju, Korea, June 19-22, 2011.

[2] A. Kaewpoonsuk, R. Katman, T. Kamsri, A. Rerkratn, and V. Riewruja, "A Simple Amplitude Detector-based Demodulator for Resolver Converters," International Conference on Control, Automation and Systems 2010, KINTEX, Gyeonggi-do, Korea, Oct. 27-30, 2010.

การนำเสนอในการประชุมวิชาการที่มีการตีพิมพ์เฉพาะ Abstract 3 ผลงาน

[1] A. Kaewpoonsuk, R. Katman, A. Julsereewong, and V. Riewruja, "An Amplitude Detector Using Up–Down Counter," The Sixth International Conference on Innovative Computing, Information and Control (ICICIC2011), Kitakyushu, Japan, Dec. 22–24, 2011.

[2] อนุชา แก้วพูลสุข, "วงจรหาค่าแอมพลิจูดโดยใช้วงจรกรองความถี่ผ่านหมดทำหน้าที่เป็นตัวสร้างสัญญาณควบคุม," การประชุมวิชาการนเรศวรวิจัย ครั้งที่ 7, มหาวิทยาลัยนเรศวร, จ. พิษณุโลก, 29–30 ก.ค. 2554.

[3] อนุชา แก้วพูลสุข, และ รัชนู กัดมั่นม "การสังเคราะห์วงจรแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัลสำหรับสัญญาณไซนูซอยด์," การประชุมวิชาการวิทยาศาสตร์วิจัย ครั้งที่ 3, คณะวิทยาศาสตร์, มหาวิทยาลัยนเรศวร, จ. พิษณุโลก, 14–15 มี.ค. 2554.

ได้สิ่งประดิษฐ์ อุปกรณ์ เครื่องมือ หรืออื่นๆ ที่สามารถนำไปใช้ประโยชน์ต่อไป 1 ผลงาน

[1] บอร์ดวงจรวงจรตรวจวัดค่าแอมพลิจูดโดยใช้เทคนิคการนับและติดตามค่า

Volume 6, Number 3, March 2012 ISSN 1881-803X

ICIC Express Letters

An International Journal of Research and Surveys

Editors-in-Chief
Yan Shi, Tokai University, Japan
Junzo Watada, Waseda University, Japan

Indexed by *Ei Compendex (Elsevier)*
Scopus (Elsevier)
INSPEC (IET)

Published by ICIC International
http://www.ijicic.org/icicel.htm

ICIC Express Letters
Volume **6**, Number **3**, March **2012**

ICIC International ©2012 ISSN 1881-803X
pp. 645–650

AN AMPLITUDE DETECTOR USING UP-DOWN COUNTER

Anucha Kaewpoonsuk[1], Ratchanoo Katman[1], Amphawan Julsereewong[2] and Vanchai Riewruja[2]

[1]Physic-Electronics Research Group
Department of Physics
Faculty of Science
Naresuan University
Phitsanulok 65000, Thailand
anuchak@nu.ac.th; nu_katman@hotmail.com

[2]Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang
Ladkrabang, Bangkok 10520, Thailand
{ kcamphaw; kvanchai }@kmitl.ac.th

Received June 2011; accepted September 2011

Abstract. *This article presents a novel and simple amplitude detector for sinusoidal signals. The realization technique utilizes up/down counting and holding capabilities of up-down counter without low-pass filter or sample-and-hold circuit requirement. The proposed circuit consists of a control signal generator, a peak detector, a windows detector, a digital-to-analog converter, and an up-down counter. The proposed detector can produce both analog output and 12-bit digital output signals, which are proportional to the amplitude value of analog input signals. In addition, output signals with small ripple can be achieved. The experimental results show that the proposed detector can work with the input voltage in range 250 mV to 5 V. The maximum frequency for input signals is approximately equal to 100 kHz with maximum analog output error of 0.8 %.*
Keywords: Amplitude detector, Envelope detector, Peak detector, Tracking technique, Up-down counter

1. **Introduction.** Amplitude detector is an important circuit building block in communication, instrumentation, and measurement systems. The function of amplitude detector is to generate output signals proportional to an amplitude or peak value of sinusoidal input signals. Its applications can be found in literature [1-4]. One of well-known amplitude detectors is implemented using rectifier and low-pass filter [5,6]. The second approach for detecting root-mean-square value of input amplitude signal is based on low-pass filter connected with squarer and divider [7,8]. However, all the mentioned detectors suffer from two major problems. The first limitation is that several cycles of input signal are required for low-pass filter to settle to the corresponding average DC level; thus the circuit operation speed is low. The second problem due to a filter capacitor is the ripple between previous values and succeeding tracking. The third approach is implemented using 90-degree phase shifter, square root circuit, and square circuits [9,10]. These proposed detectors are based on the concept of orthogonal function set with fast settling. Unfortunately, they can support only fixed frequency sinusoidal signals. The fourth approach based on CMOS technology requires closely matched transistors, which can be accurately realized only in monolithic integrated circuit form [11,12]. The fifth approach in [13] is based on the use of control logic circuit, peak detector, and sample-and-hold circuit to provide analog output proportional to input amplitude. In order to obtain the 8-bit digital output signals, the amplitude detector using counting technique has been introduced in [14]. However, its operation speed is slow since the counter used requires to be reset

before succeeding operation cycle. Alternatively, the successful method based on the use of up-down counter for implementing a frequency-to-voltage converter has been proven [15]. The aim of this article is to propose the similar technique using up-down counter. However, we develop this idea in the different way to realize an amplitude detector. Compared with the methods in [13,14], the proposed detector provides both analog output and digital outputs and can support wider input frequency range. Experimental results that verify the circuit performance are also given.

2. **Concept and Design Technique.** The schematic of the proposed amplitude detector as shown in Figure 1 consists of a control signal generator, a peak detector, a windows detector, a digital-to-analog converter (DAC), and an up-down counter. The three last circuits function as the 12-bit counter-and-tracking analog-to-digital converter (ADC). For the purpose of operation analysis, we assume that the sinusoidal input can be stated as

$$V_{in} = A_t \sin(2\pi f_{in} t) = A_t \sin(2\pi t / T_{in}) \tag{1}$$

where A_t, f_{in} and T_{in} are the amplitude, the frequency, and the time period of input signal, respectively. Figures 2(a) and 2(b) show the signal waveforms at various nodes of the proposed detector for the cases of $V_{out} < A_t$ and $V_{out} > A_t$ at initial condition, respectively. The sequential operation cycle of the proposed circuit within two periods of input signal can be divided into 4 steps, which can be explained as follows.

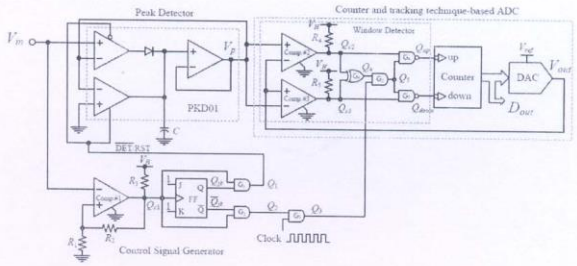


FIGURE 1. Schematic of proposed amplitude detector using up-down counter

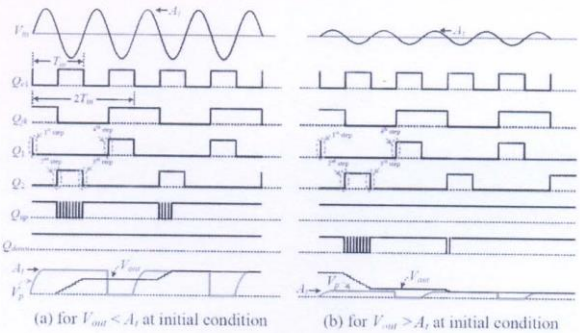


FIGURE 2. Signal waveforms at various nodes of the proposed detector

In the 1st step, the control signal Q_1 changes its state from high (1) to low (0) to allow the peak detector to track and hold the most positive peak value of V_{in}. After time $t = T_{in}/4$, the voltage output (V_p) is then determined as

$$V_p = A_t \tag{2}$$

In the 2nd step, the control signal Q_2 changes its state from low (0) to high (1) to apply the clock signal for the counter. The detected signal V_p is compared with the analog output V_{out} by two comparators Comp#2 and Comp#3. The comparison results Q_{c2} and Q_{c3} are used to enable the counter to count up or down. If $Q_{c2} = 1$ and $Q_{c3} = 0$ ($V_{out} < V_p$), the counter counts up and the counted signal becomes the digital output D_{out}. Simultaneously, the digital bits are converted into the analog signal (V_{out}) using the DAC, and V_{out} is also fed back to compare with V_p. If $Q_{c2} = 0$ and $Q_{c3} = 1$ ($V_{out} > V_p$), the counter counts down. For the case of $Q_{c2} = 1$ and $Q_{c3} = 1$ ($V_{out} = V_p$), the output of the gate G4 (Q_4) becomes low, so no clock signal is applied to the counter. The counter will be stopped when $V_{out} = V_p$ or the signal Q_2 changes its state from high to low. At this time, the counter will hold the digital output D_{out}, and the analog output V_{out} will be constant before the next operation cycle. This means that if the signal Q_2 changes its state from high to low when $V_{out} < V_p$, the counter will start to count from the held value.

In the 3rd step, the signal Q_2 changes its state from high to low to stop the work of the counter. No clock signal is applied to the counter.

In the 4th step, the signal Q_1 changes its state from low to high to reset the detected value of the peak detector for succeeding operation cycle.

3. **Circuit Parameter Analysis.** The circuit parameters that affect the performance of the proposed detector are investigated. The first parameter is the operation time of each cycle that varies according to the twice of the period of sinusoidal input signals. The second parameter affecting the detection time is a slew rate of the ADC, which can be given by

$$slew\ rate = f_{ck} V_{ref} / 2^n \tag{3}$$

where f_{ck} denotes the frequency of clock signal used, V_{ref} is the full-scale output of the DAC, and n is the bit number. The third parameter is the maximum change of V_{out} that can be generated in each operation cycle as

$$\Delta V_{out(\max)} = slew\ rate(T_{in}/2) = f_{ck} V_{ref} / (2 f_{in} 2^n) \tag{4}$$

The fourth parameter is the detection time, T_{detect}, of the proposed detector for providing $V_{out} = V_p$. The time T_{detect} can be expressed as

$$T_{\text{detect}} = \begin{cases} 2^n \Delta V / (f_{ck} V_{ref}) + T_{in}/2; & \text{for } |\Delta V| \le \Delta V_{out(\max)} \\ 2^n \Delta V_n / (f_{ck} V_{ref}) + T_{in}/2 + 2mT_{in}; & \text{for } |\Delta V| > \Delta V_{out(\max)} \end{cases} \tag{5}$$

where

$$\Delta V = V_p - V_{out} \tag{6}$$

$$m = \text{int}\,|\Delta V| / \Delta V_{out(\max)} \tag{7}$$

$$\Delta V_n = \Delta V - m \Delta V_{out(\max)} \tag{8}$$

Based on (3)-(5), if $\Delta V = 1$ V, $f_{ck} = 1$ MHz, $f_{in} = 1$ kHz, $n = 12$, and $V_{ref} = 5$ V, then $slew\ rate = 1.2207$ V/s, $\Delta V_{out(\max)} = 0.61$ V, and $T_{\text{detect}} = 2.819$ ms can be obtained. Considering (4) and (5), it is evident that the frequency f_{ck} should be greater than the frequency f_{in} to achieve the short detection time. In order to obtain the T_{detect} according

to the first condition of (5) (or $T_{\text{detect}} \leq 2T_{in}$), the frequency f_{in} should be approximately as

$$f_{in} \leq f_{ck}V_{ref}/\left(2\Delta V_{out(\max)}2^n\right) \leq f_{ck}V_{ref}/\left(2A_t2^n\right) \tag{9}$$

If f_{ck} is set according to Equation (9), and the amplitude of the input signal modulated with carrier frequency f_c is continuously varied (see Figure 3), the maximum error can be approximately given by

$$Error_{(\max)} = 4f_dA_d/2f_c \tag{10}$$

From (10), it can be seen that the error $Error_{(\max)}$ can be reduced by setting $f_c \gg f_d$.

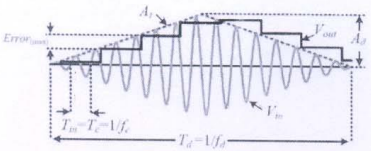


FIGURE 3. Maximum error due to continuously changing input amplitude

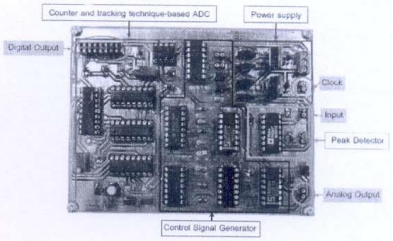
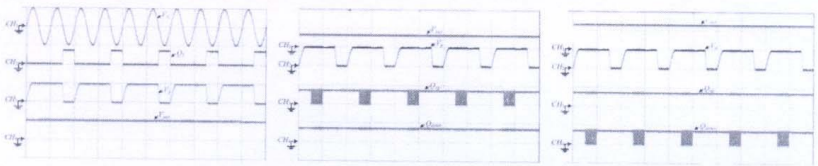


FIGURE 4. Proposed amplitude detector constructed on PCB

4. **Experimental Results and Discussion.** For experimental purposes, the proposed amplitude detector of Figure 1 was constructed on printed circuit board (PCB) as shown in Figure 4. The commercial 74LS193, LM319, PKD01, MC14027BCP, HEF4081BP, HD14070BP and CD4011BCN devices were employed to form as the counter, comparator, peak detector, JK-flip flop, AND gate, EX-OR and NAND gate, respectively. The DAC was realized using the DAC7541 and OP37 devices. The supply voltages were set to $\pm$ 7 V. The clock signal was set to 1 MHz. The values for components were chosen as: $R_1 = R_3 = R_4 = R_5 = R_6 = 1$ kΩ, $R_2 = 100$ kΩ, $R_7 = 5$ kΩ (variable) and $C = 100$ μF.

To test the circuit operation, applying sinusoidal input was set in different conditions. For fixed 1 kHz input frequency and varied input amplitude, the results are displayed in Figures 5 and 6 and summarized in Table 1. For rapidly changed input frequency and fixed amplitude, the results are shown in Figure 7, while Figure 8 shows the results obtained from applying modulated sinusoidal input.

From Figure 5, it is seen that the measured results agreed well with the sketched signals of Figure 2. From Figure 6, the minimum input amplitude detected by the proposed detector is approximately equal to 250 mV, and the maximum error of analog output is



(a) for $V_{out} = A_t$ (b) for $V_{out} < A_t$ (c) for $V_{out} > A_t$

FIGURE 5. Measured results for 1 kHz input frequency

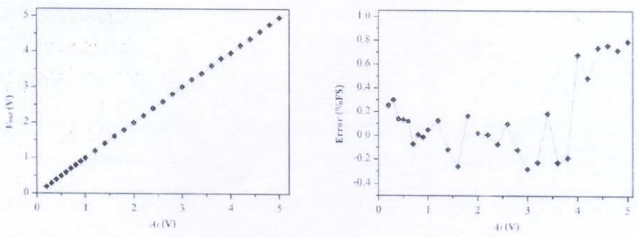


FIGURE 6. Measured results for varied input amplitude in range 0.25 – 5 V

TABLE 1. Digital outputs for varied input amplitude in range 0.5 – 5 V

Input Amplitude (V)	12-bit Digital Output	Calculated Voltage from Digital Output (V)	Error of full scale (%)
0.5	0001 1001 1111	0.507	0.14
1.0	0011 0100 1111	1.034	0.68
1.5	0100 1101 1111	1.522	0.44
2.0	0110 0111 1111	2.030	0.60
2.5	0111 1101 1111	2.460	–0.80
3.0	1001 1011 1111	3.046	0.92
3.5	1011 0011 1111	3.514	0.28
4.0	1100 1101 1111	4.022	0.44
4.5	1110 0101 1111	4.491	–0.18
5.0	1111 1111 1011	4.994	–0.12

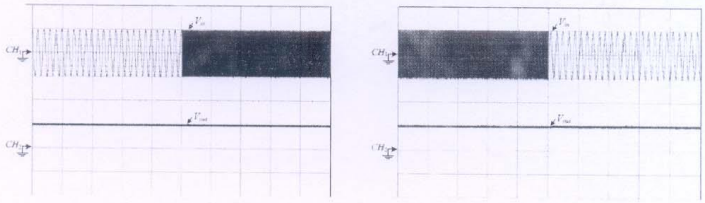
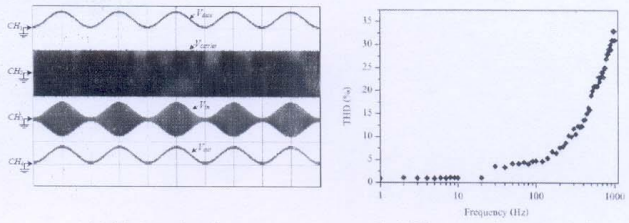


FIGURE 7. Measured results for rapidly changed input frequency and fixed amplitude

less than 0.8% of full scale (5 V). From Table 1, the maximum error of digital output is less than 0.92%. However, a further improvement of the accuracy for digital output can be expected if the accurate comparators are employed. From Figure 7, it is shown that the proposed circuit can well operate without any problems for continuously changing frequency input. From Figure 8, the proposed circuit can be used to implement a demodulator for low-frequency data with double sideband full carrier. In addition, the total harmonic distortion (THD) is obtained from applying modulated sinusoidal input V_{in}, when the frequencies of the data and carrier are varied from 1 Hz – 1 kHz and fixed at 50 kHz, respectively. It is seen that the THD is less than 5% for the data frequency below 100 Hz.

5. **Conclusion.** A simple technique based on up-down counter for realizing a sinusoidal-amplitude detector has been described in this article. The proposed scheme can produce both analog-output and digital-output signals proportional to the amplitude of sinusoidal



(a) Various signals (b) THD versus frequency of V_{data}

FIGURE 8. Measured results for modulated sinusoidal input

analog-input signal. It is shown that the experimental results conform very well to theoretical values.

Acknowledgment. This work is partially supported by Naresuan University. The authors also gratefully acknowledge the helpful comments and suggestions of the reviewers, which have improved the presentation.

REFERENCES

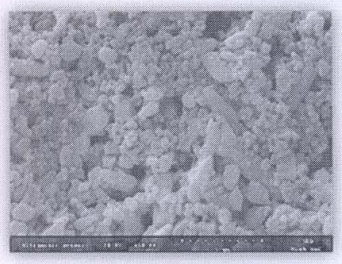
[1] P. Kinget, Amplitude detection inside CMOS LC oscillators, *The 2006 IEEE International Symposium on Circuits and Systems*, Island of Kos, Greece, 2006.
[2] J. M. Khoury, On the design of constant settling time AGC circuits, *IEEE Trans. on Circuit and Systems – II: Analog and Digital Signal Processing*, vol.45, no.3, pp.283-294, 1998.
[3] P. Povalac and J. Hribik, Computer controlled measurement system, *Measurement Science Review*, vol.6, no.4, pp.32-35, 2006.
[4] A. Rerkratn, J. Pulkham, K. Chitsakul, M. Sangworasil and A. Kaewpoonsuk, High current low frequency eddy current imaging system, *International Conference on Control, Automation and Systems*, COEX, Seoul, Korea, 2007.
[5] A. Boudouris and E. F. Peters, Audio amplitude detector circuit, *United States Patent. 4,206,415*, 1980.
[6] G. A. Kriegsmann, An asymptotic theory of rectification and detection, *IEEE Trans. on Circuit and Systems*, vol.CAS-32, no.10, pp.1064-1068, 1985.
[7] B. Gilbert, Low supply current RMS-to-DC converter, *United States Patent. 7,002,394 B1*, 2006.
[8] W. Surakampontorn and K. Kumwachara, A dual translinear-based true RMS-to-DC converter, *IEEE Trans. on Instrumentation and Measurement*, vol.47, no.2, pp.459-464, 1999.
[9] H. Y. Chu, H. L. Jou and C. L. Huang, Transient response of a peak voltage detector for sinusoidal signals, *IEEE Trans. on Industrial Electronics*, vol.39, no.1, pp.74-79, 1992.
[10] W. Sangpisit, P. Wardkein, W. Kiranon and C. Loescharataramdee, A novel derivative envelope detector, *IEEE Trans. on Consumer Electronics*, vol.44, no.4, pp.1396-1405, 1998.
[11] J. P. Alegre, S. Celma, J. M. Garcia del Pozo and N. Medrano, Fast-response low-ripple envelope follower, INTEGRATION, *The VLSI Journal*, vol.42, pp.169-174, 2009.
[12] S. M. Zhak, M. W. Baker and R. Sarpeshkar, A low-power wide dynamic range envelope detector, *IEEE Journal of Solid-State Circuits*, vol.38, no.10, pp.1750-1753, 2003.
[13] P. Raksachat, A. Chaikla, A. Kaewpoonsuk, V. Riewruja and P. Julsereewong, An amplitude detector for variable frequency sinusoidal signals, *SICE-ICASE International Joint Conference*, Bexco, Busan, Korea, 2006.
[14] C. Wangwiwatthana, A. Kaewpoonsuk and W. Riewruja, An amplitude-to-digital converter, *SICE Annual Conference*, The University Electro-Communications, Japan, 2008.
[15] A. S. Hou, Design of fast frequency-to-voltage converter using successive-approximation technique, *Int. J. of Electron*, vol.92, no.11, pp.635-644, 2005.

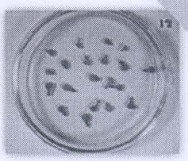
ISSN 1686-5561

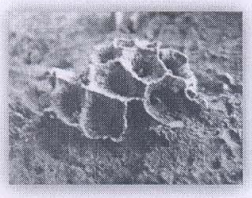
คณะวิทยาศาสตร์
Faculty of Science

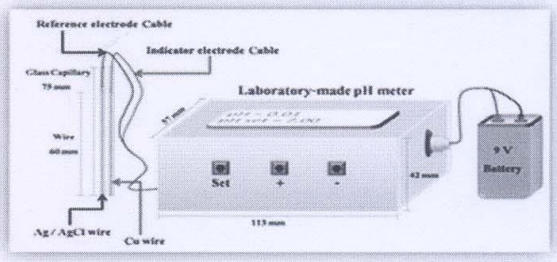
วารสารวิทยาศาสตร์ มหาวิทยาลัยนเรศวร
Naresuan University Science Journal

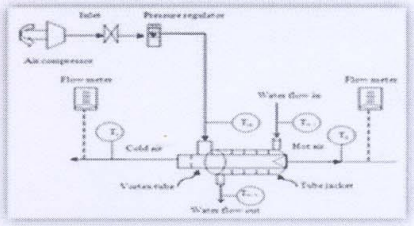
ปีที่ 8 ฉบับที่ 1 (เมษายน 2554 - กันยายน 2554)
Vol. 8 No. 1 (April 2011 - September 2011)

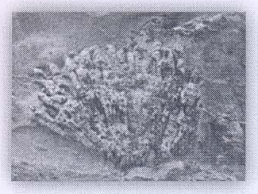












คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร อ.เมือง จ.พิษณุโลก 65000
Faculty of Science, Naresuan University, Phitsanulok 65000 THAILAND
http://www.sci.nu.ac.th/journal

Naresuan University Science Journal
วารสารวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ปีที่ 8 ฉบับที่ 1 (เมษายน 2554 - กันยายน 2554) ISSN 1686-5561

NU Science Journal 2011; 8(1): 44 - 56

ตัวสร้างสัญญาณควบคุมโดยอาศัยวงจรกรองความถี่ผ่านหมดสำหรับการพัฒนาวงจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์

อนุชา แก้วพูลสุข* และ รัชนู กัดมั่น

All-Pass Filter-based Control Signal Generator for Sinusoidal-Amplitude Detector

Anucha Kaewpoonsuk* and Ratchanoo Katman

กลุ่มวิจัยฟิสิกส์อิเล็กทรอนิกส์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร
อ.เมือง จ.พิษณุโลก 65000

*Corresponding author. E-mail: anuchak@nu.ac.th

บทคัดย่อ

บทความนี้นำเสนอตัวสร้างสัญญาณควบคุมสำหรับการพัฒนาวงจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์ให้มีการทำงานที่รวดเร็วขึ้น เทคนิคที่ใช้เป็นการอาศัยสมบัติการเลื่อนเฟสของวงจรกรองความถี่ผ่านหมดซึ่งได้นำมาต่อร่วมกับวงจรตรรกะสำหรับการสร้างสัญญาณ 2 สัญญาณเพื่อนำมาใช้ควบคุมจังหวะการทำงานของวงจรตรวจจับค่ายอดสัญญาณและวงจรสุ่มและคงค่าสัญญาณตามลำดับ ผลจากการใช้ตัวสร้างสัญญาณที่นำเสนอสามารถได้รับไม่เพียงแต่วงจรตรวจวัดค่าแอมพลิ-จูดที่มีโครงสร้างเรียบง่ายเท่านั้น แต่ยังได้วงจรที่มีการทำงานที่รวดเร็ว การทดสอบสมบัติการทำงานของวงจรที่ได้ด้วยการต่อวงจรบนบอร์ดทดลองได้ผลสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ

คำสำคัญ: วงจรตรวจวัดค่าแอมพลิจูด วงจรตรวจจับค่ายอดสัญญาณ วงจรกรองความถี่ผ่านหมด วงจรเลื่อนเฟส

Abstract

In this paper, a control signal generator to enhance operation speed of a sinusoidal-amplitude detector is described. Realization technique exploits a phase shift behavior of an all-pass filter connected with logic circuit to generate two signals for controlling the sequential operations of peak detector and sample-and-hold circuit. Based on proposed generator, not only the amplitude detector with simple configuration but also fast operation can be obtained. Circuit performances experimentally tested on a bread board are agreed with the proposed expectations.

Keywords: Amplitude detector, peak detector, all-pass filter, phase-shifter

บทนำ

ตัวรับรู้ (sensor) บางชนิดเช่นตัวรับรู้ตำแหน่งที่อาศัยหลักการเปลี่ยนแปลงค่าความเหนี่ยวนำไฟฟ้า หรืออาศัยหลักการเปลี่ยนแปลงค่าความจุไฟฟ้าที่ใช้ในระบบการวัดและควบคุมจะใช้วิธีการจ่ายสัญญาณรูปไซน์เพื่อเป็นอินพุตให้กับตัวรับรู้ โดยที่ตัวรับรู้ดังกล่าวจะให้สัญญาณเอาต์พุตออกมาในรูปของสัญญาณรูปไซน์ที่มีค่าความถี่เท่าเดิมแต่มีค่าแอมพลิจูดเปลี่ยนแปลงไปตามปริมาณที่ต้องการตรวจวัด สำหรับวิธีการประมวลผลสัญญาณเพื่อตรวจวัดค่าแอมพลิจูดของสัญญาณเอาต์พุตที่ได้โดยทั่วไปแล้วจะสามารถแบ่งออกได้เป็น 2 วิธี ได้แก่วิธีการแปลงสัญญาณรูปไซน์ให้เป็นสัญญาณดิจิทัล จากนั้นอาศัยหลักการประมวลผลสัญญาณแบบดิจิทัลเพื่อคำนวณหาค่าแอมพลิจูดของสัญญาณ โดยหลักการดังกล่าวนี้จะมีจุดด้อยอยู่ที่ไม่สามารถใช้งานกับสัญญาณที่มีความถี่สูงได้ ซึ่งตัวประมวลผลหลักของระบบแบบดิจิทัลยังต้องทำหน้าที่อื่นๆ ภายในเวลาเดียวกันด้วย เช่น ทำหน้าที่ในการควบคุมระบบการติดต่อสื่อสาร หรือการแสดงผลการตรวจวัด เป็นต้น วิธีการที่สองเป็นการใช้วงจรประมวลผลสัญญาณแบบแอนะล็อกสำหรับการตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์โดยตรง ซึ่งจะทำให้สามารถใช้งานกับสัญญาณรูปไซน์ที่มีความถี่สูงได้ ในส่วนของวิธีการพัฒนาวงจรตรวจวัดค่าแอมพลิจูดที่เป็นที่คุ้นเคยโดยทั่วไปได้แก่การใช้วงจรเรียงกระแสต่อร่วมกับวงจรกรองความถี่ต่ำผ่าน (Boudouris and Peters, 1980; Kriegsmann, 1985) และวิธีการใช้วงจรยกกำลังสองและวงจรหารสัญญาณต่อร่วมกับวงจรกรองความถี่ต่ำผ่าน (Gilbert, 2006; Surakampontorn and Kumwachara, 1999) โดยวิธีที่สองนี้เป็นการหารากที่สองกำลังสองเฉลี่ย (Root Mean Square; RMS) ของสัญญาณ ซึ่งเป็นค่าที่แปรผันตรงกับแอมพลิจูดของสัญญาณอินพุต อย่างไรก็ตามทั้งสองวิธีดังกล่าวนี้จะให้เอาต์พุตที่มีลักษณะกระเพื่อมเล็กน้อยอยู่ตลอดเวลา นอกจากนี้ยังต้องใช้เวลาเริ่มต้นในการทำงานหลายคาบของสัญญาณอินพุตอันเนื่องมาจากการทำงานของวงจรกรองความถี่ต่ำ

ผ่าน วิธีการอื่นเช่นการใช้วงจรเลื่อนเฟสคงที่ 90° ต่อร่วมกับวงจรยกกำลังสองและวงจรถอดรากที่สอง (Chu *et al.*, 1992; Sangpisit *et al.*, 1998) ในปี พ.ศ. 2549 ได้มีการนำเสนอวิธีการพัฒนาออกแบบวงจรหาค่าแอมพลิจูดโดยใช้วงจรตรวจจับค่ายอดสัญญาณต่อร่วมกับวงจรสุ่มและคงค่าสัญญาณและวงจรสร้างสัญญาณควบคุม (Raksachat *et al.*, 2006) โดยวิธีดังกล่าวอาศัยวงจรตรวจจับค่ายอดสัญญาณสำหรับการตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์และใช้วงจรสุ่มและคงค่าสัญญาณสำหรับการรักษาระดับแรงดันเอาต์พุตของวงจรให้มีค่าคงที่ (ไม่เกิดการกระเพื่อม) ก่อนที่จะทำการตรวจวัดค่าแอมพลิจูดในรอบการทำงานใหม่ต่อไป จุดด้อยของงานดังกล่าวคือความล่าช้าในการทำงานโดยใน 1 รอบการทำงานนั้นจะใช้เวลาทั้งหมดเท่ากับ 2 คาบของสัญญาณอินพุต ในบทความนี้เป็นการพัฒนาปรับปรุงวงจรในส่วนของวงจรสร้างสัญญาณควบคุมขึ้นใหม่เพื่อทำให้วงจรตรวจวัดค่าแอมพลิจูดสามารถทำงานได้ภายในเวลา 1 คาบของสัญญาณอินพุต โดยจะมีความเหมาะสมสำหรับงานที่ความถี่ของสัญญาณอินพุตมีค่าคงที่หรือมีการเปลี่ยนแปลงในช่วงโดยประมาณไม่เกิน 0.75 ดีเคท (decade) ถึง 2 ดีเคท สำหรับรายละเอียดการพัฒนาออกแบบวงจรและการทดสอบการทำงานนั้นจะได้กล่าวในหัวข้อถัดไป

แนวคิดและหลักการพัฒนาออกแบบวงจร

รูป 1 แสดงโครงสร้างของวงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ได้พัฒนาขึ้นในครั้งนี้ ซึ่งประกอบด้วยวงจรตรวจจับค่ายอดสัญญาณ วงจรสุ่มและคงค่าสัญญาณ และวงจรสร้างสัญญาณควบคุมโดยใช้วงจรกรองความถี่ผ่านหมดเป็นพื้นฐานในการออกแบบ รูป 2 แสดงแผนภาพเวลาของสัญญาณที่สำคัญของวงจรในรูป 1 ซึ่งการทำงานในแต่ละรอบนั้นจะแบ่งออกได้เป็น 4 จังหวะเหมือนกับวิธีการในบทความเดิม (Raksachat *et al.*, 2006) ดังนี้คือ

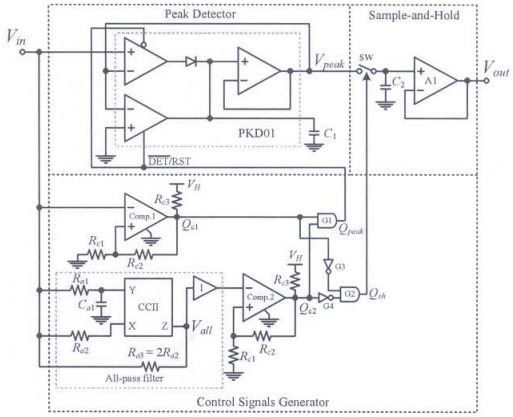
ลำดับที่ 1: สัญญาณควบคุม Q_{peak} เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่ออนุญาตให้วงจรตรวจจับค่ายอดสัญญาณเริ่มทำงาน ซึ่งหลังจากเวลา $T_{in}/4$ จะได้เอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณเป็นค่าแอมพลิจูดของสัญญาณอินพุต

ลำดับที่ 2: สัญญาณควบคุม Q_{sh} เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อควบคุมให้วงจรสุ่มและคงค่าสัญญาณเปิดรับค่าเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณไปเป็นเอาต์พุตของวงจร

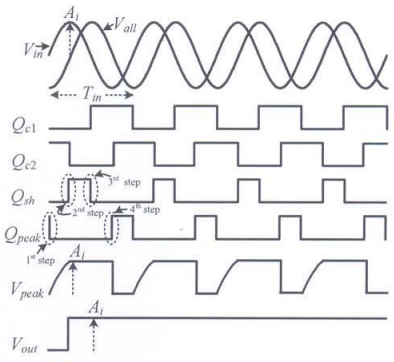
ลำดับที่ 3: สัญญาณควบคุม Q_{sh} เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่อควบคุมให้วงจรสุ่มและคงค่าสัญญาณทำการหยุดรับค่าจากวงจรตรวจจับค่ายอดสัญญาณพร้อมทั้งรักษาระดับค่าของสัญญาณเดิมไว้ให้มีค่าคงที่ก่อนที่จะมีการเปิดรับข้อมูลใหม่ในรอบการทำงานถัดไป

ลำดับที่ 4: สัญญาณควบคุม Q_{peak} เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อรีเซ็ตค่าเอาต์พุตเดิมของวงจรตรวจจับค่ายอดสัญญาณ สำหรับการเตรียมความพร้อมในรอบการทำงานใหม่

ความแตกต่างที่สำคัญระหว่างวงจรที่ได้พัฒนาขึ้นใหม่กับงานเดิมคือส่วนของวงจรสร้างสัญญาณควบคุมซึ่งจะสามารถควบคุมให้วงจรสามารถทำงานได้ภายในเวลา 1 คาบของสัญญาณอินพุต ในขณะที่งานเดิมใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต ทั้งนี้เนื่องจากในงานดังกล่าว (Raksachat *et al.*, 2006) เป็นการอาศัยสมบัติของฟลิปฟลอปชนิดเจเค (JK-Flip Flop) สำหรับการหารความถี่ของสัญญาณอินพุตเพื่อนำมาสร้างเป็นสัญญาณควบคุมการทำงานของวงจรตรวจจับค่ายอดสัญญาณ และวงจรสุ่มและคงค่าสัญญาณ โดยในงานนี้ได้กำหนดเงื่อนไขการทำงานของวงจรทั้ง 4 จังหวะเปรียบเทียบกับเฟสของสัญญาณอินพุต (θ_{in}) ไว้ดังนี้คือ จังหวะที่ 1 และจังหวะที่ 3 จะเกิดขึ้นในขณะที่เฟสของสัญญาณอินพุตมีค่าเท่ากับ 0° และ 180° ตามลำดับ จังหวะที่ 2 จะต้องเกิดในช่วงมุม: $90° \le \theta_{in} < 180°$ และจังหวะที่ 4 จะต้องเกิดในช่วงมุม: $270° \le \theta_{in} < 360°$



รูป 1 วงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์



รูป 2 แผนภาพเวลาของสัญญาณที่สำคัญของวงจรในรูป 1

เพื่อทำให้การทำงานเป็นไปตามเงื่อนไขที่ได้กำหนดไว้ในส่วนของวงจรสร้างสัญญาณควบคุมภายในงานนี้ได้ใช้วิธีนำสัญญาณอินพุตไปผ่านวงจรตรวจจับผ่านศูนย์และวงจรกรองความถี่ผ่านหมดดังแสดงในรูป 1 เมื่อ Q_{c1} และ Q_{c2} คือสัญญาณเอาต์พุตของวงจรตรวจจับผ่านศูนย์ Comp.1 และ Comp.2 ตามลำดับ โดยจะสามารถสังเคราะห์สัญญาณควบคุม Q_{peak} และ Q_{sh} ได้ดังนี้คือ

$$Q_{peak} = Q_{c1} \text{ and } Q_{c2} \tag{1}$$

$$Q_{sh} = \overline{Q_{c1}} \text{ and } \overline{Q_{c2}} \tag{2}$$

โดยในส่วนของวงจรกรองความถี่ผ่านหมดนั้นได้พัฒนาขึ้นจากวงจรสายพานกระแสซึ่งจะสามารถเขียนฟังก์ชันส่งผ่าน (Transfer function) เพื่อแสดงความสัมพันธ์ระหว่างสัญญาณแรงดันเอาต์พุต V_{all} กับสัญญาณแรงดันอินพุต V_{in} ของวงจรได้เป็น

$$H(s) = \frac{V_{all}}{V_{in}} = \frac{(1 - sC_{a1}R_{a1})}{(1 + sC_{a1}R_{a1})} \tag{3}$$

เมื่อ $V_{in}=A_i \sin(2\pi f_{in}t)$ และ $s = j\omega = j2\pi f_{in}$, จากสมการที่ (3) ขนาดและเฟสของ $H(s)$ จะสามารถแยกเขียนได้เป็น

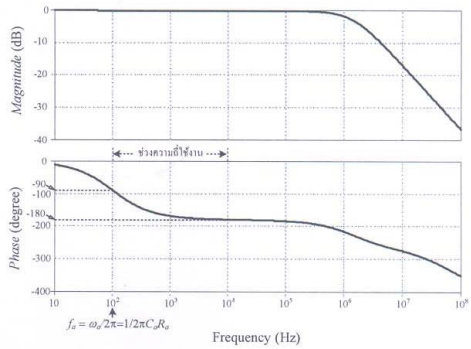
$$|H(j\omega)| = 1 \tag{4a}$$

$$\angle H(j\omega) = -2\arctan \omega C_{a1}R_{a1} \tag{4b}$$

สมการที่ (4a) แสดงให้เห็นว่าขนาดของสัญญาณเอาต์พุตตลอดช่วงความถี่ใช้งานจะมีค่าเท่ากับขนาดของสัญญาณอินพุต สมการที่ (4b) แสดงให้เห็นว่าเฟสของสัญญาณเอาต์พุตจะตามหลังเฟสของสัญญาณอินพุตโดยเมื่อกำหนดให้ $\omega_a = 1/(C_{a1}R_{a1})$ จะได้ผลการเลื่อนเฟสระหว่างสัญญาณทั้งสองเท่ากับ 90° รูป 3 แสดงตัวอย่างผลการเลียนแบบการทำงานของวงจรกรองความถี่ผ่านหมดด้วยโปรแกรม PSPICE ซึ่งเป็นการใช้สมบัติของไอซีเบอร์ AD844 ทำหน้าที่เป็นวงจรสายพานกระแสและบัฟเฟอร์ (Buffer) ภายในไอซีเดียวกัน กำหนดพารามิเตอร์ $f_a = \omega_a / 2\pi = 1/(2\pi C_{a1}R_{a1}) = 100$ Hz และกำหนดสัญญาณแรงดันอินพุต (V_{in}) ของวงจรเป็นสัญญาณรูปไซน์ขนาดเท่ากับ 1 V_{rms} ใช้แหล่งจ่ายไฟเลี้ยงวงจรเท่ากับ ± 9 V ทำการทดลองแปรค่าความถี่ของสัญญาณ V_{in} วัดขนาด (*Magnitude*) และเฟส (*Phase*; θ_{all}) ของสัญญาณเอาต์พุต (V_{all}) เทียบกับสัญญาณ V_{in} จากรูปผลการเลียนแบบการทำงานพิจารณาช่วงความถี่ของสัญญาณ V_{in} ที่ทำให้เฟสของสัญญาณเอาต์พุตมีค่าเท่ากับ -90° ถึง -179° ซึ่งจะได้ช่วงความถี่ประมาณเท่ากับ 2 ดีเคท (ความถี่ 100 Hz ถึง 10 kHz) อย่างไรก็ตามการกำหนดให้ $f_a = 1/(2\pi C_{a1}R_{a1})$ มีค่าสูงจากผลการเลียนแบบการทำงานพบว่าจะมีผลทำให้ช่วงความถี่ใช้งานของวงจรมีค่าแคบลงดังแสดงในตารางที่ 1

ตารางที่ 1 การเลื่อนเฟส (θ_{all}) ของสัญญาณเอาต์พุต (V_{all}) เปรียบเทียบกับเฟสของสัญญาณอินพุต (V_{all}) สำหรับวงจรกรองความถี่ผ่านหมด (จากการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE)

ลำดับที่	พารามิเตอร์		ค่าความถี่ของสัญญาณอินพุต พิจารณาที่ θ_{all} ต่างๆ (Hz)			ช่วงความถี่ระหว่าง θ_{all} = -90° ถึง -179° $= \log \frac{f_{in(\theta_{all}=-179°)}}{f_{in(\theta_{all}=-90°)}}$ (ดีเคท)
	C_{a1} (μF)	R_{a1} (kΩ)	θ_{all} = -90°	θ_{all} = -175°	θ_{all} = -179°	
1	100	1.599	1	23.33	100	2
2	10	1.599	10	230.51	1 k	2
3	1	1.599	100	2.28 k	10 k	2
4	0.1	1.599	1 k	19.98 k	42.87 k	1.63
5	0.01	1.599	10 k	119.60 k	159.25 k	1.20
6	0.001	1.599	95.51 k	490.92 k	538.34 k	0.75
7	0.0001	1.599	719.88 k	2.04 M	2.16 M	0.48



รูป 3 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่านหมด เมื่อกำหนด $f_a = \omega_a / 2\pi = 1/(2\pi C_{a1} R_{a1}) = 100$ Hz

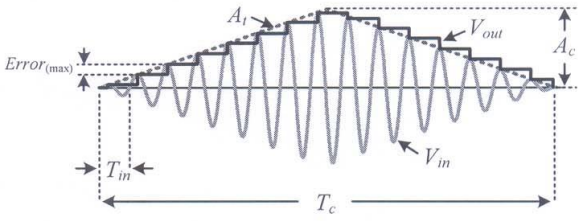
จากตารางที่ 1 สังเกตข้อมูลลำดับที่ 1 ถึงลำดับที่ 6 การนำวงจรกรองความถี่ผ่านหมดไปประยุกต์ใช้ สำหรับการสร้างสัญญาณควบคุม Q_{sh} จะสามารถใช้งานได้ในช่วงความถี่ใช้งานโดยประมาณเท่ากับ 0.75 ดีเคท ถึง 2 ดีเคท โดยในทางปฏิบัติช่วงความถี่ใช้งานจะแคบกว่านี้เล็กน้อย เนื่องจากต้องเผื่อเวลาสำหรับการสร้างสัญญาณควบคุม Q_{peak} เพื่อการรีเซ็ตค่าแอมพลิจูดเดิมของวงจรตรวจจับค่ายอดสัญญาณ ยกตัวอย่างเช่นข้อมูลในลำดับที่ 5 ถ้าใช้การเผื่อเวลาไว้คิดเป็นมุมเท่ากับ 5°

จะได้ช่วงความถี่ใช้งานเท่ากับ 10 kHz ถึง 119.6 kHz สำหรับข้อมูลในลำดับที่ 7 ซึ่งจะได้ช่วงความถี่ใช้งานประมาณเท่ากับ 0.48 ดีเคท (ช่วงความถี่ 719.88 kHz ถึง 2.16 MHz) อย่างไรก็ตามผลจากการทดสอบการทำงานพบว่าช่วงความถี่ใช้งานของวงจรหาค่าแอมพลิจูดจะถูกจำกัดอยู่ที่ความสามารถในการทำงานของวงจรตรวจจับค่ายอดสัญญาณซึ่งมีค่าสูงสุดประมาณเท่ากับ 170 kHz

พารามิเตอร์ประการหนึ่งที่น่าสนใจได้แก่ผลจากการเปลี่ยนแปลงค่าแอมพลิจูดของสัญญาณอินพุต โดยในที่นี้ได้สมมุติให้สัญญาณอินพุต (V_{in}) ของวงจรมีความถี่คงที่ $f_{in}=1/T_{in}$ แต่มีการเปลี่ยนแปลงค่าแอมพลิจูด (A_t) เป็นรูปสามเหลี่ยมอย่างต่อเนื่องดังแสดงในรูป 4 โดยมีค่าความถี่ในการเปลี่ยนแปลงแอมพลิจูดคือ $f_c=1/T_c$ และค่ายอดสูงสุดของสัญญาณอินพุตมีค่าเท่ากับ A_c กำหนดให้ $Error_{(max)}$ คือค่าผิดพลาดสูงสุดจากการทำงานของวงจร ซึ่งจะสามารถเขียนสมการแสดงความสัมพันธ์ได้เป็น

$$\left|Error_{(\max)}\right| = \frac{2A_c f_c}{f_{in}} \tag{5}$$

จากสมการที่ (5) ยกตัวอย่างการคำนวณเช่น ถ้ากำหนดให้ f_{in} = 50 kHz โดย A_c = 5 V และ f_c = 1 kHz จะได้ $|Error_{(max)}|$ = 200 mV แต่ถ้าใช้ f_c = 100 Hz จะได้ $|Error_{(max)}|$ = 20 mV ซึ่งจะเห็นได้ว่าถ้าต้องการลดขนาดค่าผิดพลาด $|Error_{(max)}|$ ของวงจรจะต้องกำหนดให้ $f_{in} >> f_c$ อย่างไรก็ตามค่าผิดพลาดดังกล่าวนี้จะมีค่าน้อยกว่าค่าที่ได้จากวงจรตรวจวัดค่าแอมพลิจูดแบบเดิม (Raksachat *et al.*, 2006) อยู่ 50% เมื่อใช้เงื่อนไขเดียวกัน



รูป 4 ผลการเปลี่ยนแปลงค่าแอมพลิจูดของสัญญาณอินพุต

วัสดุอุปกรณ์ และวิธีการ

การทดสอบสมบัติการทำงานของวงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ภายในงานนี้ได้ใช้วิธีต่อวงจรบนบอร์ดทดลองโดยใช้ไอซีต่างๆ ดังนี้คือ วงจรสายพานกระแสและบัฟเฟอร์นั้นอาศัยสมบัติของไอซีวงจรขยายชนิดป้อนกลับกระแสเบอร์ AD844 วงจรตรวจจับค่ายอดสัญญาณใช้ไอซีเบอร์ PKD01 ออปแอมป์ A1 ใช้ไอซีเบอร์ LF353 ออปแอมป์ Comp.1 และ Comp.2 ซึ่งใช้สำหรับเป็นวงจรตรวจจับผ่านศูนย์ใช้ไอซีเบอร์ LM311 แอนด์เกตและไอซีน็อตเกตใช้ไอซีเบอร์ MC14081BCP และ MC14069BCP ตามลำดับ สวิตช์อิเล็กทรอนิกส์ sw ใช้ไอซีเบอร์ MC14066BCP ใช้แหล่งจ่ายไฟเลี้ยงวงจรเท่ากับ ± 9 V กำหนดค่า $R_{c1} = R_{c3} = 1$ kΩ, $R_{c2} = 100$ kΩ, $R_{a1} = 1.6$ kΩ, $R_{a3} = 2R_{a2} = 20$ kΩ, $C_2 = 10$ nF

ลำดับที่ 1 ผู้วิจัยได้ทำการทดลองแปรค่าตัวเก็บประจุ C_1 สำหรับวงจรตรวจจับค่ายอดสัญญาณ ทั้งนี้เพื่อหาช่วงความถี่ใช้งานที่วงจรยังคงสามารถตรวจจับค่าแอมพลิจูดขนาด 5 V ได้ทันโดยมีความผิดพลาดในการทำงานโดยประมาณไม่เกิน ± 0.1 V (ก่อนถูกรีเซ็ตค่าทุกรอบการทำงาน) ซึ่งจะได้ผลการทดสอบดังแสดงในตารางที่ 2

ลำดับที่ 2 ผู้วิจัยได้ทดสอบสมบัติการทำงานของวงจรตรวจวัดค่าแอมพลิจูดโดยการป้อนอินพุตของวงจรเป็นสัญญาณรูปไซน์ที่มีค่าแอมพลิจูดคงที่ในช่วงความถี่ต่างๆ (โดยใช้ค่าพารามิเตอร์ต่างๆ ดังตารางที่ 1 และตารางที่ 2) ทั้งนี้เพื่อตรวจสอบจังหวะการทำงานและช่วงความถี่ใช้งานของวงจร โดยจะได้รูปตัวอย่างผลการทำงานของวงจรดังแสดงในรูป 5 และรูป 6

ลำดับที่ 3 เป็นการทดสอบความถูกต้องในการทำงานของวงจรในกรณีที่สัญญาณอินพุตของวงจรมีค่าความถี่เท่ากับ 1 kHz แอมพลิจูดของสัญญาณอินพุตแปรค่าในช่วง 0.2 V ถึง 5 V ซึ่งได้รูปการทำงานของวงจรดังแสดงในรูป 7

ลำดับที่ 4 เป็นการทดสอบสมบัติการทำงานของวงจรในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูด โดยในที่นี้ได้นำสัญญาณรูปไซน์ความถี่ 10 kHz มอดูเลตทางขนาด (amplitude modulator) กับสัญญาณความถี่ต่ำรูปร่างต่างๆ โดยจะได้รูปตัวอย่างผลการทำงานของวงจรดังแสดงในรูป 8

ลำดับสุดท้ายเป็นการทดลองวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก (Total Harmonic Distortion; THD) สัญญาณเอาต์พุต (V_{out}) ของวงจร โดยได้กำหนดให้อินพุตของวงจรเกิดจากการมอดูเลตแอมพลิจูดระหว่างสัญญาณรูปไซน์ความถี่คงที่เท่ากับ 50 kHz กับสัญญาณตัวที่สองซึ่งเป็นรูปไซน์ขนาดเท่ากับ 1 V แปรค่าความถี่ของสัญญาณตัวที่สองในช่วง 1 Hz ถึง 10 kHz ซึ่งจะได้ผลการทดลองดังแสดงในรูป 9

ผลการทดสอบการทำงานและอภิปรายผล

จากตารางที่ 2 ค่า $f_{in(\min)}$ และ $f_{in(\max)}$ คือค่าความถี่ต่ำสุดและค่าความถี่สูงสุดที่วงจรตรวจจับค่ายอดสัญญาณสามารถทำงานได้ (จากการเลือกใช้ตัวเก็บประจุแต่ละค่า) ตามลำดับ โดยที่ค่าแอมพลิจูดสูงสุดของสัญญาณแรงดันอินพุตกำหนดไว้เท่ากับ 5 V นอกจากนี้จากการตรวจสอบพบว่าการเลือกใช้ตัวเก็บประจุแต่ละค่านั้นวงจรจะสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดต่ำสุดได้ไม่เท่ากัน โดยผู้วิจัยได้เลือกเฉพาะช่วงความถี่ที่วงจรมีช่วงปฏิบัติการ 200 mV ถึง 5 V มาแสดงผล จะสังเกตได้ว่าหากต้องการใช้งานกับสัญญาณอินพุตที่มีความถี่สูงจะต้องเลือกใช้ตัวเก็บประจุที่มีค่าต่ำ แต่อย่างไรก็ตามผู้วิจัยพบว่าวงจรตรวจจับค่ายอดสัญญาณที่ใช้สามารถใช้งานกับสัญญาณอินพุตที่มีความถี่สูงสุดประมาณเท่ากับ 170 kHz

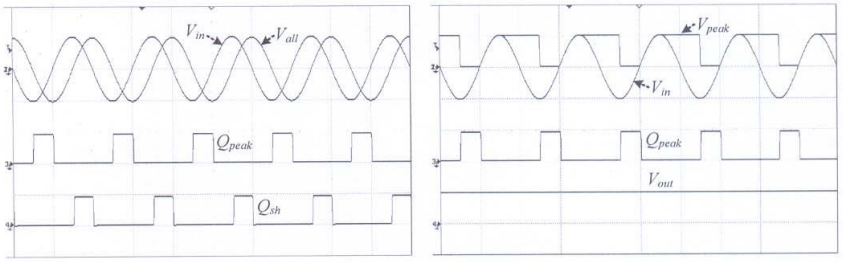
ตารางที่ 2 ตัวเก็บประจุที่เหมาะสมสำหรับวงจรตรวจจับค่ายอดสัญญาณในแต่ละช่วงความถี่ใช้งาน

ค่าตัวเก็บประจุ	ช่วงความถี่ใช้งาน (kHz)	
(nF)	$f_{in(\min)}$	$f_{in(\max)}$
0.1	70	170
0.143	10	110
1	0.3	30
10	0. 1	1.5
20	0.001	0.1

พิจารณาผลการทำงานของวงจรตรวจวัดค่าแอมพลิจูดในรูป 5(ก) เมื่อสัญญาณอินพุตมีความถี่เท่ากับ 1 kHz (กำหนดค่า $f_a = 1/(2\pi C_{a1}R_{a1}) = 1$ kHz และ $C_1 = 10$ nF) ซึ่งจะเห็นได้ว่าเฟสของสัญญาณ V_{all} ตามหลังเฟสของสัญญาณ V_{in} เท่ากับ 90° สัญญาณ Q_{sh} และ Q_{peak} เกิดในช่วงมุม 90° ถึง 180° และช่วงมุม 270° ถึง 360° ของสัญญาณ V_{in} ตามลำดับ สำหรับรูป 5(ข) จะเห็นได้ว่าสัญญาณเอาต์พุต (V_{peak}) ของวงจรตรวจจับค่ายอดสัญญาณจะถูกรีเซ็ตค่าทุกรอบการทำงานที่เกิดมีสัญญาณ Q_{peak} ในขณะที่สัญญาณเอาต์พุต (V_{out}) ของวงจรตรวจวัดค่าแอมพลิจูดที่ได้จะมีลักษณะเป็นไฟตรงซึ่งมีขนาดเท่ากับค่าแอมพลิจูดของสัญญาณอินพุต V_{in}

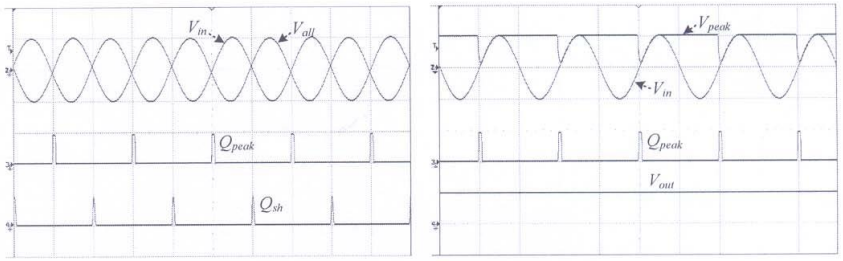
รูป 6 แสดงผลการทำงานของวงจรตรวจวัดค่าแอมพลิจูดโดยใช้พารามิเตอร์ต่างๆ ของวงจรเช่นเดียวกับผลการทำงานในรูป 5 แต่เปลี่ยนความถี่ของสัญญาณอินพุตเป็น 10 kHz โดยจะเห็นได้ว่าเฟสของสัญญาณ V_{all} ตามหลังเฟสของสัญญาณ V_{in} เกือบเท่ากับ 180° สัญญาณ Q_{sh} และ Q_{peak} เกิดในช่วงมุมก่อน 180° ถึง 180° และช่วงมุมก่อน 360° ถึง 360° ของสัญญาณ V_{in} ตามลำดับ ทั้งนี้วงจรตรวจวัดค่าแอมพลิจูดยังคงสามารถทำงานได้ และจากการตรวจสอบพบว่าสามารถทำงานได้ถึงความถี่ประมาณ 20 kHz (สอดคล้องกับตารางที่ 1) นอกจากนี้ทั้งรูป 5 และรูป 6 ยังแสดงให้เห็นว่า 1 รอบ

การทำงานของวงจรจะใช้เวลาเท่ากับ 1 คาบของสัญญาณอินพุตซึ่งเร็วกว่าหลักการเดิม (Raksachat *et al.*, 2006) ที่ได้เคยมีการนำเสนอไว้



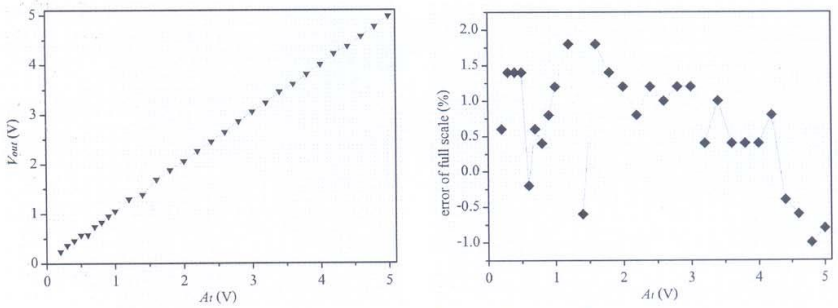
(ก) สัญญาณ V_{in}, V_{all}, Q_{peak} และQ_{sh} (ข) สัญญาณ V_{in}, V_{peak}, Q_{peak} และ V_{out}

รูป 5 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 1 kHz (สเกลแนวตั้งเท่ากับ 5 V/div., 5 V/div., 10 V/div., และ 5 V/div. ตามลำดับ; สเกลแนวนอนเท่ากับ 500 μs/div.)



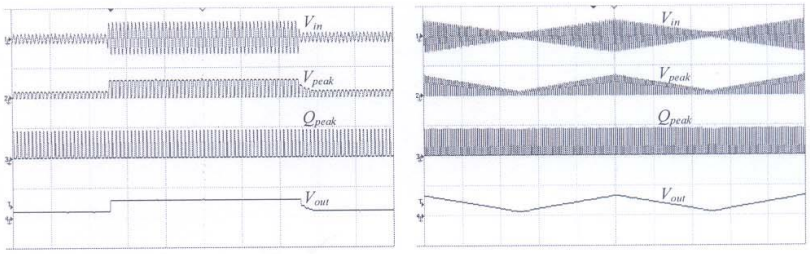
(ก) สัญญาณ V_{in}, V_{all}, Q_{peak} และQ_{sh} (ข) สัญญาณ V_{in}, V_{peak}, Q_{peak} และ V_{out}

รูป 6 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 10 kHz (สเกลแนวตั้งเท่ากับ 5 V/div., 5 V/div., 10 V/div., และ 5 V/div. ตามลำดับ; สเกลแนวนอนเท่ากับ 500 µs/div.)

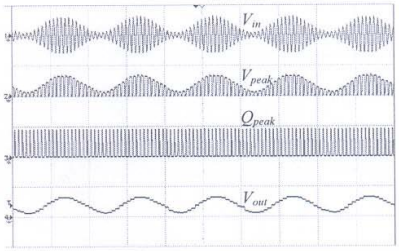


รูป 7 ผลการแปรค่าแอมพลิจูดของสัญญาณอินพุต

รูป 7 แสดงผลการแปรค่าแอมพลิจูดสัญญาณอินพุตของวงจร ซึ่งจะเห็นได้ว่าวงจรมีช่วงปฏิบัติการขนาดตั้งแต่ 200 mV ถึง 5 V โดยมีค่าความผิดพลาดในการทำงานอยู่ที่ประมาณ ±1.8 % ของค่าเต็มสเกล (ค่าเต็มสเกลเท่ากับ 5 V)



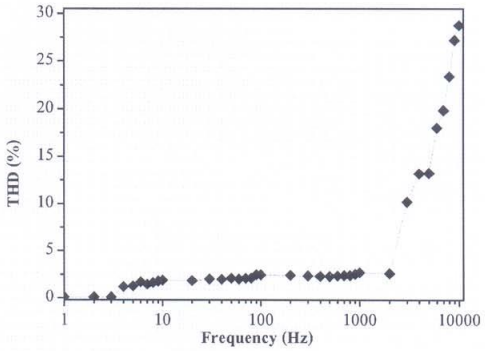
(ก) การเปลี่ยนแปลงแอมพลิจูดเป็นรูปสี่เหลี่ยม (ข) การเปลี่ยนแปลงแอมพลิจูดเป็นรูปสามเหลี่ยม



(ค) การเปลี่ยนแปลงแอมพลิจูดเป็นรูปไซน์

รูป 8 ผลการทำงานในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดเป็นรูปต่า งๆ (สเกลแนวตั้งทุกรูปเท่ากับ 5 V/div., 5 V/div., 10 V/div., และ 5 V/div. ตามลำดับ; สเกลแนวนอนสำหรับรูป 8(ก), 8(ข), และ 8(ค) เท่ากับ 1 ms/div., 2 ms/div., และ1 ms/div.

สำหรับผลการทำงานของวงจรในรูป 8 แสดงให้เห็นว่าวงจรสามารถตรวจวัดค่าแอมพลิจูดของสัญญาณอินพุตที่มีการเปลี่ยนแปลงไปได้อย่างรวดเร็ว พิจารณาผลจากค่าความถี่ในการเปลี่ยนแปลงค่าแอมพลิจูดของสัญญาณอินพุตในรูป 8(ข) ซึ่งมีความถี่เท่ากับ 100 Hz เปรียบเทียบกับรูป 8(ค) ซึ่งมีความถี่เท่ากับ 500 Hz จะเห็นได้ในเบื้องต้นว่าสัญญาณเอาต์พุตของรูป 8(ข) จะมีความต่อเนื่องสม่ำเสมอกว่าสัญญาณเอาต์พุตของรูป 8(ค) และผลจากการแปรค่าความถี่ของสัญญาณรูปไซน์ (ซึ่งถูกมอดูเลตทางขนาดกับสัญญาณรูปไซน์ความถี่ 50 kHz) ในขั้นตอนการทดลองลำดับสุดท้าย แสดงให้เห็นว่าเมื่อความถี่ของสัญญาณสูงขึ้น (เข้าใกล้ความถี่ 50 kHz มากขึ้น) จะได้ค่าผลรวมความผิดเพี้ยนฮาร์มอนิกมีค่ามากขึ้น



รูป 9 ผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก

สรุป

หลักการของตัวสร้างสัญญาณควบคุมสำหรับวงจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์ที่ได้พัฒนาออกแบบขึ้นในครั้งนี้เป็นการใช้ประโยชน์จากสมบัติการเลื่อนเฟสของวงจรกรองความถี่ผ่านหมดซึ่งได้นำมาต่อร่วมกับวงจรตรรกะ สัญญาณควบคุมที่ได้นำมาใช้ควบคุมจังหวะการทำงานของวงจรตรวจจับค่ายอดสัญญาณและวงจรสุ่มและคงค่าสัญญาณซึ่งเป็นวงจรย่อยภายในวงจรตรวจวัดค่าแอมพลิจูด อาศัยการเลือกค่าพารามิเตอร์ของวงจรกรองความถี่ผ่านหมดที่เหมาะสมจะทำให้ได้ช่วงความถี่ใช้งานของวงจรประมาณ 0.75 ดีเคท ถึง 2 ดีเคท ต่อการเลือกกำหนดค่าพารามิเตอร์ 1 ครั้ง ค่าความถี่ใช้งานสูงสุดของวงจรตรวจวัดค่าแอมพลิจูดถูกจำกัดที่ความสามารถในการทำงาน ของวงจรตรวจจับค่ายอดสัญญาณซึ่งมีค่าอยู่ในช่วงโดยประมาณเท่ากับ 170 kHz ช่วงปฏิบัติการทางขนาดของวงจรเท่ากับ 200 mV ถึง 5 V โดยเมื่อทดสอบกับสัญญาณอินพุตที่มีความถี่เท่ากับ 1 kHz สามารถวัดค่าความผิดพลาดสูงสุดของวงจรได้ในช่วง ±1.8 % ของค่าเต็มสเกล (5 V)

กิตติกรรมประกาศ

โครงงานวิจัยนี้ได้รับการสนับสนุนงบประมาณจากมหาวิทยาลัยนเรศวร (ทุนอุดหนุนการวิจัยจากงบประมาณแผ่นดิน ประจำปีงบประมาณ 2553) ซึ่งคณะผู้วิจัยขอขอบคุณมา ณ โอกาสนี้ และขอขอบคุณภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ซึ่งเป็นต้นสังกัดของผู้วิจัยที่ได้ให้การส่งเสริมสนับสนุนการทำวิจัยของบุคลากรอย่างจริงจัง

เอกสารอ้างอิง

Boudouris, A., and Peters, E.F. (1980). Audio amplitude detector circuit. United states patent. 4,206,415, (Eprad Incorporated), 929507.

Chu, H.Y., Jou, H.L., and Huang, C.L. (1992). Transient response of a peak voltage detector for sinusoidal signals. *IEEE Transactions on industrial electronics, 39(1)*,74-79.

Gilbert, B. (2006). Low supply current RMS-to-DC converter. United states patent. 7,002,394 B1 (Analog Devices, Inc.), 09/694,731.

Kriegsmann, G.A. (1985). An asymptotic theory of rectification and detection. *IEEE Transactions on circuit and systems, CAS-32, 10*, 1064-1068.

Raksachat, P., Chaikla, A., Kaewpoonsuk, A., Riewruja, V. and Julsereewong, P. (2006, October). *An amplitude detector for variable frequency sinusoidal signals*. Paper presented at the SICE-ICASE International joint conference, Bexco, Busan, Korea.

Sangpisit, W., Wardkein, P., Kiranon, W. and Loescharataramdee, C. (1998). A novel derivative envelope detector. *IEEE Transactions on consumer electronics, 44*(4), 1396-1405.

Surakampontorn, W., and Kumwachara, K. (1999). A Dual translinear-based true RMS-to-DC converter. *IEEE Transactions on instrumentation and measurement, 47*(2), 459-464.

วารสารมหาวิทยาลัยนเรศวร

Naresuan University Journal

ISSN 0858 - 7418

ปีที่ 18 ฉบับที่ 3 ประจำเดือนกันยายน - ธันวาคม 2553 Vol. 18, No. 3, September - December, 2010

Content

Sciences and Technology

Designing Machine Layout Using Tabu Search and Simulated Annealing
P. Wangta and P. Pongcharoen.....1

Determination of Selenium in Se-enriched Rice by Slurry Sampling Electrothermal Atomic Absorption Spectrometry
S. Traipop, W. Chuachuad Chaiyasith, R. Sananmuang and N. Nabheerong.....9

A Pyrolysis Technology Management of Mushroom Waste in Pongyangkok Tambon, Hangchat Aumpur, Lampang Province Working Group by Know-how of Physic Course *(Thai language)*
R. Yongprayun and K. Kongsawat.....14

Production of Biodiesel from Rice bran oil by Supercritical Methanol *(Thai language)*
S. Hongthong and S. Kajorncheppun-ngam.....20

Technical Performance Study of 6.52 kW^{p} Photovoltaic Grid Connected System *(Thai language)*
N. Ketjoy and K. Mansiri.....27

Design of an Amplitude-to-Digital Converter Using Successive Approximation Technique *(Thai language)*
A. Kaewpoonsuk and R. Katman.....36

Species Diversity of wild Orchids of Nan Province *(Thai language)*
P. Kosavititkul.....46

Health Sciences

Beliefs and Patterns of Alcoholic Drinking Among Female Youth *(Thai language)*
P. Homsin and R. Srisuriyawet.....55

Humanities and Social Sciences

Translation Strategies of Focus Clausal Constructions *(Thai language)*
U. Singnoi.....65

Satisfaction of Parents Towards Education administration of Naresuan University Secondary Demonstration School *(Thai language)*
S. Kettong and N. Jaichalad.....80

Good Government for Behaviors Works on Instructors and Co-workers at Boromarajonani College of Nursing, Buddhachinaraj. *(Thai language)*
N. Sirhaphun, S. Insook and S. Anutat.....89

Review Articles

Size Exclusion Chromatography: A technique of molecular weight determination of polymer *(Thai language)*
T. Wangtaveesab.....98

A PUBLICATION OF NARESUAN UNIVERSITY, PHITSANULOK, THAILAND

http://dra.research.nu.ac.th/nu_journal

การออกแบบตัวแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัล โดยใช้เทคนิคการประมาณค่าสืบเนื่อง

อนุชา แก้วพูลสุข* และ รัชนู กัดมั่น

Design of an Amplitude-to-Digital Converter Using Successive Approximation Technique

Anucha Kaewpoonsuk* and Ratchanoo Katman

กลุ่มวิจัยฟิสิกส์อิเล็กทรอนิกส์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร จังหวัดพิษณุโลก 65000

Physics-Electronics Research Group, Department of Physics, Faculty of Science, Naresuan University, Phitsanulok 65000, Thailand

*Corresponding Author. E-mail address: anuchak@nu.ac.th (A. Kaewpoonsuk)

Received 23 December 2010; accepted 15 March 2011

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ให้เอาต์พุตเป็นสัญญาณดิจิทัล โครงสร้างของวงจรประกอบด้วยวงจรตรวจจับค่ายอดสัญญาณ วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล และวงจรสร้างสัญญาณควบคุม สำหรับการพัฒนาวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลนั้นอาศัยหลักการประมาณค่าสืบเนื่อง โดยเอาต์พุตของวงจรหาค่าแอมพลิจูดจะอยู่ในรูปสัญญาณดิจิทัลขนาด 12 บิต ซึ่งแปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุตแบบแอนะล็อก ทั้งนี้วงจรสามารถทำงานได้โดยไม่จำเป็นต้องใช้วงจรสุ่มและคงค่าสัญญาณต่อร่วม ค่าเวลาที่ใช้สำหรับการทำงานของวงจรในแต่ละรอบมีค่าเท่ากับ 2 คาบของสัญญาณอินพุต การทดสอบแนวคิดในการออกแบบวงจรได้ใช้วิธีต่อวงจรลงบนบอร์ดทดลองโดยใช้ไอซีต่าง ๆ ที่หาซื้อได้ในท้องตลาด ค่าแรงดันเต็มสเกลด้านอินพุตวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลกำหนดให้มีค่าเท่ากับ 5 โวลต์ ซึ่งวัดค่าความผิดพลาดในการทำงานสูงสุดได้เท่ากับ ±13 มิลลิโวลต์ จากผลการทดสอบการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบพบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอตลอดช่วงความถี่ 4 เฮิรตซ์ ถึง 125 กิโลเฮิรตซ์ โดยมีช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 500 มิลลิโวลต์ ถึง 5 โวลต์

คำสำคัญ: วงจรหาค่าแอมพลิจูด วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล เทคนิคการประมาณค่าสืบเนื่อง

Abstract

The design of digital output amplitude detector for sinusoidal signal is presented in this paper. The proposed circuit consists of a peak detector, an analog-to-digital converter (ADC), and a control signal generator. The ADC implementation uses successive approximation technique. The proposed detector can produce the 12-bit digital output signal proportional to the peak amplitude of analog input signal without sample-and-hold circuit. The detection time is two cycle periods of input signal. The proposed detector has been verified using experimental results with the commercially available electronics components. The full-scale input voltage of ADC was set to 5V. The experimental results show that the proposed ADC can work with maximum error of ±13 mV. Input frequencies in variation from 4 Hz to 125 kHz for amplitude detector were tested. Experimental results for input voltage in range 500 mV to 5 V are in good agreement with the expected values.

Keywords: amplitude detector, analog-to-digital converter, successive approximation technique

บทนำ

วงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ (sinusoidal signals amplitude detector) เป็นวงจรที่มีประโยชน์และสำคัญมากวงจรหนึ่งในระบบอิเล็กทรอนิกส์ ตัวอย่างการประยุกต์ใช้งาน เช่น ใช้เป็นส่วนประกอบของวงจรกำเนิดสัญญาณรูปไซน์ที่มีการควบคุมค่าแอมพลิจูดแบบอัตโนมัติ (Kinget, 2006) ใช้เป็นส่วนประกอบของวงจรควบคุมอัตราขยายอัตโนมัติ (Khoury, 1998) ใช้เป็นส่วนประกอบของตัวควบคุมวงจรกรองความถี่แบบปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ (Ajjikuttira et al., 1991; Liu & Karsilayan, 2003) ใช้เป็นส่วนประกอบของวงจรทวีคูณค่าความถี่ของสัญญาณไซน์ (Sarafis & Karybakas, 1989) และใช้เป็นส่วนประกอบของระบบแสดงผลภาพบนจอคอมพิวเตอร์สำหรับการทดสอบค่าอิมพีแดนซ์ของวัสดุ (Povalac & Hribik, 2006; Rerkratn et al., 2005; Rerkratn et al., 2006; Rerkratn et al., 2007) เป็นต้น หน้าที่ของวงจรหาค่าแอมพลิจูดคือการให้สัญญาณเอาต์พุตที่เป็นสัดส่วนโดยตรงกับค่าแอมพลิจูดของอินพุตซึ่งเป็นสัญญาณรูปไซน์ จากประโยชน์และความสำคัญของวงจรหาค่าแอมพลิจูดทำให้ที่ผ่านมาได้มีการศึกษาวิจัยเพื่อพัฒนาออกแบบวงจรหาค่าแอมพลิจูดอย่างต่อเนื่อง โดยมีตัวอย่างหลักการออกแบบวงจรที่สำคัญ ๆ เช่น การออกแบบโดยใช้วงจรเรียงกระแสต่อร่วมกับวงจรกรองความถี่ต่ำผ่าน

(Boudouris & Peters, 1980; Kriegsmann, 1985) การออกแบบโดยใช้วงจรยกกำลังสองและวงจรหารสัญญาณต่อร่วมกับวงจรกรองความถี่ต่ำผ่าน (Gilbert, 2006; Surakampontorn, & Kumwachara, 1999) สำหรับวิธีที่สองนี้เป็นการหารากที่สองกำลังสองเฉลี่ย (Root Mean Square; RMS) ของสัญญาณ ซึ่งเป็นค่าที่แปรผันตรงกับแอมพลิจูดของสัญญาณอินพุต อย่างไรก็ตามทั้งสองวิธีดังกล่าวนี้จะให้เอาต์พุตที่มีลักษณะกระเพื่อมเล็กน้อยอยู่ตลอดเวลา นอกจากนี้ยังต้องใช้เวลาเริ่มต้นในการทำงานหลายคาบของสัญญาณอินพุตอันเนื่องมาจากการทำงานของวงจรกรองความถี่ต่ำผ่าน วิธีการต่อมาได้แก่การใช้วงจรเลื่อนเฟสคงที่ 90 องศา ต่อร่วมกับวงจรยกกำลังสองและวงจรถอดรากที่สอง (Chu et al., 1992; Sangpisit et al., 1998) ซึ่งวิธีดังกล่าวนี้ทำงานเร็วกว่าสองวิธีการแรก แต่อย่างไรก็ตามการใช้วงจรเลื่อนเฟส 90 องศาทำให้ช่วงปฏิบัติงานทางความถี่ของวงจรค่อนข้างแคบ วิธีการอื่น ๆ ได้แก่ การพัฒนาออกแบบด้วยเทคโนโลยีทรานซิสเตอร์แบบซีมอสในรูปแบบต่าง ๆ (Alegre et al.,2008 ; Alegre et al., 2009; Zhak et al., 2003) ในปี พ.ศ. 2549 คณะผู้วิจัยได้พัฒนาออกแบบวงจรหาค่าแอมพลิจูดโดยใช้วงจรตรวจจับค่ายอดสัญญาณต่อร่วมกับวงจรสุ่มและคงค่าสัญญาณและวงจรสร้างสัญญาณควบคุม (Raksachat et al., 2006) โดยวิธีดังกล่าวอาศัยวงจรสุ่มและคงค่าสัญญาณสำหรับการรักษาระดับแรงดันเอาต์พุตของวงจรให้มีค่าคงที่ (ไม่เกิดการกระเพื่อม) ในขณะที่ขนาดแอมพลิจูดของสัญญาณอินพุตมีค่าคงที่ ซึ่งเหมาะสำหรับการนำไปประยุกต์ใช้งานร่วมกับทรานส์ดิวเซอร์ที่ให้เอาต์พุตออกมาในรูปของสัญญาณรูปไซน์ที่มีค่าแอพลิจูดแปรผันกับปริมาณที่ต้องการตรวจวัด เช่น รีโซลเวอร์ (Resolver) แอลวีดีที (Linear Variable Differential Transformer, LVDT) และเครื่องตรวจจับโลหะแบบหลักการความถี่ต่ำมาก (Very Low Frequency; VLF) เป็นต้น ต่อมาคณะผู้วิจัยได้พัฒนาออกแบบวงจรหาค่าแอมพลิจูดที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลขนาด 8 บิต เพื่อนำไปประยุกต์ใช้งานกับตัวประมวลผลหรือภาคแสดงผลที่เป็นแบบดิจิทัล (Wangwiwatthana et al., 2008) เทคนิคการแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลภายในงานดังกล่าวเป็นการอาศัยหลักการนับ (counter method) ซึ่งมีจุดเด่นอยู่ที่ความเรียบง่ายของวงจร แต่จะมีจุดด้อยอยู่ที่ความล่าช้าในการทำงานโดยเฉพาะอย่างยิ่งหากต้องการเพิ่มความละเอียด (เพิ่มจำนวนบิต) ให้มีค่าสูงขึ้นในโครงงานนี้เป็นการพัฒนาปรับปรุงการออกแบบวงจรหาค่าแอมพลิจูดที่ให้เอาต์พุตที่เป็นสัญญาณดิจิทัลแบบใหม่ โดยได้กำหนดให้เอาต์พุตของวงจรมีขนาด 12 บิต อาศัยหลักการแบบการประมาณค่าสืบเนื่องซึ่งเป็นวิธีการแปลงสัญญาณที่รวดเร็วกว่าแบบหลักการนับ ทั้งนี้เพื่อให้เหมาะสมสำหรับการพัฒนาต่อในรูปแบบของวงจรรวมภายในไอซีเดียวกันต่อไปในอนาคต สำหรับรายละเอียดการพัฒนาออกแบบวงจรและการทดสอบการทำงานนั้นจะได้กล่าวในหัวข้อถัดไป

วัสดุอุปกรณ์และวิธีการ

บล็อกไดอะแกรมของวงจรหาค่าแอมพลิจูดที่ได้พัฒนาออกแบบขึ้นแสดงได้ดังรูปที่ 1(ก) ซึ่งจะเห็นได้ว่าโครงสร้างของวงจรประกอบด้วยวงจรตรวจจับค่ายอดสัญญาณ (Peak Detector; PD) ต่อร่วมกับวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter;ADC) และวงจรสร้างสัญญาณควบคุม (Control Signals Generator) รูปที่ 1(ข) แสดงแผนภาพเวลาของสัญญาณต่าง ๆ ที่สำคัญเปรียบเทียบกับสัญญาณแรงดันอินพุตของวงจรหนึ่งรอบของกระบวนการตรวจวัดและแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลจะใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต การทำงานในแต่ละรอบแบ่งออกได้เป็น 4 ลำดับการทำงานดังนี้คือ

ลำดับที่ 1: Q_{speak} เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 เพื่ออนุญาตให้วงจรตรวจจับค่ายอดสัญญาณเริ่มทำงาน สมมุติให้อินพุตของวงจรมีค่าเท่ากับ

$$V_{in} = A_1 sin2\pi f_{in} t = A_1 sin2\pi t/T_{in} \qquad (1)$$

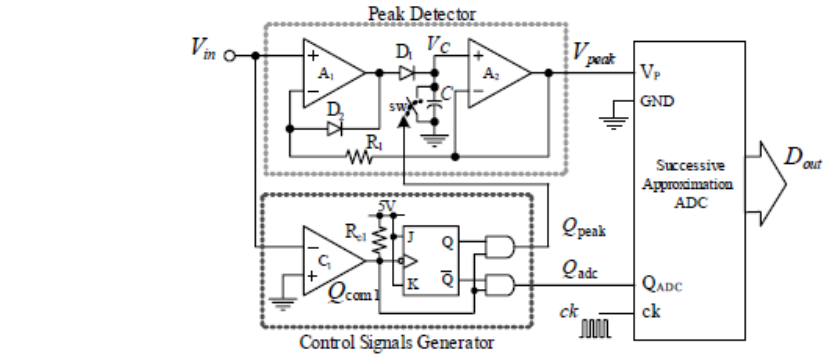
เมื่อ A_1, f_{in} และ T_{in} คือค่าแอมพลิจูด ค่าความถี่และค่าคาบเวลาของสัญญาณอินพุต ตามลำดับ หลังจากช่วงเวลา $T_{in}/4$ เป็นต้นไปค่าแรงดันเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณ (V_{peak}) จะมีค่าเท่ากับ

$$V_{peak} = A_1 \qquad (2)$$

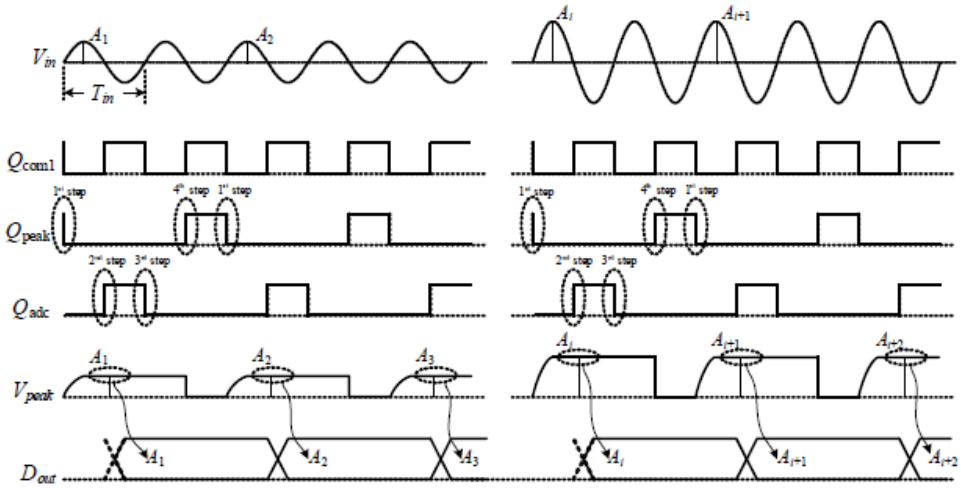
ลำดับที่ 2: Q_{sadc} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่ออนุญาตให้วงจร ADC เริ่มทำงาน ตัววงจร ADC จะทำการเปิดรับสัญญาณนาฬิกาภายนอก (ck) เพื่อนำมาสร้างเป็นสัญญาณควบคุมภายในวงจร ADC โดยตัววงจรจะทำการแปลงค่าแรงดัน V_{peak} ซึ่งมีลักษณะเป็นสัญญาณไฟตรงขนาดเท่ากับค่าแอมพลิจูดสัญญาณ V_{in} ให้เป็นสัญญาณดิจิทัลและส่งไปเป็นเอาต์พุตของวงจร (D_{out}) โดยค่าดังกล่าวนี้จะถูกเก็บรักษาไว้ด้วยรีจิสเตอร์ภายในวงจร ADC ทั้งนี้การทำงานของวงจร ADC นี้จะเสร็จก่อนที่ Q_{sadc} จะเปลี่ยนสถานะกลับเป็นลอจิก 0 เมื่อทำงานเสร็จตัว ADC จะทำการตัดสัญญาณนาฬิกาภายนอกออกอย่างอัตโนมัติ

ลำดับที่ 3: Q_{sadc} เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 ซึ่งเป็นการปิดสัญญาณควบคุมหลักของ ADC ทั้งนี้เป็นการเตรียมความพร้อมและหลีกเลี่ยงความผิดพลาดของการแปลงสัญญาณก่อนที่จะมีการรีเซ็ตค่าเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณ

ลำดับที่ 4: Q_{speak} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่อรีเซ็ตค่าแอมพลิจูดเดิมของวงจรตรวจจับค่ายอดสัญญาณ ทั้งนี้เป็นการเตรียมความพร้อมสำหรับการตรวจวัดค่าแอมพลิจูด (ค่ายอดสัญญาณ) ของสัญญาณอินพุตที่จะเข้ามาใหม่



(ก) บล็อกไดอะแกรมของวงจร



(ข) แผนภาพเวลา

รูปที่ 1 บล็อกไดอะแกรมของวงจรและแผนภาพเวลา

สำหรับการทำงานของวงจรย่อยในแต่ละส่วนสามารถแยกอธิบายได้ดังนี้ คือ วงจรสร้างสัญญาณควบคุม: เป็นการนำสัญญาณอินพุต V_{in} ไปผ่านวงจรตรวจจับผ่านศูนย์ (Zero-crossing detector) แบบกลับเฟสของสัญญาณเพื่อเปลี่ยนระดับของสัญญาณให้เป็นแบบดิจิทัล (Q_{com1}) จากนั้นอาศัยเจเคฟลิปฟลอป (JK Flip Flop) สำหรับการหาค่าความถี่ของสัญญาณดังกล่าวซึ่งจะได้เอาต์พุตของเจเคฟลิปฟลอปเป็น Q_{jk} การสร้างสัญญาณควบคุม Q_{peak} และ Q_{adc} สามารถทำได้โดย

$$Q_{\text{peak}} = Q_{\text{com 1}} \text{ and } Q_{\text{jk}} \qquad (3)$$

$$Q_{\text{adc}} = Q_{\text{com 1}} \text{ and } \overline{Q_{\text{jk}}} \qquad (4)$$

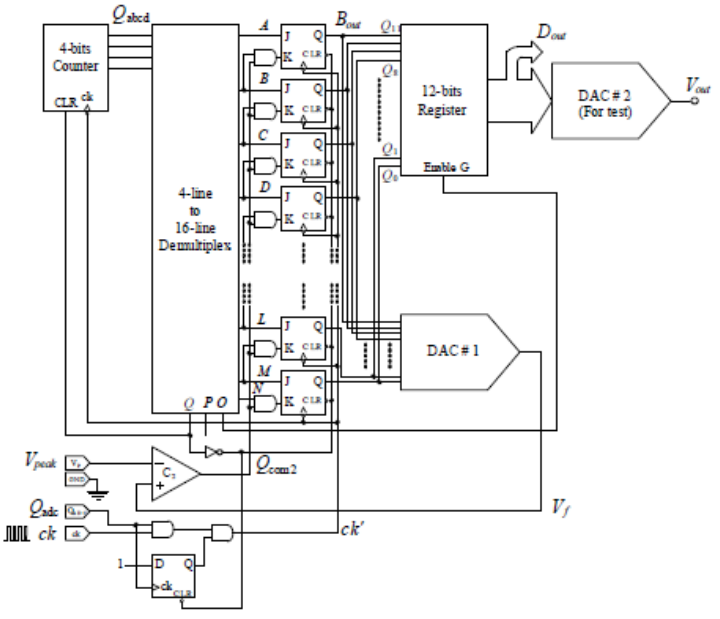
ข้อดีของวิธีการดังกล่าวนี้คือความกว้างของสัญญาณควบคุมทั้งสองจะสามารถปรับตัวเองให้ใช้งานได้กับสัญญาณอินพุตแต่ละความถี่ได้อย่างอัตโนมัติ (เท่ากับ $T_{in}/2$) โดยไม่จำเป็นต้องใช้วงจรเลื่อนเฟส 90 องศาต่อรวม

การพัฒนาวงจรตรวจจับค่ายอดสัญญาณ: เป็นการพัฒนาขึ้นโดยใช้ออปแอมป์ 2 ตัว (A_1 และ A_2) ต่อร่วมกับไดโอด (D_1 และ D_2) ตัวต้านทาน (R_1) ตัวเก็บประจุ (C) และสวิตช์อิเล็กทรอนิกส์ (sw) ซึ่งสามารถอธิบายการทำงานได้ดังนี้คือสมมุติให้เริ่มต้นสวิตช์อิเล็กทรอนิกส์อยู่ในสภาวะเปิดวงจร เมื่อสัญญาณอินพุต V_{in} ที่เข้ามาใหม่มีค่ามากกว่าแรงดันเอาต์พุต V_{peak} เดิม แรงดันเอาต์พุตของออปแอมป์ A_1 จะมีค่าสูงขึ้น ไดโอด D_1 จะได้รับการไบอัสตรง (ไดโอด D_2 ได้รับการไบอัสกลับ) โดยจะเกิดกระแสไหลผ่านไดโอด D_1 เพื่อชาร์จประจุให้กับตัวเก็บประจุ แรงดันตกคร่อมตัวเก็บประจุ (V_C) จะมีค่าสูงขึ้น ซึ่งจะถูกส่งออกไปเป็นเอาต์พุต (V_{peak}) รวมทั้งถูกส่งกลับไปเปรียบเทียบกับแรงดันอินพุต ค่าแรงดัน $V_{peak}=V_C$ จะมีค่าเพิ่มขึ้นจนกระทั่งมีค่าเท่ากับแรงดันอินพุต V_{in} และถ้าในเวลาต่อมาแรงดัน V_{in} มีค่าต่ำกว่าค่าเดิม หรือ $V_{in} < V_{peak}$ แรงดันเอาต์พุตของออปแอมป์ A_1 จะมีค่าลดลง ไดโอด D_1 จะได้รับการไบอัสกลับ (ไดโอด D_2 ได้รับการไบอัสตรง) ซึ่งจะไม่มีกระแสไหลเข้าหรือไหลออกจากตัวเก็บประจุ ค่าแรงดันตกคร่อมตัวเก็บประจุ V_C รวมทั้งแรงดันเอาต์พุต V_{peak} จึงมีค่าคงที่เท่าเดิมกับสภาวะก่อนหน้า

ในกรณีที่อินพุตของวงจรตรวจจับค่ายอด เป็นสัญญาณแรงดันรูปไซน์ที่มีค่าแอมพลิจูดคงที่จะได้เอาต์พุตของวงจรมีลักษณะเป็นสัญญาณไฟตรงที่มีขนาดเท่ากับค่าแอมพลิจูด

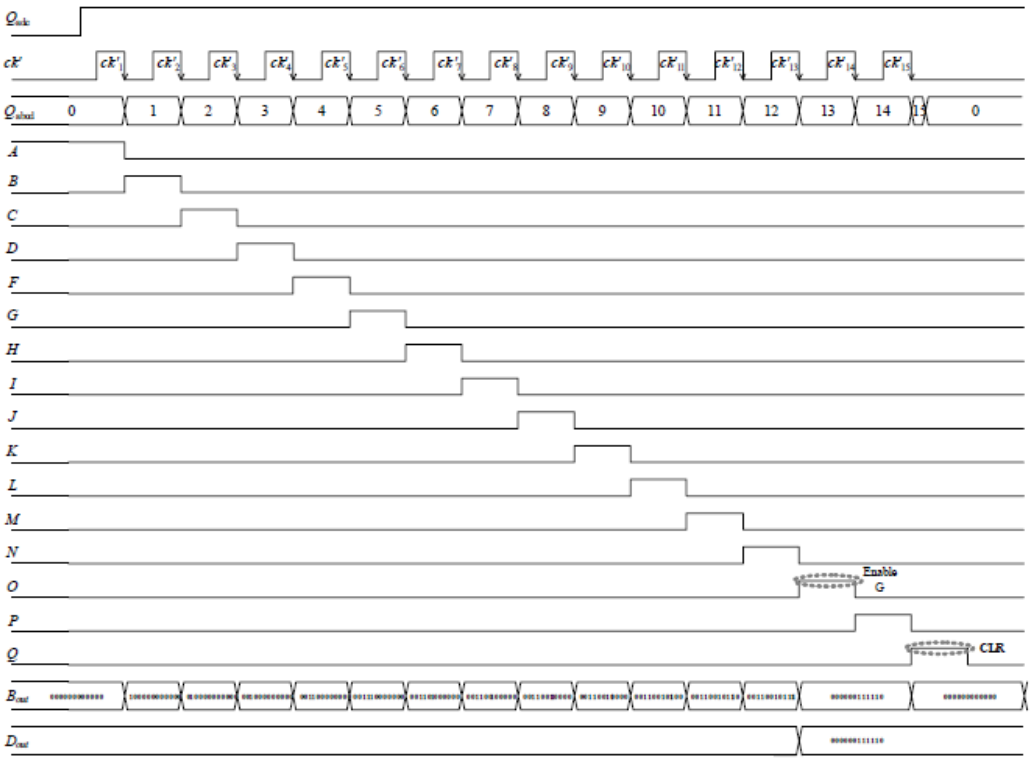
ของสัญญาณแรงดันอินพุตดังกล่าว ซึ่งจะถูกคงค่าไว้ตราบเท่าที่สัญญาณอินพุตที่เข้ามาใหม่มีขนาดใหญ่กว่าเดิมหรือสวิตช์อิเล็กทรอนิกส์ sw ได้รับสัญญาณควบคุมให้ปิดวงจร

ในส่วนของวงจร ADC: ภายในโครงงานนี้เป็นการออกแบบโดยอาศัยหลักการประมาณค่าสืบเนื่องดังแสดงในรูปที่ 2(ก) และแผนภาพเวลาของสัญญาณที่สำคัญสำหรับการอธิบายการทำงานของวงจรแสดงได้ดังรูปที่ 2(ข) โดยสถานะของ B_{out} และ D_{out} เกิดจากการสมมุติให้แรงดันอินพุตมีค่าเท่ากับ (814/4096) V_{ref} ซึ่งจะสามารถแปลงเป็นสัญญาณดิจิทัลขนาด 12 บิต ได้เป็น 0011 00101 110 การทำงานของ ADC จะเริ่มหลังจาก Q_{adc} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ดีฟลิปฟลอปจะทำการเปิดรับลอจิก 1 ไปเป็นเอาต์พุต ซึ่งจะนำมาแอนด์ (AND) กับสัญญาณ Q_{adc} และ ck เพื่อสร้างเป็นสัญญาณนาฬิกา ck' สำหรับการสร้างจังหวะควบคุมภายใน ADC วงจรนับขนาด 4 บิตจะทำการนับสัญญาณ ck'จาก 0000 ถึง 1111 (เท่ากับ 0 ถึง 15 สำหรับเลขฐานสิบ) วงจรดีมัลติเพล็กซ์ (Demultiplex) แบบ 16 ช่องเอาต์พุตทำหน้าที่ถอดรหัสของสัญญาณจากวงจรนับเพื่อส่งสัญญาณลอจิก 1 ไปให้กับขาเจของเจเคฟลิปฟลอปแต่ละตัวตามลำดับ ทั้งนี้จะเริ่มต้นจากบิตบนสุด (บิตอื่นในขณะนั้นมีค่าเป็นศูนย์) ต่อจากนั้นวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกตัวที่ 1 (DAC#1) จะทำหน้าที่แปลงสัญญาณดิจิทัล B_{out} ให้เป็นสัญญาณแอนะล็อก V_f กลับมาเปรียบเทียบกับแรงดัน V_{peak} พิจารณาขณะที่สัญญาณ ck' ลูกที่สองเข้ามาขาเจของเจเคฟลิปฟลอปตัวที่ 2 ได้รับการกระตุ้นด้วยลอจิก 1 การทำงานของเจเคฟลิปฟลอปตัวแรก (ควบคุมบิตบนสุด) จะแบ่งออกได้เป็น 2 กรณีคือ กรณีแรก $V_{peak} > V_f$ ซึ่งทั้งขาเจและขาเคของเจเคฟลิปฟลอปตัวแรกจะถูกกระตุ้นด้วยลอจิก 0 ทั้งคู่มีผลทำให้เอาต์พุตของเจเคฟลิปฟลอปตัวแรกมีสถานะคงเดิมนั่นคือลอจิก 1 กรณีที่สอง $V_{peak} < V_f$ ขาเคของเจเคฟลิปฟลอปตัวแรกจะถูกกระตุ้นด้วยลอจิก 1 (ขาเจถูกกระตุ้นด้วยลอจิก 0) เอาต์พุตของเจเคฟลิปฟลอปดังกล่าว จะกลายเป็นลอจิก 0 ซึ่งการทำงานของเจเคฟลิปฟลอปแต่ละตัวในลำดับถัดไปจะมีหลักการตัดสินใจเช่นเดียวกันนี้จนถึงบิตต่ำสุด จากรูปแผนภาพเวลาจะเห็นได้ว่าการทำงานของเจเคฟลิปฟลอปทั้ง 12 ตัวจะใช้สัญญาณนาฬิกา ck' ทั้งหมดเท่ากับ 13 ลูก ลำดับต่อไปคือจังหวะที่สัญญาณ O มีสถานะเป็นลอจิก 1 (Enable G) ซึ่งถูกใช้เป็นตัวกำหนดจังหวะการทำงานของรีจิสเตอร์ให้เปิดรับข้อมูลดิจิทัล B_{out} ไปเป็นสัญญาณเอาต์พุต D_{out} ของวงจร ลำดับสุดท้ายคือจังหวะที่สัญญาณ Q มีสถานะเป็นลอจิก 1 (CLR) ถูกใช้สำหรับการเคลียร์ค่าข้อมูลของวงจรนับและข้อมูลภายในเจเคฟลิปฟลอปแต่ละตัวให้กลายเป็นศูนย์ นอกจากนี้ยังถูกใช้สำหรับการเคลียร์ค่าข้อมูลภายในดีฟลิปฟลอปให้กลายเป็นศูนย์ เพื่อหยุดการทำงานของ ck' ก่อนที่สัญญาณควบคุมหลัก Q_{adc} จะเปลี่ยนสถานะจากลอจิก 1 กลับเป็นลอจิก 0 โดยกระบวนการทั้งหมดที่กล่าวมานี้จะใช้สัญญาณนาฬิกา ck'ทั้งหมด 15 ลูก ในส่วนของ DAC#2 นั้นถูกต่อไว้สำหรับการทดสอบผลการทำงานของวงจรในกรณีที่ต้องการแปลง ค่าสัญญาณดิจิทัลเอาต์พุตให้เป็นสัญญาณแอนะล็อกกลับไปเปรียบเทียบกับสัญญาณอินพุต V_{in}



(ก) โครงสร้างวงจร

รูปที่ 2 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล



(ข) แผนภาพเวลา

รูปที่ 2 (ต่อ) วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

การวิเคราะห์พารามิเตอร์ที่สำคัญของวงจร : ประการแรกที่ได้นำมาพิจารณาคือค่าความจุไฟฟ้าของตัวเก็บประจุ (C) ที่ใช้ภายในวงจรตรวจจับค่ายอดสัญญาณ ซึ่งจะต้องมีค่าไม่มากเกินไปเพราะจะทำให้วงจรไม่สามารถทำงานกับสัญญาณอินพุตที่มีความถี่สูงได้ทันและจะต้องมีค่าไม่น้อยเกินไปจนเกิดสภาวะแรงดันตก ($Droop$) ขณะทำงานในโหมดคงค่าข้อมูล (Franco, 2002; Peyton & Walsh, 1993) จากทั้งสองเงื่อนไขสามารถสรุปได้ดังนี้คือ

$$(I_L/Droop)<C<(T_{in}\ I_{o1(max)})/4A_{in})$$

เมื่อ $Droop$ = (2) $\Delta V/T_{in}$ คือค่าขนาดของแรงดันที่ลดลงที่ยอมรับได้ (V) ในช่วงเวลา $T_{in}/2$ สำหรับ A_{in} และ T_{in} คือค่าแอมพลิจูดและค่าคาบเวลาของสัญญาณอินพุต ตามลำดับ I_L คือค่ากระแสรั่วรวมของอุปกรณ์ที่ต่ออยู่กับตัวเก็บประจุ และ $I_{o1(max)}$ คือค่ากระแสเอาต์พุตสูงสุดของออปแอมป์ A_1 โดยในที่นี้พิจารณาว่าค่าอัตราสลูว์ (slew rate) ของออปแอมป์ (A_1) ที่เลือกใช้มีค่ามากกว่า $I_{o1(max)}/C$

ประการที่สองซึ่งได้นำมาพิจารณาคือค่าความถี่ (f_{ck}) ของสัญญาณนาฬิกา (ck) ที่ใช้ภายในวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ทั้งนี้มีวิธีพิจารณาคือ 1 รอบการทำงานจะใช้สัญญาณนาฬิกาทั้งหมด 15 ลูก และหากต้องการออกแบบให้การแปลงสัญญาณของวงจรเสร็จสิ้นภายใน 1 รอบการทำงานจะต้องใช้เวลาน้อยกว่า $T_{in}/2$ ดังนั้นจะต้องกำหนดให้

$$f_{ck}>30f_{in}$$

ในกรณีที่ใช้ f_{ck} มีค่าน้อยกว่าค่าดังกล่าวนี้การแปลงสัญญาณจะใช้เวลามากกว่า 1 รอบการทำงานปกติ (2 คาบของสัญญาณอินพุต) ซึ่งถือว่าเป็นกรณีพิเศษโดยวงจรจะยังคงสามารถทำงานได้ เนื่องจากค่าเอาต์พุตของวงจรนับยังคงมีค่าเท่าเดิม (ยังไม่ได้ถูกตั้งใหม่ (reset)) การแปลงสัญญาณในครั้งต่อไปจะเริ่มในตำแหน่งหรือบิตที่ถัดจากเดิมจนกระทั่งครบ 12 บิต และวงจรนับได้รับการตั้งสัญญาณใหม่ กรณีดังกล่าวนี้สามารถนำไปประยุกต์ใช้งานกับสัญญาณอินพุตที่มีค่าความถี่สูงแต่มีค่าแอมพลิจูดคงที่หรือมีอัตราในการเปลี่ยนแปลงค่าแอมพลิจูดต่ำได้ โดยภายใน 1 รอบการทำงาน (ทั้งการตรวจจับค่าแอมพลิจูดและการแปลงสัญญาณ) จะใช้เวลา (t) ทั้งหมดเท่ากับ

$$t=(2T_{in})30f_{in}/f_{ck}=n(2T_{in}) \qquad (5)$$

เมื่อ $n = 30f_{in}/f_{ck}$ จากสมการที่ (5) ยกตัวอย่างการคำนวณเช่นสมมุติให้ f_{in} = 100 กิโลเฮิรตซ์ f_{ck} = 1 เมกะเฮิรตซ์ จะได้ n = 3 นั่นคือจะต้องใช้เวลาทั้งหมดเท่ากับ $6T_{in}$ (เท่ากับ 3 เท่าของเวลาที่ใช้สำหรับการทำงานปกติ)

สิ่งที่พิจารณาประการต่อมาคือค่าความผิดพลาดของวงจร เมื่อแอมพลิจูดของสัญญาณอินพุตเกิดการเปลี่ยน

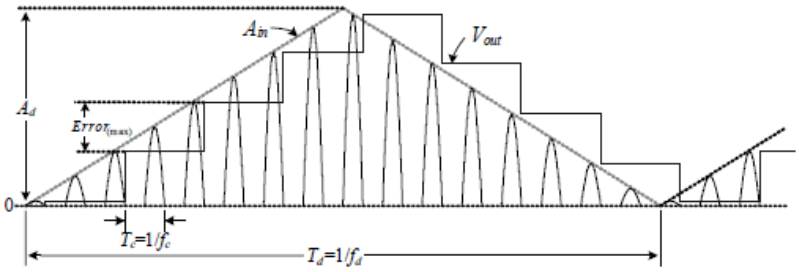
แปลงอย่างเป็นเชิงเส้น โดยสมมุติให้สัญญาณอินพุต (V_{in}) ของวงจรเกิดจากการมอดูเลตทางขนาดกันระหว่างสัญญาณพาห์ (Carrier) (เป็นสัญญาณความถี่สูงที่ใช้กระตุ้นการทำงานของเซนเซอร์) กับสัญญาณที่เป็นข้อมูล A_{in} (ปริมาณที่ต้องการตรวจวัดจากเซนเซอร์) ซึ่งเปลี่ยนแปลงขนาดเป็นรูปสามเหลี่ยมดังแสดงในรูปที่ 3 เพื่อให้ง่ายต่อการวิเคราะห์จะพิจารณาเฉพาะช่วงเวลาภายใน 1 รอบของการเปลี่ยนแปลงค่าแอมพลิจูดดังนี้คือ

$$V_{in} = A_{in} sin2\pi f_c t = 2A_d f_d t \begin{cases} (+1)\sin2\pi f_c t & for\ 0 < t \le T_d/2 \\ (-1)\sin2\pi f_c t & for\ T_d/2 < t \le T_d \end{cases} \quad (6)$$

เมื่อ A_d f_d และ T_d คือค่ายอด ค่าความถี่ และค่าคาบเวลาของสัญญาณ A_{in} ตามลำดับ และ f_c คือค่าความถี่ของสัญญาณพาห์ ($\sin 2\pi f_c$) กำหนดให้ $f_c > f_d$ เนื่องจากแต่ละรอบของการตรวจวัดจะใช้เวลาเท่ากับ $2/f_c$ ดังนั้นจะสามารถคำนวณหาขนาดความผิดพลาดสูงสุด ($Error_{(max)}$) ในแต่ละรอบการทำงานได้เท่ากับ

$$|Error_{((max))}| = 4A_d f_d / f_c \quad (7)$$

จากสมการที่ (7) สมมุติให้ A_d = 5 โวลต์ f_d = 100 เฮิรตซ์ และ f_c = 100 กิโลเฮิรตซ์ จะได้ค่า $Error_{(max)}$ = 20 มิลลิโวลต์ แต่ถ้า f_d มีค่าเปลี่ยนเป็น 1 กิโลเฮิรตซ์ จะได้ค่า $Error_{(max)}$ = 200 มิลลิโวลต์



รูปที่ 3 การวิเคราะห์ค่า $Error_{(max)}$

ประการสุดท้ายคือค่าความกว้างขั้น (*Step Width*) หรือขั้นการควอนไทซ์ (*Quantizationp Step; QS*) ของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ซึ่งมีขนาด 12 บิต ดังนั้นจะได้

$$QS = FS/2^{12} \quad (8)$$

เมื่อ *FS* คือค่าเต็มสเกล (*Full Scale*) ของสัญญาณแอนะล็อกอินพุต จากสมการที่ (8) ได้กำหนดให้ *FS* = 5 โวลต์ ซึ่งจะได้ค่า *QS* ของวงจรเท่ากับ 1.22 มิลลิโวลต์

สำหรับการทดสอบหลักการทำงานเบื้องต้นของวงจรที่ได้พัฒนาออกแบบขึ้นภายในงานนี้ได้ใช้วิธีต่อวงจรลงบนบอร์ดทดลองโดยใช้ไอซีสำเร็จรูปและอุปกรณ์สำคัญต่าง ๆ ดังนี้คือ ใช้ออปแอมป์เบอร์ LM319 ทำหน้าที่เป็นวงจรตรวจจับผ่านศูนย์ (C_1) และวงจรเปรียบเทียบแรงดัน (C_2) ใช้ไอซีเจเฟลิปฟลอปเบอร์ HD74LS76AP ไอซีดีฟลิปฟลอปเบอร์ DM74LS74AN ไอซีแอนด์เกตเบอร์ SN74LS08N ไอซีน็อตเกตเบอร์ SN74LS04 ไอซีวงจรนับเบอร์ HD74LS93P ไอซีวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกเบอร์ DAC7541A วงจรดีมัลติเพล็กซ์ใช้ไอซีเบอร์ DM74LS154N ต่อร่วมกับน็อตเกตรีจีสเตอร์ใช้ไอซีวงจรแลตช์เบอร์ DM74LS373N สำหรับไอซีออปแอมป์ A_1 และ A_2 คือเบอร์ LF351 ไดโอดเบอร์ 1N4148 และสวิตช์อิเล็กทรอนิกส์เบอร์ MC14066BCP กำหนดค่าแรงดันเต็มสเกลสำหรับ DAC#1 และ DAC#2 เท่ากับ 5 โวลต์ แหล่งจ่ายไฟเลี้ยงวงจรในส่วนที่เป็นแอนะล็อกเท่ากับ ± 12 โวลต์ แหล่งจ่ายไฟเลี้ยงวงจรในส่วนที่เป็นดิจิทัลเท่ากับ 5 โวลต์

ลำดับแรกผู้วิจัยได้ทำการทดลองแปรค่าขนาดของตัวเก็บประจุที่ใช้ในส่วนของวงจรตรวจจับค่ายอดสัญญาณเพื่อการใช้งานกับสัญญาณอินพุตที่ความถี่ต่าง ๆ โดยได้กำหนดเงื่อนไขให้สัญญาณอินพุตมีค่าแอมพลิจูดเท่ากับ 5 โวลต์ และภายในช่วงเวลา 1 คาบของสัญญาณอินพุตวงจรตรวจจับค่ายอดสัญญาณจะต้องสามารถตรวจจับและคงค่าแอมพลิจูดดังกล่าวได้โดยมีค่าผิดพลาดสูงสุดได้ไม่เกิน ± 0.1 โวลต์ ซึ่งจะได้ผลการทดลองดังแสดงในตารางที่ 1

ลำดับที่ 2 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานเฉพาะวงจร ADC โดยได้กำหนดให้สัญญาณ $V_{in(adc)}$ เป็นสัญญาณอินพุตของวงจร โดยที่ $V_{in(adc)}$ เป็นสัญญาณรูปสามเหลี่ยมความถี่ต่ำ (เท่ากับ 0.1 เฮิรตซ์) ขนาดเท่ากับ 5 โวลต์ ใช้สัญญาณนาฬิกาเท่ากับ 100 กิโลเฮิรตซ์ ทั้งนี้อาศัยวงจร DAC#2 (ถือว่าสมบัติตรงกับ DAC#1) สำหรับแปลงสัญญาณดิจิทัลเอาต์พุต D_{out} กลับเป็นสัญญาณแอนะล็อก V_{out} เพื่อเปรียบเทียบกับสัญญาณอินพุต $V_{in(adc)}$ ซึ่งจะได้ผลการทำงานดังแสดงในรูปที่ 4

ลำดับที่ 3 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ โดยได้ทดลองกับสัญญาณอินพุตรูปไซน์ที่มีค่าแอมพลิจูดคงที่เท่ากับ 2.49 โวลต์ มีค่าความถี่เท่ากับ 1 กิโลเฮิรตซ์ กำหนดค่าความถี่ของสัญญาณนาฬิกา (*ck*) เท่ากับ 100 กิโลเฮิรตซ์ ทั้งนี้เป็นการทดสอบว่าวงจรมีจังหวะหรือลำดับการทำงานสอดคล้องกับ

หลักการที่ได้ออกแบบไว้เพียงใด รวมทั้งเป็นการทดสอบว่าวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงานหรือไม่ ซึ่งได้ผลทดลองดังแสดงในรูปที่ 5 และรูปที่ 6

ลำดับที่ 4 ผู้วิจัยได้ทำการทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ($V_{carrier}$) ความถี่ 50 กิโลเฮิรตซ์ กับสัญญาณความถี่ต่ำ (V_{data}) รูปร่างต่างๆ (กำหนดค่าความถี่ของสัญญาณนาฬิกาเท่ากับ 1.5 เมกะเฮิรตซ์) ซึ่งได้ผลทดลองดังแสดงในรูปที่ 7

ลำดับที่ 5 ผู้วิจัยได้ทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดเช่นเดียวกับลำดับที่ 4 แต่สัญญาณความถี่ต่ำที่ใช้ได้กำหนดให้มีรูปร่างเฉพาะรูปไซน์ความถี่ 10 เฮิรตซ์ ซึ่งได้ผลทดลองดังแสดงในรูปที่ 8 นอกจากนี้ได้ทดลองแปรค่าความถี่ของสัญญาณความถี่ต่ำรูปไซน์จาก 1 เฮิรตซ์ ถึง 1 กิโลเฮิรตซ์ และทำการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก (Total Harmonic Distortion; THD) ของสัญญาณ V_{out} โดยจะได้ผลการวัดดังแสดงในรูปที่ 9

สำหรับขั้นตอนในลำดับที่ 4 และลำดับที่ 5 นี้เป็นการทดสอบว่าวงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถนำไปประยุกต์ใช้งานกับทรานส์ดิวเซอร์ที่ให้เอาต์พุตออกมาในรูปสัญญาณรูปไซน์ซึ่งมีการเปลี่ยนแปลงค่าแอมพลิจูดไปได้หรือไม่

ลำดับสุดท้ายผู้วิจัยได้ทดสอบว่า วงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดคงที่โดยมีค่าความถี่สูงที่สุดเท่ากับเท่าใด ทั้งนี้ได้ใช้สัญญาณนาฬิกาความถี่เท่ากับ 1.5 เมกะเฮิรตซ์

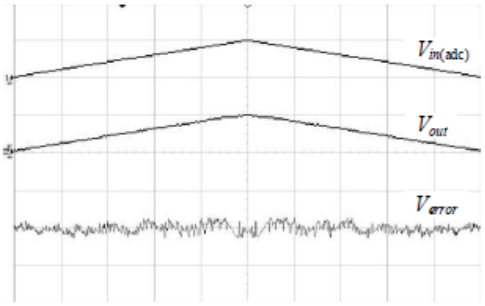
ผลการศึกษาและอภิปรายผล

ตารางที่ 1 แสดงผลการทดลองหาค่าขนาดของตัวเก็บประจุที่เหมาะสมสำหรับวงจรตรวจจับค่ายอดสัญญาณเพื่อใช้งานกับสัญญาณอินพุตในช่วงความถี่ต่างๆ ซึ่งจากตารางจะเห็นได้ว่าเมื่อสัญญาณอินพุตมีค่าความถี่ต่ำจะต้องใช้ตัวเก็บประจุที่มีค่าสูงและเมื่อสัญญาณอินพุตมีค่าความถี่สูงขึ้นต้องใช้ตัวเก็บประจุที่มีค่าต่ำลง

ตารางที่ 1 ค่าความจุไฟฟ้าที่เหมาะสมสำหรับสัญญาณอินพุตแอมพลิจูด 5 โวลต์ในแต่ละช่วงความถี่ใช้งาน

ค่าตัวเก็บประจุ (nF)	ช่วงความถี่ใช้งาน (kHz)	
	$f_{in(min)}$	$f_{in(max)}$
0.33	120	200
1	10	120
10	0.4	10
100	0. 04	4
1,000	0.004	0.4

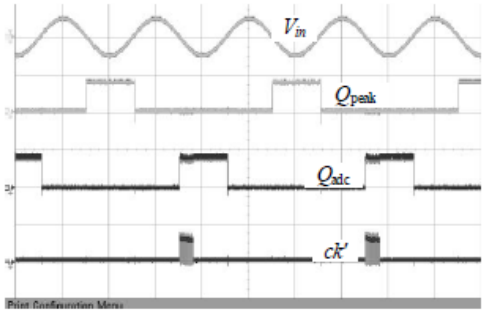
พิจารณารูปที่ 4 ซึ่งแสดงผลการทดสอบสมบัติการทำงานของวงจร ADC เมื่อ $V_{in(adc)}$ เป็นสัญญาณอินพุตของวงจร V_{out} เป็นสัญญาณแรงดันเอาต์พุตที่ได้จากวงจร DAC#2 และ $V_{error}=V_{out}-V_{in(adc)}$ ถือว่าเป็นค่าผิดพลาดในการทำงานของวงจร ซึ่งมีค่าสูงสุดประมาณเท่ากับ ±13 มิลลิโวลต์ โดยค่าผิดพลาดดังกล่าวนี้มีค่าสูงกว่าค่าขั้นการควอนไทซ์ตามสมการที่ (8) ประมาณ 11 เท่า ทั้งนี้ผู้วิจัยจะได้ปรับปรุงแก้ไขต่อไป



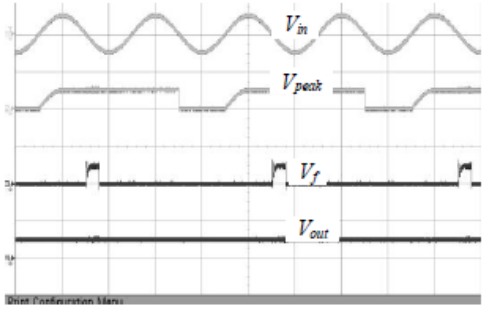
รูปที่ 4 ผลการทดสอบการทำงานของวงจร ADC (สเกลแนวตั้งสำหรับ $V_{in(adc)}$ และ V_{out} เท่ากับ 5 V/div., สเกลแนวตั้งสำหรับ V_{error} เท่ากับ 50 mV/div. สเกลแนวนอนเท่ากับ 1s/div.)

สำหรับรูปที่ 5 และรูปที่ 6 ซึ่งเป็นการทดสอบจังหวะการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ เมื่อสัญญาณอินพุตของวงจรมีค่าแอมพลิจูดคงที่โดยในรูปที่ 5 แสดงสัญญาณแรงดันอินพุต (V_{in}) สัญญาณควบคุมวงจรตรวจจับค่ายอด (Q_{peak}) สัญญาณควบคุมวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Q_{adc}) และสัญญาณนาฬิกา (ck') ที่ส่งไปให้วงจรนับภายในวงจร ADC โดยจะเห็นได้ว่าค่าความถี่ของสัญญาณ Q_{peak} และ Q_{adc} นั้นจะมีค่าเป็นครึ่งหนึ่งของค่าความถี่ของสัญญาณอินพุต โดยมีช่วงที่มีสภาวะลอจิก 1 ไม่พร้อมกัน (ทำงานสลับกันเว้นระยะเวลาเท่ากับ $T_{in}/2$) สัญญาณ ck' นั้นมีเฉพาะในช่วงเวลาที่ Q_{adc} มีสถานะเป็นลอจิก 1 และจะหมดไปเมื่อทำงานเสร็จ ซึ่งเป็นการยืนยันว่าวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงาน นอกจากนี้จะสังเกตได้ว่าความกว้างของช่วงเวลาที่มีสัญญาณ ck' จะใช้เวลาเท่ากับ 15 คาบของสัญญาณนาฬิกา ck หรือเท่ากับ (30/100) ของช่วงเวลา ($T_{in}/2$) ซึ่งตรงกับหลักการที่ได้ออกแบบไว้ ในรูปที่ 6 แสดงสัญญาณอินพุต V_{in} สัญญาณ V_{peak} สัญญาณ V_f และสัญญาณ V_{out} โดยจะเห็นได้ว่าสัญญาณ V_{peak} นั้นจะถูกรีเซ็ตให้มีค่าเป็น 0 ช่วงเวลาเท่ากับ $T_{in}/2$ ทุกๆ 2 คาบของสัญญาณอินพุต สัญญาณ V_f เป็นเอาต์พุตของ DAC#1 ที่ถูกป้อนกลับมาเปรียบเทียบกับสัญญาณ V_{peak} ซึ่งวงจร ADC จะทำการแปลงสัญญาณเฉพาะช่วงเวลาที่มีสัญญาณนาฬิกา ck' เท่านั้น สำหรับสัญญาณ V_{out} เกิดจากการนำ DAC#2 ไปต่อเพื่อรับข้อมูลจากรีจิสเตอร์สำหรับการแสดงผลการทำงานเปรียบเทียบกับสัญญาณอินพุต ซึ่งในกรณีที่แอมพลิจูดของสัญญาณอินพุตมีค่าคงที่สัญญาณ

V_{out} จะมีลักษณะเป็นสัญญาณไฟตรงที่มีค่าขนาดประมาณเท่ากับค่าแอมพลิจูดของสัญญาณอินพุต

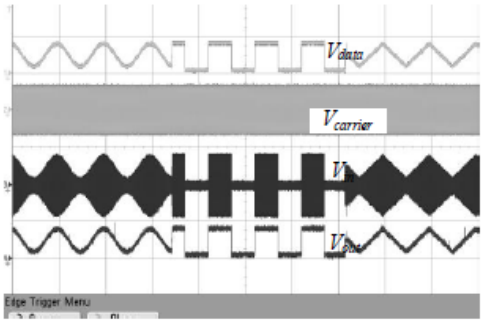


รูปที่ 5 สัญญาณ V_{in} สัญญาณ Q_{peak} สัญญาณ Q_{adc} และ สัญญาณ ck' (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500 μs/div.)

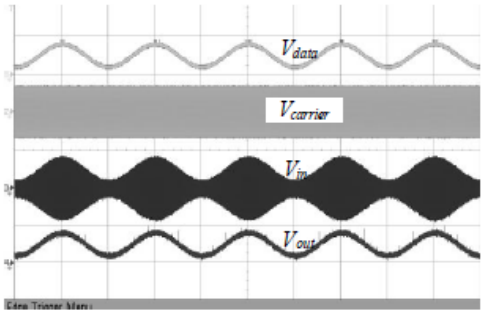


รูปที่ 6 สัญญาณ V_{in} สัญญาณ V_{peak} สัญญาณ V_f และสัญญาณ V_{out} (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500 μs/div.)

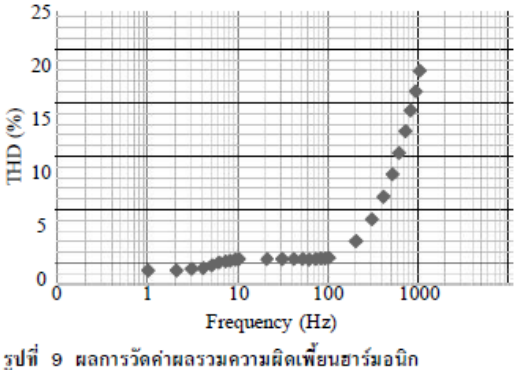
รูปที่ 7 และรูปที่ 8 แสดงตัวอย่างการทำงานของวงจรในกรณีที่อินพุตของวงจรเกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ($V_{carrier}$) ความถี่ 50 กิโลเฮิรตซ์ กับสัญญาณความถี่ต่ำ (V_{data}) ที่มีรูปร่างต่าง ๆ ดังรูป โดยจะเห็นได้ว่าสัญญาณ V_{out} ที่ได้จะมีรูปร่างเหมือนสัญญาณ V_{data} ซึ่งเป็นค่าแอมพลิจูดของสัญญาณ V_{in} และจากผลการวัดค่า THD ของสัญญาณ V_{out} จากการแปรค่าความถี่ของสัญญาณ V_{data} ที่เป็นรูปไซน์ดังแสดงผลการวัดในรูปที่ 9 จะเห็นได้ว่าเมื่อความถี่ของสัญญาณ V_{data} มีค่าสูงขึ้น ค่า THD ของสัญญาณ V_{out} ก็จะมีค่าสูงขึ้น ดังนั้นในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างช้า ๆ (ความถี่ของการเปลี่ยนแปลงแอมพลิจูดมีค่าต่ำ) วงจรที่ได้พัฒนาออกแบบขึ้นจะมีผลการทำงานที่ดีกว่าแบบที่มีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างรวดเร็วและผลจากการตรวจสอบค่าความถี่สูงที่สุดของสัญญาณอินพุตที่วงจรหาค่าแอมพลิจูดสามารถทำงานได้พบว่ามีค่าสูงสุดประมาณเท่ากับ 125 กิโลเฮิรตซ์ เมื่อใช้สัญญาณนาฬิกาเท่ากับ 1.5 เมกะเฮิรตซ์ ทั้งนี้มีค่าสูงกว่าแบบอาศัยหลักการนับแบบเดิมที่ผู้วิจัยได้เคยพัฒนาออกแบบไว้ (ขนาด 8 บิต) ซึ่งหลักการดังกล่าวนั้นสามารถใช้งานกับสัญญาณอินพุตที่มีความถี่สูงสุดได้เพียงประมาณ 3 กิโลเฮิรตซ์ (Wangwiwatthana et al., 2008) เมื่อใช้สัญญาณนาฬิกาความถี่เท่ากันจากสมบัติการทำงานที่สำคัญต่าง ๆ ของวงจรสามารถนำมาสรุปได้ดังแสดงในตารางที่ 2



รูปที่ 7 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดเป็นสัญญาณรูปต่าง ๆ (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 100 ms/div.)



รูปที่ 8 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดแบบเป็นสัญญาณรูปไซน์ (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 50 ms/div.)



รูปที่ 9 ผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก

ตารางที่ 2 ผลการตรวจสอบสมบัติการทำงานของวงจร

สมบัติการทำงาน	ผลการตรวจสอบ
เวลาที่ใช้ในแต่ละรอบการทำงาน	$2T_{in}$
ช่วงปฏิบัติการทางขนาดด้านอินพุต	0.5 โวลต์ ถึง 5โวลต์
ช่วงความถี่ใช้งาน	4 เฮิรตซ์ ถึง 125 กิโลเฮิรตซ์
ค่าผิดพลาดสูงสุด	$\pm$ 13 มิลลิโวลต์

สรุปผลการศึกษา

ตัวแปลงค่าแอมพลิจูดของสัญญาณรูปไซน์ให้เป็นสัญญาณดิจิทัลขนาด 12 บิตที่ได้พัฒนาขึ้นภายในครั้งนี้เป็นการพัฒนาวงจรอิเล็กทรอนิกส์สำหรับอำนวยความสะดวกและลดขั้นตอนการประมวลผลสัญญาณที่ได้จากทรานส์ดิวเซอร์บางชนิดที่มีลักษณะเป็นการมอดูเลตแบบแอมพลิจูดระหว่างสัญญาณกระตุ้นทรานส์ดิวเซอร์กับปริมาณที่ต้องการตรวจวัดโดยวงจรที่ได้พัฒนาขึ้นจะทำการตรวจวัดค่าแอมพลิจูดและแปลงให้เป็นสัญญาณดิจิทัลโดยอัตโนมัติ ผลจากการทดสอบการทำงานเบื้องต้นด้วยวิธีการต่อวงจรบนบอร์ดทดลอง พบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอโดยมีสมบัติที่สำคัญดังนี้คือ เวลาที่ใช้ในแต่ละรอบการทำงานมีค่าเท่ากับ $2T_{in}$ ซึ่งวงจรสามารถใช้งานกับสัญญาณรูปไซน์ความถี่สูงสุดประมาณเท่ากับ 125 กิโลเฮิรตซ์ ช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 0.5 โวลต์ถึง 5 โวลต์ ค่าผิดพลาดสูงสุดของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่วัดได้มีค่าโดยประมาณเท่ากับ ±13 มิลลิโวลต์ โดยค่าผิดพลาดดังกล่าวนี้ยังเป็นค่าที่สูงกว่าค่าขั้นการควอนไทซ์ที่ควรจะเป็นประมาณ 11 เท่า ซึ่งจะต้องปรับปรุงต่อไป

กิตติกรรมประกาศ

โครงงานวิจัยนี้ได้รับการสนับสนุนงบประมาณจากมหาวิทยาลัยนเรศวร (ทุนอุดหนุนการวิจัยจากงบประมาณแผ่นดิน ประจำปีงบประมาณ 2553) ซึ่งคณะผู้วิจัยขอขอบคุณมา ณ โอกาสนี้ และขอขอบคุณภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ซึ่งเป็นต้นสังกัดของผู้วิจัยที่ได้ให้การส่งเสริมสนับสนุนการทำวิจัยของบุคลากรอย่างจริงจัง

เอกสารอ้างอิง

Ajjikuttira, A., Stromsmoe, K. A., & Filanovsky, I. M. (1991). On-chip automatic tuning based on amplitude detection and its application in CMOS continuous-time filters. *Analog Integrated Circuits and Signal Processing, 1(3)*, 209-219.

Alegre, J. P., Celma, S., Calvo, B., & Garcia del Pozo, J. M. (2008). Design of a novel envelope detector for fast-settling circuits. *IEEE Transactions on instrumentation and measurement, 57(1)*, 4-9.

Alegre, J. P., Celma, S., Garcia del Pozo, J. M., & Medrano, N. (2009). Fast-response low-ripple envelope follower. *INTEGRATION, the VLSI journal, 42*, 169-174.

Boudouris, A., & Peters, E. F.(1980).Audio amplitude detector circuit. *United states patent. 4,206,415, (Eprad Incorporated), 929507.*

Chu, H. Y., Jou, H. L., & Huang, C. L. (1992). Transient response of a peak voltage detector for sinusoidal signals. *IEEE Transactions on industrial electronics, 39(1)*,74-79.

Franco, S. (2002). *Design with operational amplifier and analog integrated circuit* (3rd ed.). McGraw-Hill Higher Education, 433-437.

Gilbert, B. (2006). Low supply current RMS-to-DC converter. *United states patent. 7,002,394 B1 (Analog Devices, Inc.)*, 09/694,731.

Khoury, J. M. (1998, March). On the design of constant settling time AGC circuits. *IEEE Transactions on circuit and systems-II: Analog and digital signal processing. 45(3)*, 283-294.

Kinget, P. (2006, May). *Amplitude detection inside CMOS LC oscillators.* Paper presented at the 2006 IEEE International symposium on circuits and systems (ISCAS 2006), Island of Kos, Greece.

Kriegsmann, G. A. (1985). An asymptotic theory of rectification and detection. *IEEE Transactions on circuit and systems, CAS-32, 10*, 1064-1068.

Liu, H., & Karsilayan, A. I. (2003). An accurate automatic tuning scheme for high-Q continuous-time bandpass filters based on amplitude comparison. *IEEE Transactions on circuit and systems-II: Analog and digital signal processing, 50(8)*, 415-423.

Peyton, A. J., & Walsh, V. (1993). *Analog Electronics with Op-amps: A Source Book of Practical Circuits.* Cambridge University Pre, 231-246.

Povalac, P., & Hribik, J. (2006). Computer controlled measurement system. *Measurement science review, 6, 1(4)*, 32-35.

Raksachat, P., Chaikla, A., Kaewpoonsuk, A., Riewruja, V. & Julsereewong, P. (2006, October). *An amplitude detector for variable frequency sinusoidal signals.* Paper presented at the SICE-ICASE International joint conference, Bexco, Busan, Korea.

Rerkratn, A., Lertpakdee, T., Chitsakul, K., Sangworasil, M., & Petchmaneelumka, W. (2006, October). *8-Electrode data collection system for electrical capacitance tomography*. Paper presented at the SICE-ICASE international joint conference 2006, Bexco, Busan, Korea.

Rerkratn, A., Pulkham, J., Chitsakul, K., Sangworasil, M., & Kaewpoonsuk, A. (2007, October). *High current low frequency eddy current imaging system*. Paper presented at the 2007 International conference on control, automation and systems (ICCAS 2007), COEX, Seoul, Korea.

Rerkratn, A., Pulkham, J., Chitsakul, K., Sangworasil, M., Keawpoonsuk, A., & Songsataya, K. (2005, June). *Eddy current system for coating thickness measurement.* Paper presented at the 2005 International conference on control, automation, and systems (ICCAS 2005), KINTEX, Gyeonggi-Do, Korea.

Sangpisit, W., Wardkein, P., Kiranon, W., & Loescharataramdee, C. (1998). A novel derivative envelope detector. *IEEE Transactions on consumer electronics, 44(4)*, 1396-1405.

Sarafis, G. A., & Karybakas, C. A. (1989). Constant gain sinusoidal frequency multiplier. *International Journal of Electronics, 67(1)*, 35-41.

Surakampontorn, W., & Kumwachara, K. (1999). A Dual translinear-based true RMS-to-DC converter. *IEEE Transactions on instrumentation and measurement, 47(2)*, 459-464.

Wangwiwatthana, C., Kaewpoonsuk, A., & Riewruja, W.(2008,August). *An amplitude-to-digital converter.* Paper presented at the SICE annual conference, The university electro-communications, Japan.

Zhak, S. M., Baker, M. W., & Sarpeshkar, R. (2003). A low-power wide dynamic range envelope detector. *IEEE Journal of solid-state circuits, 38(10)*, 1750-1753.

ITC-CSCC 2011

The 26th International Technical Conference on
Circuits/Systems, Computers and Communications

Program & Abstracts

June 19 – 22, 2011
Hyundai Hotel, Gyeongju, Korea

10. Resolver-signal Demodulator Using Phase Shifter

Anucha Kaewpoonsuk, Ratchanoo Katman (Naresuan University, Thailand), Apinai Rerkratn, Vanchai Riewruja (King Mongkut's Institute of Technology Ladkrabang, Thailand)

An alternative approach to implement the fast resolver-signal demodulator is presented in this paper. The realization technique is utilized the phase shift behavior of all-pass filter connected with designed logic circuit to generate the reference signal from exciting signal of resolver rotor. The proposed demodulator produces two output signal voltages, which are proportional to sine and cosine envelopes of resolver-shaft angle without low-pass filter circuit. Experimental results verifying the performance of the proposed circuit are closely agreed with the expected values.

11. A Simple Technique for Measuring Amplitude of Transient Signals

Anucha Kaewpoonsuk (Naresuan University, Thailand), Wandee Petchmaneelumka, Thepjit Cheypoca (King Mongkut's Institute of Technology Ladkrabang, Thailand)

This paper presents a simple circuit technique based on commercially available devices for measuring the amplitude of transient signals. The proposed technique produces digital output proportion to the amplitude of sinusoidal analog input signal without low-pass filter. The realization method employs a peak detector, a comparator, an analog-to-digital converter, and a microcontroller. In addition, the devices used in the proposed circuit are simple and low cost. The conversion time is one cycle period of input signal. Performances of the proposed circuit are discussed in detail and confirmed by experimental results.

12. An Analysis of the Portable Breath Alcohol Testing Set Performance

Somchai Arunrungrusmi, Narong Mungkung, Nathwut Kowattanajarankij (King Mongkut's University of Technology Thonburi, Thailand), Toshifumi Yuji (University of Miyazaki, Japan)

This paper was aimed to develop a breath alcohol meter. The principle of alcohol level detecting meter is to measure the amount of alcohol percentage in the human blood by checking the air flow from human mouth as well as alcohol from the stomach. Blood alcohol concentration is measured using the energy conversion theory between electrical and chemical conversion to electrical quantity. In this paper an analog alcohol breath meter was developed. Signal from the sensor was amplified by an amplifier circuit and fed into an analog ammeter for readings of the alcohol concentration. The SnO_2 gas sensor model is used to measure percentage of alcohol. The reference alcohol standard solutions of ranging from 15 to 145 mg % were used in the calibration and testing process.

13. Analysis and Improvement of Modeling Method of Polysilicon Trap in 3-dimensional Bit Cost Scalable Technology

Seonjun Choi, Seung-Beck Lee (Hanyang University, Korea)

In this work, we propose an improved method to analyze leakage currents in the 3-dimensional bit cost scalable technology (BiCS) vertical polysilicon channel string by applying the grain boundary trap model. The model can well describe the grain boundary trap in the sub micron polysilicon body and the various characteristics resulting from the traps can be well analyzed and predicted by using this model. We investigated the I-V characteristics and the leakage currents depending on various variables(grain size, thickness position) using TCAD simulation tool and we found that using the grain boundary trap model, the transfer characteristics and the leakage current simulations results were more realistic than using the expoenetial trap model We found that the grain boundary under the DSL gate has greater effect on the string performance than the ones in the WL gate, and the transfer characteristics and the leakage current is changed by the position of grain boundary in polysilicon channel.

14. Increasing Channel Area of 3D Stackable Vertical Gate Flash Memory by Inter-bit Line Dielectric Reduction

Taeeon Park, Seonjun Choi, Seung-Beck Lee (Hanyang University, Korea)

In this work, we propose a new structure to reduce leakage in a vertical gate (VG) NAND 3-D Flash memory structure by using a pi (Φ) shaped gate and ultra thin body around the polysilicon channel. In the Pi gate structure since the channel width is defined by the isotropic etching of the inter-bit line dielectric layer, the current levels may be maintained while having a thinner channel. The ultra-thin body structure may have reduced depletion width of bit line, so band bending and band shift on the bit line is easy to achieve. We investigated the I-V characteristics of the different structures using TCAD simulation tool and we confirmed that compared with the VG-NAND structure, the result of the pi gate structure shows a doubling of Ion,, two orders of magnitude lower Ioff, and better subthreshold characteristics.

15. Development of Plasma Generator Control for Split Type Air Conditioner

Krisada Phetploy (Taluang Technical College Office, Thailand), Prasit Mongkholkaset (Nakhonratchsrima Technical College Office, Thailand), Narong Mungkung, Nattawut Korwattanacharoenkij, Somchai Arunrungrusmi (King Mongkut's University of Technology Thonburi, Thailand), Yuttana Janthasira (Nongbualampoo Technical College, Thailand)

This paper presents the plasma generator which the research this time have the objective for analyses the system controls the occurrence plasma at use in the air-conditioner. Flyback Converter give work at 10 - 30 KHz (DC high voltage) frequencies change a pot modifies high frequency circuit n rectifier and filter of output for get the direct current that the voltage output 10 kVdc for bring apply with electrode high irregularly in building group electrode cause the phenomenon Corona discharge in ozone production and the development control the occurrence plasma test the usability in the air-conditioner. The all by set up the origin plasma

A Simple Technique for Measuring Amplitude of Transient Signals

Anucha Kaewpoonsuk[1], Wandee Petchmaneelumka[2] and Thepjit Cheypoca[2]

[1]*Department of Physics, Naresuan University, Phitsanulok 65000, Thailand*
[2]*Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand, E-mail: anuchak@nu.ac.th*

Abstract

This paper presents a simple circuit technique based on commercially available devices for measuring the amplitude of transient signals. The proposed technique produces digital output proportion to the amplitude of sinusoidal analog input signal without low-pass filter. The realization method employs a peak detector, a comparator, an analog-to-digital converter, and a microcontroller. In addition, the devices used in the proposed circuit are simple and low cost. The conversion time is one cycle period of input signal. Performances of the proposed circuit are discussed in detail and confirmed by experimental results.

Keywords: Amplitude detector, peak detector, interface circuit, amplitude-to-digital converter.

1. Introduction

In instrumentation and measurement systems, there are some situations that strongly require for measuring amplitude of sinusoidal input signals. For example, hardware realizations of automatic gain control (AGC) [1] and electrical impedance tomography [2] need the amplitude measurement circuit as one of major components. There are two common approaches for computer-based display and control systems; directly digitizing technique and analog amplitude-computation technique. The digital computation technique is normally based on a numerical algorithm processed by digital processor. Unfortunately, a delay time occurs in the computational process. Thus, this result is not feasible for applications in real-time system. The analog amplitude-computation technique provides a high-speed operation, which results in a real-time determination. In the past, one of circuit implementation methods for analog amplitude-computation technique has been reported [3]. This approach is based on the use of rectifier-low pass filter circuit connected with analog-to-digital converter (ADC). However, this method requires several cycles of input signal to settle output signal and causes the ripple output. Alternatively, analog amplitude detector schemes are based on the CMOS technology [4-5]. These approaches require closely matched transistors, which can be accurately realized only in integrated circuit form. For a small quantity of the circuit implementation, the integrated circuit realization is unsuitable owing to economic considerations. Therefore, the use of commercially available devices such as operational amplifier (opamp) IC, ADC IC, and microcontroller to implement the amplitude detector is really interesting.

In this paper, mixed analog and digital signal processing technique for measuring amplitude of transient signals, is presented. The proposed realization method utilizes a peak detector characteristic to hold the peak-amplitude of the input signal before applying to ADC controlled by microcontroller. Based on the proposed technique, a high-speed operation and a small ripple output signal can be easily achieved.

2. Circuit Description

The diagram of the proposed circuit is shown in Fig. 1. It consists of the peak detector, comparator, ADC, and microcontroller. The signal V_{in} denotes a sinusoidal input voltage of the circuit. The amplitude of V_{in} can be monitored as a DC voltage by the action of peak detector and be converted into digital output bits, D_{out}, by the use of 12-bit serial-output ADC. The microcontroller is employed to control the operation of ADC. In order to illustrate the proposed operation, the waveform sketches relating to the various nodes are shown in Fig. 2. Assume that the input voltage V_{in} is given by

$$V_{in} = A_1 \sin(2\pi f_{in} t) = A_1 \sin\left(\frac{2\pi t}{T_{in}}\right) \quad (1)$$

where A_1, f_{in}, and T_{in} are an amplitude, frequency, and period of input signal, respectively. For initial conditions, we assume that the Q_{reset} pulse is low, and the peak detector output V_{peak} is zero. The sequential operation can be explained as follows.

Step 1: when the input signal V_{in} is greater than zero and the comparator output Q_{read} is high. Peak

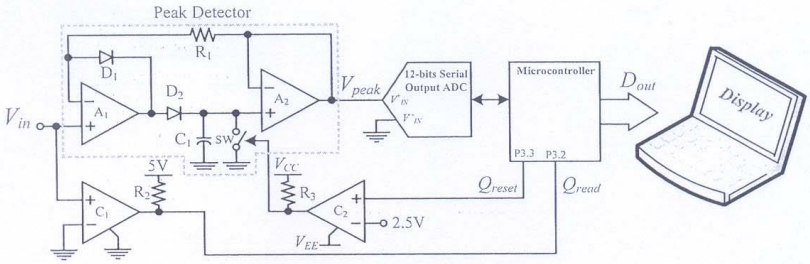


Fig. 1 Circuit diagram of proposed technique.

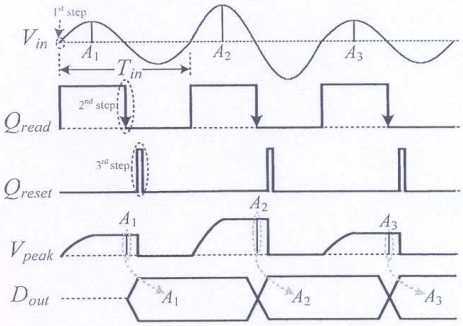


Fig. 2 Waveform signals of the proposed circuit.

detector will detect the most positive peak value of V_{in}. After $t = T_{in}/4$, its voltage output V_{peak} is then determined as

$$V_{peak} = A_1 \quad (2)$$

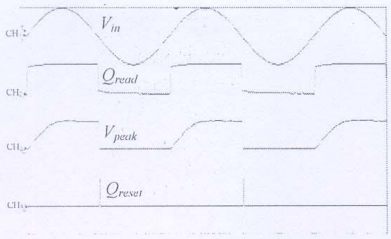
Step 2: when the input signal V_{in} becomes the negative voltage, the comparator output Q_{read} is changed from high into low for exciting the microcontroller. The ADC controlled by the microcontroller starts on converting V_{peak} into digital output forms, D_{out}, according to the amplitude of V_{in}. Then, the microcontroller will send the digital signal D_{out} to the display device.

Step 3: the microcontroller generates Q_{reset} for reset the output voltage V_{peak} of peak detector to be zero. The peak detector is then ready to succeeding tracking.

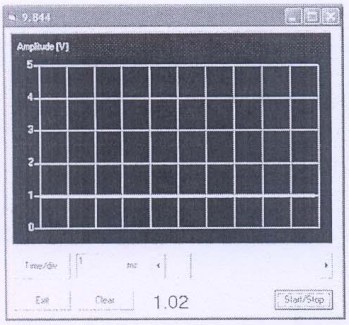
3. Experimental Results

To verify the performances of the proposed technique, the circuit as shown in Fig. 1 was implemented on a breadboard. The ADuC842 device is used as 12-bit serial-output ADC, where the full-scale input voltage of 5 V was chosen, the quantization step of 1.22 mV can be thus achieved. The LM741 and LF351 ICs are employed as the opamps A_1 and A_2, respectively. The LM311 and CD4066 ICs are formed as the comparators C_1 and C_2 and the analog switch sw, respectively. The supply voltages were set to ±7V. The communication between the microcontroller and computer used for display is performed via RS-232 cable. The monitor on computer was developed by using Visual Basic programming language.

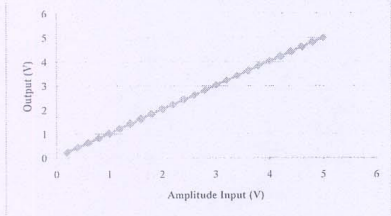
Fig. 3 shows the sampled results of the proposed circuit, where the sinusoidal input of 1 kHz frequency and 1 V peak amplitude was applied. In Fig. 3(a), the signals V_{in}, Q_{read}, V_{peak}, and Q_{reset} are measured by using oscilloscope. It is apparent that the results are in good agreement with the expected signals as illustrated in Fig. 2. From the monitor screen of the computer as shown in Fig. 3(b), it is clearly seen that the output of measuring input amplitude is equal to 1 V DC.



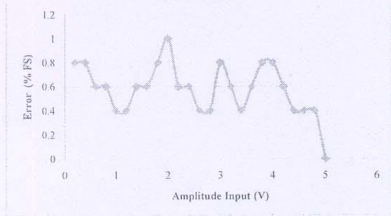
(a) Measured signals
(Vertical scale, CH_1: 1V/div.; CH_2: 5V/div.; CH_3: 1V/div.; CH_4: 5V/div., horizontal scale: 250ms/div.)



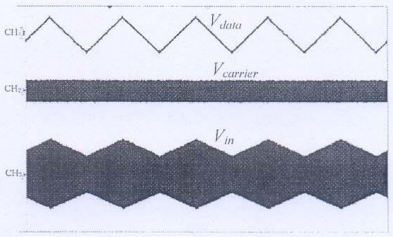
(b) Monitor screen on the computer
Fig. 3 Measured signals for 1 kHz sinusoidal input signal with amplitude 1V.



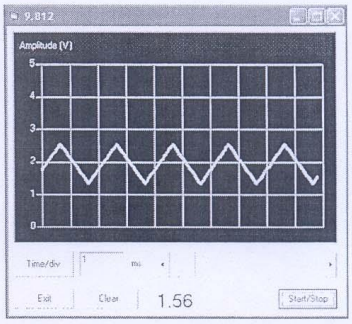
(a) Output



(b) Non-linear error
Fig. 4 Measured results for varying amplitude of input signal



(a) Measured signals
(Vertical scale, CH_1: 5V/div.; CH_2: 5V/div.; CH_3: 2V/div., horizontal scale: 1s/div.)



(b) Monitor screen on the computer
Fig. 5 Measured signals for amplitude-modulated input signal.

Fig. 4 shows the results obtained from applying sinusoidal input signal with constant frequency (1 kHz) and varied amplitude (0 V to 5 V). It is evident that the proposed circuit can respond instantly to the changing amplitude input signal and also can measure the lowest input amplitude approximately equal to 150 mV. The maximum error was estimated from experimental results to be approximately 1% of full scale reading. In addition, the experimental results confirm that the proposed technique can measure the amplitude value of sinusoidal input within one cycle period when the input frequency is less than 1 kHz. Otherwise, the conversion time or operation speed of the proposed technique is more than one cycle period. However, the maximum input frequency that can be measured by the proposed method is about 23 kHz.

Fig. 5 displays the sampled results for applying the 0.5 Hz triangular input signal modulated with 1 kHz carrier. It is clearly seen that the proposed technique can function as a demodulator that provides the output signal in the form of enveloped value of input signal.

4. Conclusion

This paper has described the mixed analog and digital technique to measure amplitude value of transient signals. The method consists of the peak detector, comparator, ADC, and microcontroller. The digital output can be also achieved without connecting low-pass filter. Experimental results confirm that the proposed method functions correctly and provides good performances.

References

[1] J. M. Khoury, "On the design of constant settling time AGC circuits", *IEEE Transactions on circuit and systems-II: Analog and digital signal processing*. vol. 45, no. 3, pp. 283-294, March 1998.

[2] P. Povalac, and J. Hribik, "Computer controlled measurement system", *Measurement science review*, vol. 6, sec. 1, no. 4, pp. 32-35, 2006.

[3] G. A. Kriegsmann, "An asymptotic theory of rectification and detection", *IEEE Transactions on circuit and systems*, cas-32, no. 10, pp. 1064-1068, 1985.

[4] J. P. Alegre, S. Celma, J. M. Garcia del Pozo, and N. Medrano, "Fast-response low-ripple envelope follower", *INTEGRATION, the VLSI journal*, vol. 42, pp.169-174, 2009.

[5] S. M. Zhak, M. W. Baker, and R. Sarpeshkar, "A low-power wide dynamic range envelope detector", *IEEE Journal of Solid-state Circuits*, vol. 38, no. 10, pp. 1750-1753, 2003.

IEEE Acceptance Letter

International Conference on Control, Automation and Systems
(ICCAS 2010)

October 27(Wed.)-30(Sat.), 2010
KINTEX, Gyeonggi-do, KOREA

http://www.iccas.org

General Chair

Man Hyung Lee (ICROS, President, Korea)

Organizing Chair

Jae-Bok Song (Korea Univ., Korea)

Advisory Council

Myeung Sam Ko (Seoul National Univ., Korea)
Kwang Bang Woo (Yonsei Univ., Korea)
Seon Hoon Bae (KAIST, Korea)
Hyun-Ku Rhee (Seoul National Univ., Korea)
Wook Hyun Kwon (Seoul National Univ., Korea)
Hyung Suck Cho (KAIST, Korea)
Youngil Youm (POSTECH, Korea)
Kah Sik Min (Hyundai Heavy Industries, Korea)
Ju-Jang Lee (KAIST, Korea)
Chongkug Park (Kyung Hee Univ., Korea)
Deug Young Jee (KSIA, Korea)
Sung Kwun Kim (Korea Polytechnic Univ., Korea)

Jin Seog Choi (Hynix Semiconductor Inc., Korea)

Program Chair

Mye-Taeg Lim (Korea Univ., Korea)

Regional Program Co-Chairs

Keiga Watanabe (Okayama Univ., Japan)
Zengqi Sun (Tsinghua Univ., China)
Li-Chen Fu (National Taiwan Univ., Taiwan)

Jongkol Ngamwiwit (KMITL, Thailand)

International Relation Co-Chairs

Chung Choo Chung (Hanyang Univ., Korea)
Jae Weon Choi (Pusan National Univ., Korea)

Kang-Bak Park (Korea Univ., Korea)

Organized Session Co-Chairs

Young Hoon Joo (Kunsan Univ., Korea)
Hyouk Ryeol Choi (Sungkyunkwan Univ., Korea)
Jietae Lee (Kyungpook National Univ., Korea)
Seul Jung (Chungnam National Univ., Korea)

Young Il Lee (Seoul Nat'l Univ. of Tech., Korea)

Finance Co-Chairs

Chul-Goo Kang (Konkuk Univ., Korea)

Dong Hyuk Cha (Korea Polytechnic Univ., Korea)

Workshop & Tuterials Co-Chairs

Chan Geek Park (Seoul National Univ., Korea)
Wookjin Chung (Korea Univ., Korea)
Euntai Kim (Yonsei Univ., Korea)

Chaan Ki Ahn (Wonkwang Univ., Korea)

Publication Co-Chairs

Jang Kiweon Park (KIMM, Korea)
Sang Hun Lee (Keokmin Univ., Korea)

Eun Sang Lee (Inha Univ., Korea)

Publicity Co-Chairs

Jae Hoon Kim (Samsung Heavy Industries, Korea)
Sung Hyun Han (Kyungnam Univ., Korea)
Jahng Hyon Park (Hanyang Univ., Korea)

Hye Kyung Cho (Hansung Univ., Korea)

Local Arrangement Co-Chairs

Young Im Cho (Univ. of Suwon, Korea)
Kyung-Soo Kim (KAIST, Korea)

Jeone Cheong (Korea Univ., Korea)

Secretariat

Sam Jun Seo (Anyang Univ., Korea)

Jin Yeung Yeu (ICROS, Korea)

Paper No : 100423

Presentation Type : Oral

Title : A Simple Amplitude Detector-based Demodulator for Resolver Converters

Author(s) : * Dr. Anucha Kaewpoonsuk (Naresuan University, Thailand), Graduate Student APINAI RERKRATN (King mongkut's Institute of Technology Ladkrabang, Thailand), Graduate Student Ratchanee Katman (Naresuan University, Thailand), Prof. Vanchai Riewruja (King Mongkut;"s Institute of Technology Ladgrabang, Thailand)

Dear Dr. Anucha Kaewpoonsuk,

On behalf of the ICCAS 2010 Program Committee, it is our pleasure to inform you that your paper described above has been accepted for presentation. You are requested to submit the full paper through " Online Paper Submission" in the ICCAS 2010 homepage by July 30, 2010. Please follow the guidelines shown below when preparing the manuscript. For more information, please refer to "Paper Submission Guideline" of the website http://2010.iccas.org/

*** Guidelines**

1. The conference proceedings will be included in IEEE Xplore and EI compendex. Submitted papers (after acceptance) must conform to the IEEE Xplore requirements for PDF files.
2. Please read carefully the Final Paper Submission Guidelines Using IEEE PDF eXpress for ICCAS 2010.

*** Notice**

1. At least one of the authors per paper must complete an advance registration by July 30, 2010 in order for their paper to be included in the final program of the conference. Please complete the conference registration before your full paper submission. You need the registration number to submit your paper.
2. No-Show papers may not be included in IEEE Xplore and EI compendex.

We would like to express our gratitude for your continued attention and support for the ICCAS 2010.

Thank you for your contribution to the ICCAS 2010, and we are looking forward to seeing you in KINTEX, Gyeonggi-do.

Sincerely yours,

Jae-Bok Song
Organizing Chair

International Conference on Control, Automation and Systems 2010
Oct. 27-30, 2010 in KINTEX, Gyeonggi-do, Korea

A Simple Amplitude Detector-based Demodulator for Resolver Converters

Anucha kaewpoonsuk[1], Ratchanoo Katman[1], Thawatchai Kamsri[2],
Apinai Rerkratn[3] and Vanchai Riewruja[3]

[1] Department of Physics, Faculty of Science, Naresuan University, Phitsanulok 65000, Thailand
(Tel : +66-5-596-3548; E-mail: anuchak@nu.ac.th)
[2] Thai Microelectronics Center (TMEC), National Electronics and Computer Technology Center, Thailand
(Tel : +66-3-885-7100, Fax +66-3-885-7175, E-mail: thawatch_tee@yahoo.com)
[3] Faculty of Engineering, King Mongkut's Institute of Technology Ladgrabang,
Ladgrabang, Bangkok 10520, Thailand
(Tel : +66-2-739-2406-7; Fax: 66-2-739-2406-7 ext. 103; E-mail: vanchai@kmitles.net)

Abstract: This paper presents a simple method based on sinusoidal-amplitude detector for realizing the resolver-signal demodulator. The proposed demodulator consists of two full-wave rectifiers, two ±unity-gain amplifiers, and two sinusoidal-amplitude detectors with control switches. Two output voltages are proportional to sine and cosine envelopes of resolver-shaft angle without low-pass filter. Experimental results demonstrating characteristic of the proposed circuit are included.

Keywords: resolver converter, demodulator, amplitude detector

1. INTRODUCTION

Resolver is a reliable and robust angular position transducer suitable for various positioning applications such as robots, machine tools, and radars. The shape of resolver looks like as a small motor. A basic equivalent of resolver consists of one rotor winding and two stator windings. Usually, the rotor winding is used as an input part excited with sinusoidal voltage. If the frequency of excitation signal (ω_c) is higher than the angular speed of rotor (ω_t), the stator waveforms of the resolver can be given by

$$V_{s1} = kA_{ex}\sin(\omega_c t)\sin(\theta_t) = kV_{ex}\sin(\theta_t) \quad (1a)$$

$$V_{s2} = kA_{ex}\sin(\omega_c t)\cos(\theta_t) = kV_{ex}\cos(\theta_t) \quad (1b)$$

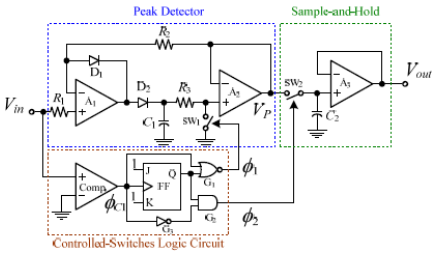
where $V_{ex}=A_{ex}\sin(\omega_c t)$ is a sinusoidal excitation voltage, V_{s1} and V_{s2} are voltage values of the first and second stators, respectively, k is a transformation ratio between stator and rotor windings, and $\theta_t=\omega_t t$ is the angular position of rotor. To achieve a signal linearly proportional to θ_t, resolver converter enabling determination of the angle from sin and cosine signals V_{s1} and V_{s2} can be employed. The implementations of resolver converters can be found in literatures [1-7]. Demodulator, one of important parts in most proposed methods, is used to detect envelopes of stator waveforms V_{s1} and V_{s2}. However, design conditions of demodulator are not focused in literature. One of well known demodulator is implemented with an analog multiplier and a low-pass filter [1-3]. Unfortunately the low-pass filter causes the phase shift (or time delay) of sensed information.

The aim of this paper is to present an alternatively technique without low-pass filter for implementing resolver-signal demodulator. To obtain simple configuration and good performance, the proposed technique utilizes sinusoidal-amplitude detector, which has been introduced in literature [8].

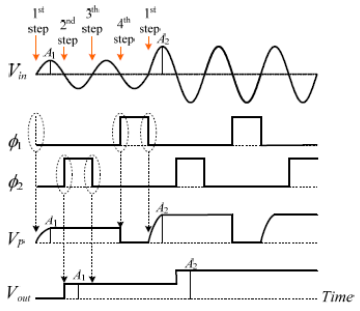
2. CIRCUIT DESCRIPTION

2.1 Sinusoidal-amplitude Detector

Fig. 1(a) shows a sinusoidal-amplitude detector controlled by its input signal [8]. It consists of a peak detector, a sample-and-hold circuit, and a control logic circuit. The waveform sketches relating to various nodes are shown in Fig. 1(b). The sequential operations of the detector can be divided into four steps. Firstly, the peak value of the input signal is tracking and holding. Secondly, the peak value is sampled and sent to the output node. Next, the last value of sampled signal is held until the next sample period. Lastly, the output voltage of the peak detector is reset for succeeding tracking.

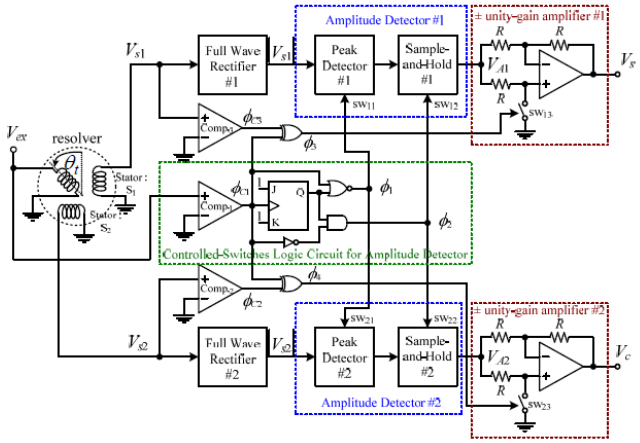


(a) Circuit diagram

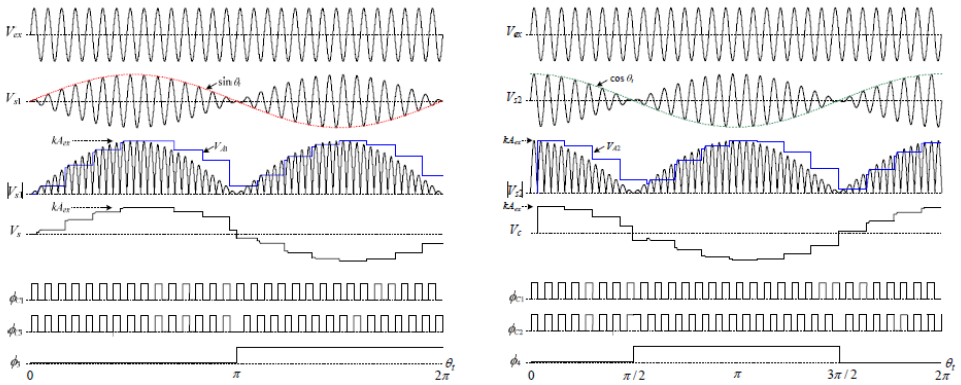


(b) Waveform sketches

Fig. 1 Sinusoidal-amplitude detector.



(a) Circuit diagram



(b) Waveform sketches

Fig. 2 Proposed resolver-signal demodulator.

2.2 The Proposed Demodulator

The simple circuit diagram of the proposed resolver-signals demodulator based on amplitude detector is shown in Fig. 2(a). The demodulator consists of two full-wave rectifiers, two ±unity-gain amplifiers, two sinusoidal-amplitude detectors, and the control signal generator. Both sinusoidal-amplitude detectors are simultaneously controlled by control signals ϕ_1 and ϕ_2. The signal V_{ex} denotes the sinusoidal excitation voltage of the resolver. The signals V_{s1} and V_{s2} are the voltage values as expressed in Eqs. (1a) and (1b), respectively. The operation of the proposed demodulator can be explained as follows.

The signals V_{ex}, V_{s2}, and V_{s1} are applied to the voltage comparators Comp.$_1$, Comp.$_2$, and Comp.$_3$, respectively. Their outputs drive the control signal generator, which is used to generate the control signals ϕ_1, ϕ_2, ϕ_3, and ϕ_4. To prevent error of sequential operation during negative envelopes, the full-wave rectifiers are then used to rectify the signals V_{s1} and V_{s2}. If we assume that $\omega_c >> \omega_t$, then the relationship between voltage V_{A1}, V_{A2}, and angular position θ_t can be approximately written as

$$V_{A1} = \begin{cases} kA_{ex}\sin(\theta_t) & ; 0 \le \theta_t < \pi \\ -kA_{ex}\sin(\theta_t) & ; \pi \le \theta_t < 2\pi \end{cases} \quad (2a)$$

$$V_{A2} = \begin{cases} kA_{ex}\cos(\theta_t) & ; 0 \le \theta_t < \pi/2, \\ -kA_{ex}\cos(\theta_t) & ; \pi/2 \le \theta_t < 3\pi/2 \\ kA_{ex}\cos(\theta_t) & ; 3\pi/2 \le \theta_t < 2\pi \end{cases} \quad (2b)$$

where V_{A1} and V_{A2} are assigned to input for ±unity-gain amplifiers#1 and ±unity-gain amplifiers#2, respectively. Both ±unity-gain amplifiers controlled ϕ_3 and ϕ_4 are employed to control the phase of output signals V_s and V_c according to the sine and cosine envelopes of θ_t. Finally, the signals V_s and V_c result in

$$V_s = kA_{ex}\sin(\theta_t) \quad (3a)$$

$$V_c = kA_{ex}\cos(\theta_t) \quad (3b)$$

Fig. 2(b) shows waveform sketches at various points of proposed demodulator.

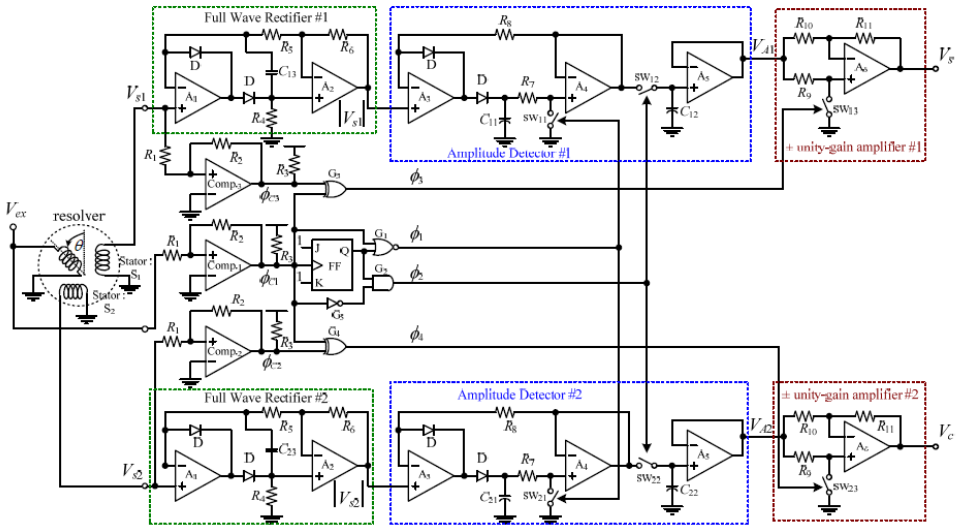
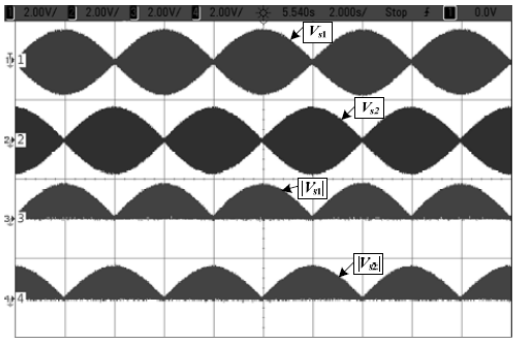


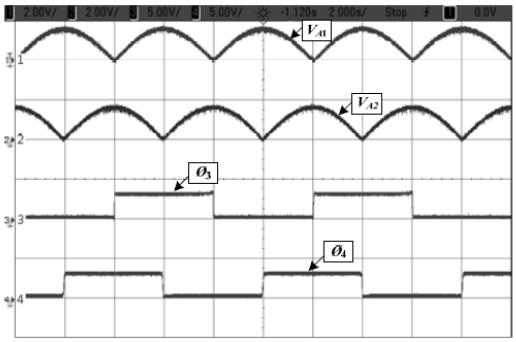
Fig. 3 Overall resolver-signal demodulator.

3. EXPERIMENTAL RESULTS

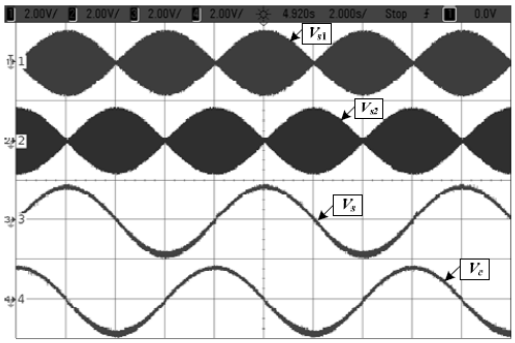
Based on the simple circuit diagram in Fig. 2(a), the possible implementation circuit is shown in Fig. 3. To verify the performances of the proposed demodulator, the circuit as shown in Fig. 3 was implemented on the breadboard. A synchro resolver (Sanyo Denki, 101-4100) driven by a variable speed dc motor was used as an illustrative case study. The frequency of the excitation signal equals 3 kHz. The comparators Comp.$_1$-Comp.$_3$ were constructed by using LM319 ICs. CMOS-gate components were selected for all logic gates. OP07, D1N4148, and CD4066BC devices were used for op-amps, diode and analog-switches, respectively. Resistors were chosen as R_2=1 MΩ, R_3=R_5=R_6=1 kΩ, R_1=R_4=R_8=R_{10}=R_{11}=10 kΩ, R_7=500 Ω, and R_9=5 kΩ. Capacitors were chosen as C_{11}=C_{21}=0.1μF, C_{12}=C_{22}=0.01 μF, and C_{13}=C_{23}=100 pF.



(a) V_{s1}, V_{s2}, $|V_{s1}|$, and $|V_{s2}|$



(b) V_{A1}, V_{A2}, ϕ_3, and ϕ_4



(c) V_{s1}, V_{s2}, V_s, and V_c

Fig. 4 Measured results of the proposed demodulator.

Fig. 4 shows the measured results gotten from setting the motor speed of 7.5 rpm. It is apparent that the proposed circuit functions correctly and provides the good performances.

4. CONCLUSION

In this paper, a simple demodulator based on sinusoidal-amplitude detector for resolver converters has been presented. Performances of the proposed demodulator are confirmed by the experimental results. It is evident that the circuit produces two output signals proportional to sine and cosine envelopes of resolver-shaft angle without delay time.

ACKNOWLEDGMENT

The authors would like to express sincere gratitude to the Office of National Research Council of Thailand (NRCT) and also to the Naresuan University, Faculty of Science, Thailand, for the financial support of this work.

REFERENCES

[1] A. Kaewpoonsuk, W. Petchmaneelumka, T. Kamsri, and V. Riewruja, "A Simple Resolver-to-DC Converter," SICE-ICASE International Joint Conference 2006, Bexco, Busan, Korea, Oct. 18-21, 2006.

[2] A. Kaewpoonsuk, T. Kamsri, W. Petchmaneelumka, and V. Riewruja, "A Full-Range-360° Resolver-to-DC Converter," ICASE International Conference on Control, Atomation and Systems 2007, COEX, Seoul, Korea, Oct. 17-20, 2007.

[3] A. Kaewpoonsuk, W. Petchmaneelumka, A. Rerkratn, A. Tammaruckwattana, and V. Riewruja, "A Novel Resolver-to-DC Converter Based on OTA-based Inverse-Sine Function Circuit," SICE Annual Conference 2008, The University Electro-Communications, Japan, Aug. 20-22, 2008.

[4] M. Benammar, L. Ben-Brahim, and M. A. Alhamadi, "A Novel Resolver-to-360° Linearized Converter," IEEE Sensors J., vol. 4, no. 1, pp. 96-101, Feb. 2004.

[5] M. Benammar, L. Ben-Brahim, and M. A. Alhamadi, "A High Precision Resolver-to-DC Converter," IEEE Transactions on Instrumentation and Measurement, vol. 54, no. 6, pp. 2289-2296, Dec. 2005.

[6] L. Ben-Brahim, M. Benammar, M. A. Alhamadi, N. A. Al-Emadi, and M. A. Al-Hitmi, "A new low cost linear resolver converter," IEEE Sensors J., vol. 8, no. 10, pp. 1620-1627, Oct. 2008.

[7] L. Ben-Brahim, M. Benammar, and M. A. Alhamadi, "A Resolver Angle Estimator Based on its Excitation Signal," IEEE Transactions on Electronics, vol. 56, no. 2, pp. 574-580, Feb. 2009.

[8] P. Raksachat, A. Chaikla, A. Kaewpoonsuk, V. Riewruja and P. Julsereewong, "An amplitude detector for variable frequency sinusoidal signals," SICE-ICASE International Joint Conference 2006, Bexco, Busan, Korea, Oct. 18-21, 2006.

Sixth International Conference on Innovative Computing, Information and Control

ICICIC2011

北九州市 CITY OF KITAKYUSHU

December 22 - 24, 2011
Kitakyushu International Conference Center
Kitakyushu, Japan

Program

Organized by
ICIC International
City of Kitakyushu

Sponsored by
Waseda University, Japan
Kyushu Institute of Technology, Japan
The University of Kitakyushu, Japan
Tokai University, Japan
SOFT Kyushu Chapter, Japan
West Japan Industry and Trade Convention Association, Japan
Dalian University, China
Dalian University of Technology, China
Dalian Maritime University, China
Yanshan University, China
Harbin University of Science & Technology, China
Xihua University, China
Northwest A&F University of Science, China
National Kaohsiung University of Applied Sciences, Taiwan
Nanjing University of Aeronautics and Astronautics, China
Qinhuangdao Yanda Intelligent Informatics Inc., China

December 24, Saturday

10:10 – 11:55
F4: Circuit Systems
Chair: Dr. Kei Eguchi (Shizuoka University, Japan)

F4-01
ICICIC2011-006 (Vol.6, No.2)
Design of a Multiple-Input Multiple-Output (MIMO) Step-Up DC-DC Converter
Kei Eguchi, Toshiya Watanabe, Kuniaki Fujimoto and Hirofumi Sasaki (Japan)

F4-02
ICICIC2011-366 (Vol.6, No.3)
An Amplitude Detector Using Up-Down Counter
Anucha Kaewpoonsuk, Ratchanoo Katman, Amphawan Julsereewong and Vanchai Riewruja (Thailand)

F4-03
ICICIC2011-368 (Vol.6, No.3)
Temperature Compensation for V/F Converter
Vanchai Riewruja, Wandee Petchmaneelumka, Apinai Rerkratn and Kanoknuch Songsuwankit (Thailand)

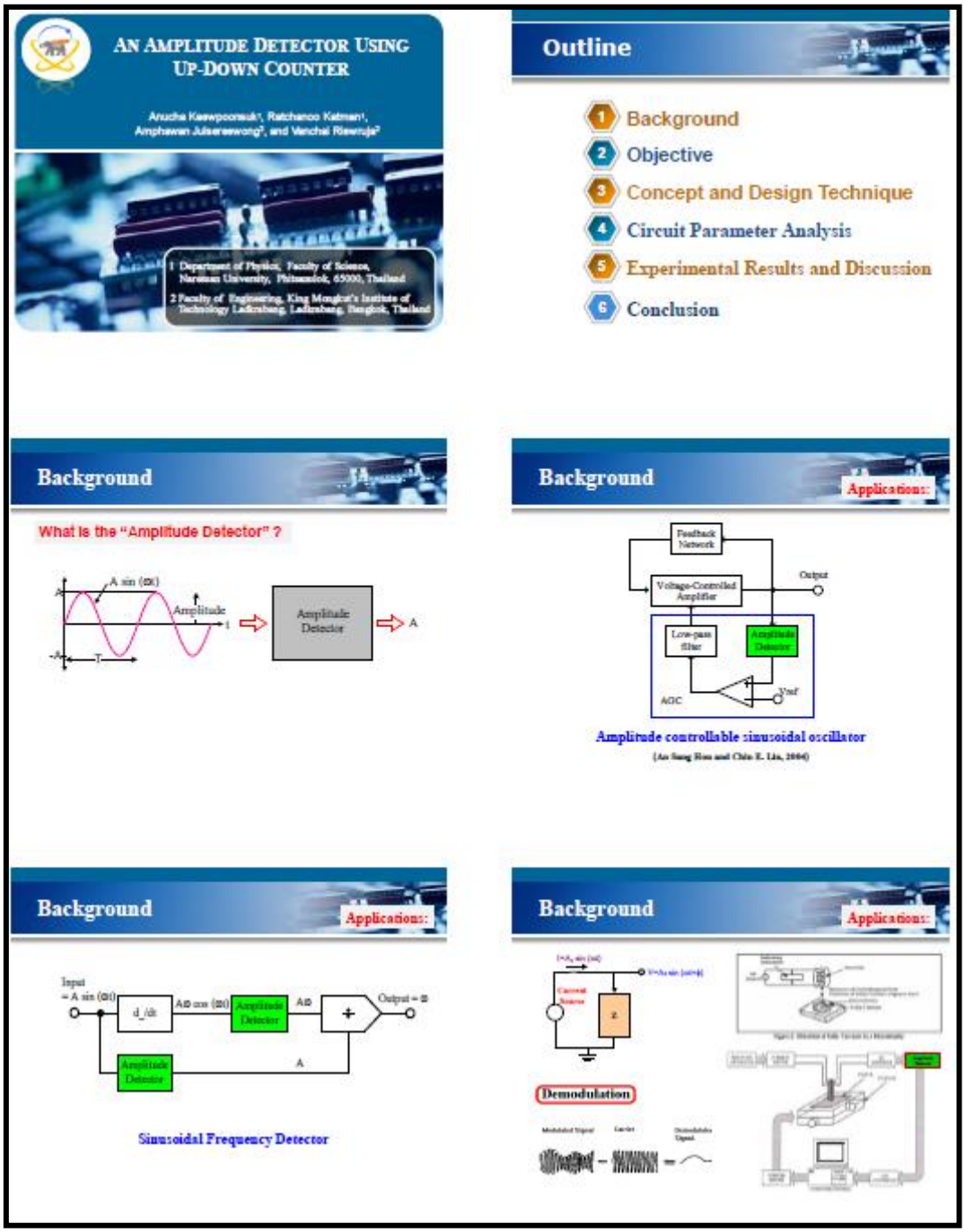
F4-04
ICICIC2011-371 (Vol.6, No.2)
Design of Step Up and Down Bi-Directional Switched Capacitor DC-DC Converter
Sawai Pongswatd, Krit Smerpituk, Kei Eguchi and Hirofumi Sasaki (Thailand)

F4-05
ICICIC2011-374 (Vol.6, No.2)
A Fractional Divider by Astable Multivibrator Using Switched-Capacitor Circuit and Its Application to PLL
Hirotoshi Sasaki, Mitsutoshi Yahara, Kuniaki Fujimoto and Hirofumi Sasaki (Japan)

F4-06
ICICIC2011-402 (Vol.6, No.3)
Resistive Sensor Interface Circuits Using Operational Conveyor and Operational Amplifier
Amphawan Julsereewong, Prasit Julsereewong, Tipparat Rungkhum, Hirofumi Sasaki and Hiroshi Isoguchi (Thailand)

F4-07
ICICIC2011-431 (Vol.6, No.5)
Design and Implementation of the Laboratory for Foundation Fieldbus-Based Industrial Automation
Teerawat Thepmanee, Sawai Pongswatd, Amphawan Julsereewong and Prasit Julsereewong (Thailand)

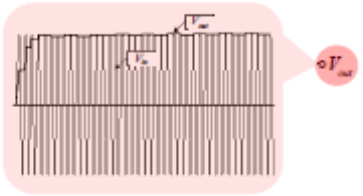
ไฟล์ Power point ประกอบการบรรยายในงานประชุมวิชาการ



Background

Conventional approach :

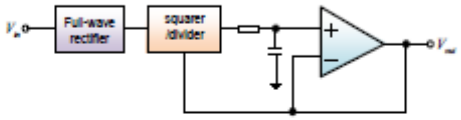
Based on the use of the rectifier and the low-pass filter circuit.



Background

The second approach :

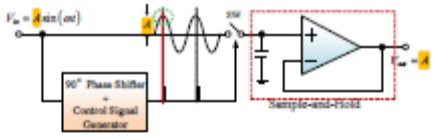
Based on the use of the squarer/divider and the low-pass filter circuit.



Background

The third approach :

Based on the use of 90-degree phase shifter, control signal generator, and the sample-and-hold circuit



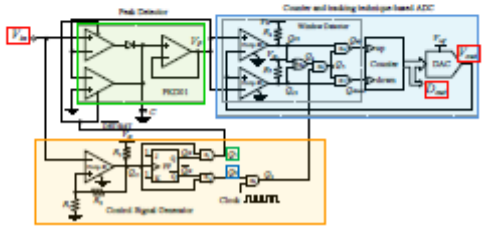
Objective

Design of amplitude detector for sinusoidal signals. The realization technique utilizes up/down counting and holding capabilities of up-down counter without low-pass filter or sample-and-hold circuit requirement.

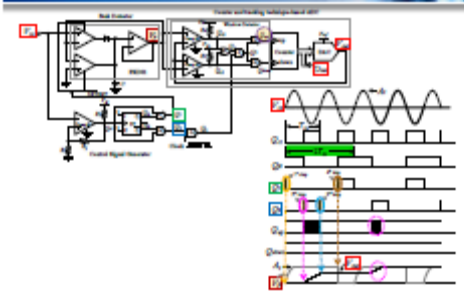
Concept and Design Technique

Block diagram

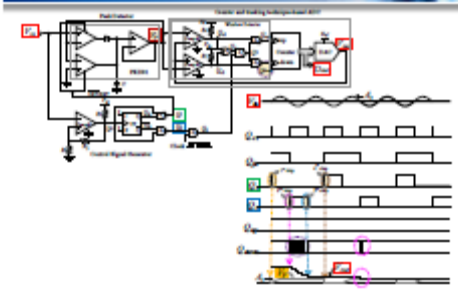
Concept and Design Technique



Concept and Design Technique



Concept and Design Technique



Circuit Parameter Analysis

Operation time of each cycle that varies according to the twice of the period of sinusoidal input signals.

$$\text{slew rate} = f_{cl} V_{ref} / 2^n$$

$$\Delta V_{\text{min(pos)}} = \text{slew rate} \times (T_{clk}/2) = f_{cl} V_{ref} / (2 f_s 2^n)$$

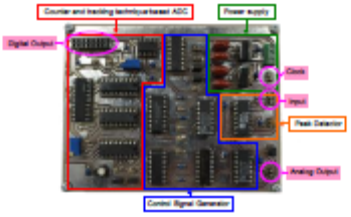
$$T_{\text{next}} = \begin{cases} 2^n \Delta V / (f_{cl} V_{ref}) + T_{clk}/2 & ; \text{for } |\Delta V| \le \Delta V_{\text{min(pos)}} \\ 2^n \Delta V_n / (f_{cl} V_{ref}) + T_{clk}/2 + 2mT_{clk} & ; \text{for } |\Delta V| > \Delta V_{\text{min(pos)}} \end{cases}$$

$$\Delta V = V_{in} - V_{off} \qquad m = \text{int}\left[|\Delta V| / \Delta V_{\text{min(pos)}} \right]$$

$$\Delta V_n = \Delta V - m \Delta V_{\text{min(pos)}}$$

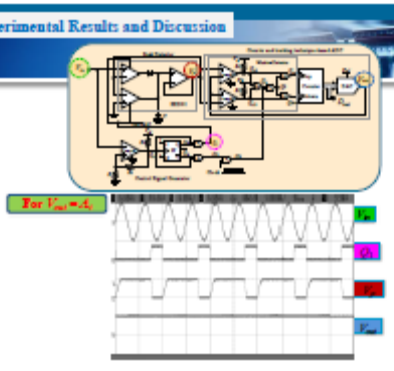
$$f_{in} \le f_{cl} V_{ref} / (2 \Delta V_{\text{min(pos)}} 2^n) \le f_{cl} V_{ref} / (2 A_v 2^n)$$

Experimental Results and Discussion

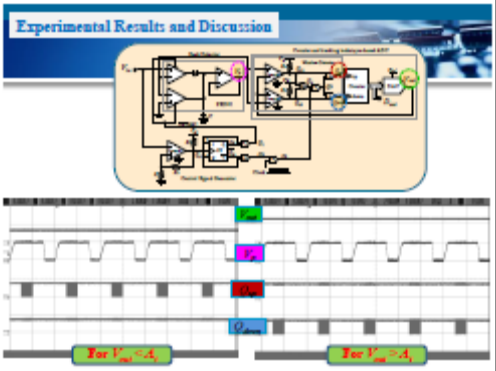


Proposed amplitude detector constructed on PCB.

Experimental Results and Discussion

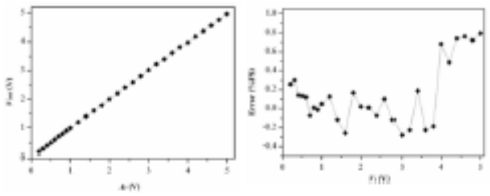


Experimental Results and Discussion



Experimental Results and Discussion

Measured results for varied input amplitude in range 0.25-5 V.



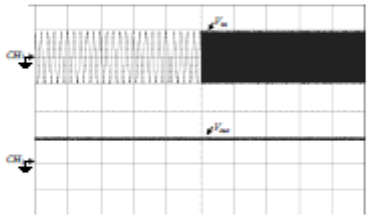
Experimental Results and Discussion

Digital outputs for varied input amplitude in range 0.5-5 V.

Input Amplitude (V)	12-bit Digital Output	Calculated Voltage from Digital Output (V)	Error of full scale (%)
0.5	0001 1001 1111	0.507	0.14
1.0	0011 0100 1111	1.034	0.68
1.5	0100 1101 1111	1.522	0.44
2.0	0110 0111 1111	2.030	0.60
2.5	0111 1101 1111	2.460	-0.80
3.0	1001 1011 1111	3.046	0.92
3.5	1011 0001 1111	3.514	0.28
4.0	1100 1101 1111	4.022	0.44
4.5	1110 0101 1111	4.491	-0.18
5.0	1111 1111 1011	4.994	-0.12

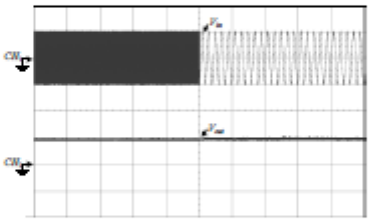
Experimental Results and Discussion

Measured results for rapidly changed input frequency and fixed amplitude.



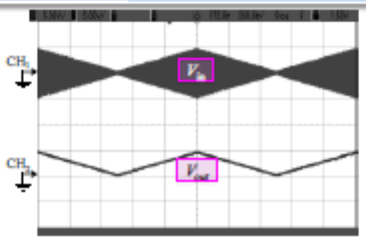
Experimental Results and Discussion

Measured results for rapidly changed input frequency and fixed amplitude.



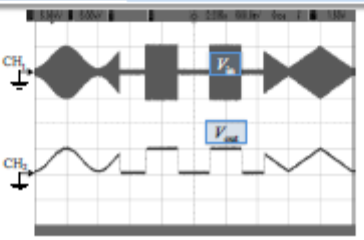
Experimental Results and Discussion

Measured results for modulated sinusoidal input.



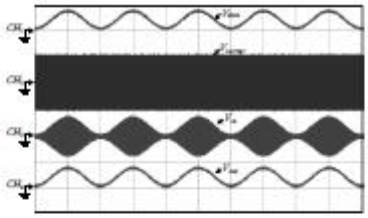
Experimental Results and Discussion

Measured results for modulated sinusoidal input.



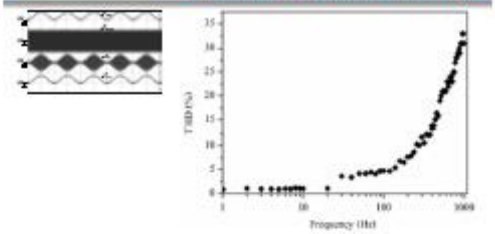
Experimental Results and Discussion

Measured results for modulated sinusoidal input.



Experimental Results and Discussion

Measured results for modulated sinusoidal input.



THD versus frequency of V_{data}

Conclusion

Amplitude input range : 250 mV to 5 V.
Maximum frequency of input signal : 100 kHz
Maximum analog output error : 0.8 % of full scale
Maximum digital output error : 0.92 %

Thank You !

บันทึกข้อความ

ส่วนราชการ สำนักงานอธิการบดี กองบริหารการวิจัย งานส่งเสริมและเผยแพร่ผลงานวิจัย โทร . 8641

ที่ ศธ 0527.01.33(3)/ว1956 **วันที่** 7 กรกฎาคม 2554

เรื่อง ตอบรับการนำเสนอผลงานทางวิชาการ การประชุมทางวิชาการ "นเรศรวิจัย" ครั้งที่ 7

เรียน ดร.อนุชา แก้วพูลสุข

ตามที่ท่านสมัครเข้าร่วมนำเสนอผลงาน ในการประชุมทางวิชาการ "นเรศรวิจัย" ครั้งที่ 7 "ก้าวสู่ทศวรรษที่ 3 : มุ่งมั่นงานวิจัย พัฒนาชาติไทยให้ยั่งยืน" ในระหว่างวันที่ 29 - 3 0 กรกฎาคม 255 4 ณ มหาวิทยาลัยนเรศวร จังหวัดพิษณุโลก นั้น

ในการนี้ คณะกรรมการฝ่ายจัดการนำเสนอผลงาน Oral Presentation / Poster Presentation ได้พิจารณาผลงานของท่านเป็นที่เรียบร้อยแล้ว **และขอแจ้งให้ทราบว่าผลงานวิจัยของท่านได้รับการคัดเลือกให้นำเสนอผลงาน ในการประชุมทางวิชาการ "นเรศรวิจัย" ครั้งที่ 7** สำหรับขั้นตอนการพิจารณาผลงานเพื่อตีพิมพ์ลงใน Proceedings / Abstracts นั้น ขณะนี้กำลังดำเนินการให้ผู้ทรงคุณวุฒิพิจารณาผลงาน หากได้รับผลการพิจารณาจากผู้ทรงคุณวุฒิแล้ว คณะกรรมการ จักดำเนินการแจ้งให้ทราบต่อไป

ทั้งนี้ ได้ส่งแบบฟอร์มยืนยัน รายละเอียดการประชุมทางวิชาการ "นเรศรวิจัย " ครั้งที่ 7 ท่านสามารถตรวจสอบความถูกต้องในการเข้าร่วมประชุมทางวิชาการ **หากมีการเปลี่ยนแปลงแก้ไขรายละเอียดให้แจ้งกลับภายในวันที่ 14 กรกฎาคม 2554** โดยสามารถส่งแบบยืนยันมาได้ที่ กองบริหารการวิจัย มหาวิทยาลัยนเรศวร หรือทาง E-mail : dra@nu.ac.th หรือทางโทรสาร 0-5596-8641 สำหรับกำหนดการนำเสนอและรายละเอียดการเตรียมข้อมูลการนำเสนอ ท่านสามารถตรวจสอบได้ทางเว็บไซต์ http://www.research.nu.ac.th/NURC7 ตั้งแต่วันศุกร์ที่ 8 กรกฎาคม 2554 เป็นต้นไป

จึงเรียนมาเพื่อโปรดทราบ

(รองศาสตราจารย์ ดร.สุขกิจ ยะโสธรศรีกุล)

รองอธิการบดีฝ่ายวิจัยและวิเทศสัมพันธ์

นเรศวรวิจัย 7

วงจรหาค่าแอมพลิจูดโดยใช้วงจรกรองความถี่ผ่านหมดทำหน้าที่เป็นตัวสร้างสัญญาณควบคุม

อนุชา แก้วพูลสุข

กลุ่มวิจัยฟิสิกส์อิเล็กทรอนิกส์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร พิษณุโลก 65000

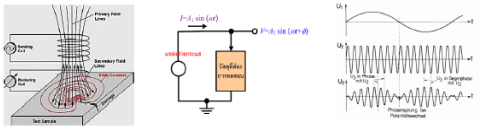
บทคัดย่อ

ในที่นี้เป็นการนำเสนอการสังเคราะห์วงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่มีการทำงานรวดเร็ว เทคนิคที่ใช้เป็นการอาศัยสมบัติการเลื่อนเฟสของวงจรกรองความถี่ผ่านหมด ซึ่งได้นำมาต่อร่วมกับวงจรลอจิกสำหรับการสร้างสัญญาณควบคุมสองสัญญาณ เพื่อใช้ควบคุมจังหวะการทำงานของวงจรตรวจจับค่ายอดสัญญาณและวงจรสุ่มและคงค่าสัญญาณ เอาต์พุตของวงจรที่ได้จะเป็นสัญญาณไฟตรงที่มีขนาดขึ้นอยู่กับค่าแอมพลิจูดของสัญญาณอินพุตที่เป็นสัญญาณรูปไซน์ โดยใช้เวลาการตรวจวัดในแต่ละรอบเท่ากับหนึ่งคาบของสัญญาณอินพุต การทดสอบสมบัติการทำงานของวงจรได้ใช้โอซีต่าง ๆ ต่อร่วมกันบนบอร์ดทดลอง ซึ่งผลที่ได้พิสูจน์ว่าวงจรที่ได้พัฒนาขึ้นสามารถทำงานได้อย่างรวดเร็ว โดยสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดต่ำสุดประมาณเท่ากับ 200 มิลลิโวลต์ มีค่าขนาดความผิดพลาดสูงสุดในการทำงานเท่ากับ 1.8 เปอร์เซ็นต์จากค่าเต็มสเกลเท่ากับ 5 โวลต์ ค่าความถี่ใช้งานสูงสุดของสัญญาณอินพุตมีค่าโดยประมาณเท่ากับ 170 กิโลเฮิรตซ์

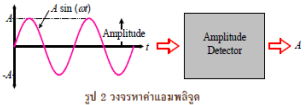
คำสำคัญ : วงจรหาค่าแอมพลิจูด, วงจรตรวจจับค่ายอดสัญญาณ, วงจรกรองความถี่ผ่านหมด, วงจรเลื่อนเฟสสัญญาณ

1. บทนำ

ตัวรับรู้ (sensor) บางชนิดเช่นตัวรับรู้ตำแหน่งที่อาศัยหลักการเปลี่ยนแปลงค่าความเหนี่ยวนำไฟฟ้า หรืออาศัยหลักการเปลี่ยนแปลงค่าความจุไฟฟ้าที่ใช้ในระบบการวัดและควบคุมจะใช้วิธีการจ่ายสัญญาณรูปไซน์เพื่อเป็นอินพุตให้กับตัวรับรู้ โดยที่ตัวรับรู้ดังกล่าวจะให้สัญญาณเอาต์พุตออกมาในรูปของสัญญาณรูปไซน์ที่มีค่าความถี่เท่าเดิมแต่มีค่าแอมพลิจูดเปลี่ยนแปลงไปตามปริมาณที่ต้องการตรวจวัด ในงานนี้เป็นการสังเคราะห์วงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์เอาต์พุตที่ได้จากตัวรับรู้ดังกล่าว รวมทั้งการนำไปประยุกต์ใช้ประมวลผลสัญญาณในระบบอิเล็กทรอนิกส์อื่น ๆ



รูป 1 ตัวอย่างการตรวจสอบค่าอิมพีแดนซ์



รูป 2 วงจรหาค่าแอมพลิจูด

2. แนวคิดและหลักการพัฒนาออกแบบวงจร

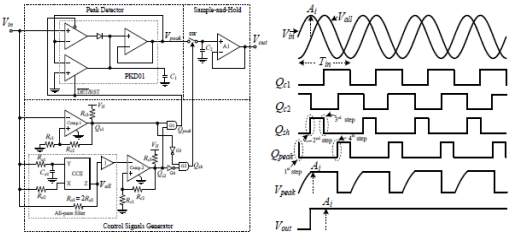
รูป 3 แสดงโครงสร้างวงจรและแผนภาพเวลาของสัญญาณที่สำคัญของวงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ได้พัฒนาขึ้นในครั้งนี้ ซึ่งประกอบด้วยวงจรตรวจจับค่ายอดสัญญาณ วงจรสุ่มและคงค่าสัญญาณ และวงจรสร้างสัญญาณควบคุมโดยใช้วงจรกรองความถี่ผ่านหมดเป็นพื้นฐานในการออกแบบ การทำงานในแต่ละรอบแบ่งออกได้เป็น 4 ลำดับดังนี้คือ

ลำดับที่ 1: สัญญาณควบคุม Q_{peak} เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่ออนุญาตให้วงจรตรวจจับค่ายอดสัญญาณเริ่มทำงาน ซึ่งหลังจากเวลา $T_{in}/4$ จะได้เอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณเป็นค่าแอมพลิจูดของสัญญาณอินพุต

ลำดับที่ 2: สัญญาณควบคุม Q_{sh} เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อควบคุมให้วงจรสุ่มและคงค่าสัญญาณเปิดรับค่าเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณไปเป็นเอาต์พุตของวงจร

ลำดับที่ 3: สัญญาณควบคุม Q_{sh} เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่อควบคุมให้วงจรสุ่มและคงค่าสัญญาณทำการหยุดรับค่าจากวงจรตรวจจับค่ายอดสัญญาณพร้อมทั้งรักษาระดับค่าของสัญญาณเดิมไว้ให้มีค่าคงที่ก่อนที่จะมีการเปิดรับข้อมูลใหม่ในรอบการทำงานถัดไป

ลำดับที่ 4: สัญญาณควบคุม Q_{peak} เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อรีเซ็ตค่าเอาต์พุตเดิมของวงจรตรวจจับค่ายอดสัญญาณ สำหรับการเตรียมความพร้อมในรอบการทำงานใหม่

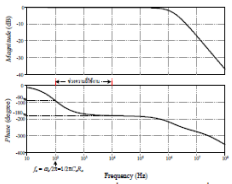


รูป 3 วงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ และแผนภาพสัญญาณที่สำคัญ

3. ผลการทดสอบการทำงาน

การเลื่อนเฟสของวงจรกรองความถี่ผ่านหมด

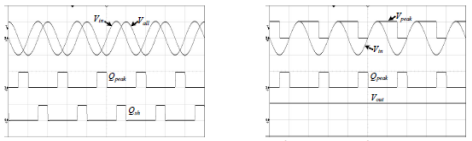
ลำดับที่	พารามิเตอร์ C_m (nF)	R_m (kΩ)	ค่าความถี่ของสัญญาณอินพุตพิจารณาที่ θ_m ค่าต่าง ๆ (Hz) θ_m=-90°	θ_m=-175°	θ_m=-179°	ช่วงความถี่ระหว่าง θ_m = -90° ถึง -179° = (Hertz)
1	100	1.599	1	23.33	100	2
2	10	1.599	10	230.51	1 k	2
3	1	1.599	100	2.28 k	10 k	2
4	0.1	1.599	1 k	19.98 k	42.87 k	1.63
5	0.01	1.599	10 k	119.60 k	159.25 k	1.20
6	0.001	1.599	95.51 k	490.92 k	538.34 k	0.75
7	0.0001	1.599	719.88 k	2.04 M	2.16 M	0.48



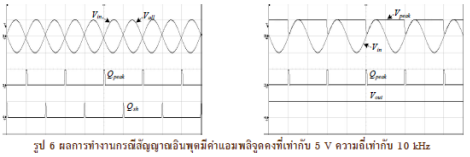
ตัวเก็บประจุที่เหมาะสมของวงจรตรวจจับค่ายอดสัญญาณ

ค่าตัวเก็บประจุ (nF)	ช่วงความถี่ใช้งาน (kHz) $f_{in(min)}$	$f_{in(max)}$
0.1	70	170
0.143	10	110
1	0.3	30
10	0.1	1.5
20	0.001	0.1

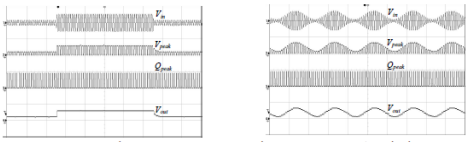
รูป 4 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่านหมด
เมื่อกำหนด $f_o = \omega_o / 2\pi = 1/(2\pi C_m R_m) = 100$ Hz



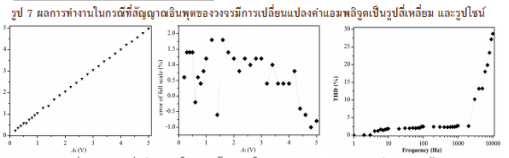
รูป 5 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 1 kHz



รูป 6 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 10 kHz



รูป 7 ผลการทำงานในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดเป็นรูปสี่เหลี่ยม และรูปไซน์



รูป 8 ผลการแปรค่าแอมพลิจูดของสัญญาณอินพุต

รูป 9 ผลการวัดค่า THD

ติดต่อสอบถาม : โครงงานวิจัยนี้ได้รับการสนับสนุนงบประมาณจากมหาวิทยาลัยนเรศวร
(ทุนอุดหนุนการวิจัยจากงบประมาณแผ่นดิน ประจำปีงบประมาณ 2553)

ที่ ศธ 0527.04/ว 137

คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร
อำเภอเมืองฯ พิษณุโลก 65000

22 กุมภาพันธ์ 2554

เรื่อง ตอบรับการนำเสนอผลงาน การประชุมวิชาการ "วิทยาศาสตร์วิจัย" ครั้งที่ 3

เรียน ดร.อนุชา แก้วพูลสุข

ตามที่ท่านได้ส่งผลงานวิจัยเพื่อนำเสนอในการประชุมวิชาการ "วิทยาศาสตร์วิจัย" ครั้งที่ 3 ระหว่างวันที่ 14-15 มีนาคม 2554 ณ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร และทางคณะกรรมการฯ ได้พิจารณาผลงานของท่านเรียบร้อยแล้ว นั้น ในการนี้ จึงใคร่ขอแจ้งผลการตอบรับการนำเสนอผลงานทางวิชาการฯ ดังนี้ ท่านได้รับคัดเลือกให้นำเสนอผลงาน

ชื่อผลงาน "การสังเคราะห์วงจรแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัลสำหรับสัญญาณไซนูซอยด์"

รูปแบบ Poster Presentation

ซึ่งรายละเอียดเกี่ยวกับกำหนดการนำเสนอผลงานท่านสามารถดูได้ทางเว็บไซต์ http://www.sci.nu.ac.th/src3

จึงเรียนมาเพื่อโปรดทราบ และขอขอบคุณท่านเป็นอย่างยิ่งที่ให้เกียรติส่งผลงานเข้าร่วมการประชุมวิชาการฯ ครั้งนี้

ขอแสดงความนับถือ

(ศาสตราจารย์ ดร.สมยศ พลับเที่ยง)
รองคณบดีฝ่ายวิชาการและวิจัย ปฏิบัติราชการแทน
คณบดีคณะวิทยาศาสตร์

งานบริการการศึกษา หน่วยวิจัย
โทรศัพท์ 0-5596-3171
โทรสาร 0-5596-3145

การสังเคราะห์วงจรแปลงค่าแอมพลิจูด เป็นสัญญาณดิจิทัลสำหรับสัญญาณไซนูซอยด์

Synthesis of Amplitude-to-Digital Converter for Sinusoidal Signals

อนุชา แก้วพูลสุข และ รัชนู กัดมั่น

ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร จ.พิษณุโลก 65000 anuchak@nu.ac.th

บทคัดย่อ

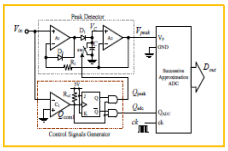
โครงงานนี้เป็นการพัฒนาออกแบบวงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลสองวงจร โดยเทคนิคการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ในวงจรแบบแรกนั้นเป็นการอาศัยเทคนิคแบบการประมาณค่าสืบเนื่อง วงจรแบบที่สองเป็นการอาศัยเทคนิคการติดตามค่า แนวคิดการออกแบบเป็นการใช้เจเคฟลิปฟลอบสำหรับพัฒนาเป็นวงจรตรรกะเพื่อใช้ควบคุมการทำงานของวงจรตรวจจับค่ายอดสัญญาณและวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล เอาต์พุตของแต่ละวงจรจะอยู่ในรูปแบบของสัญญาณดิจิทัลขนาด 12 บิต ซึ่งมีค่าแปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุต การทดสอบสมบัติการทำงานของวงจรทั้งสองด้วยสัญญาณอินพุตที่มีความถี่ตั้งแต่ 1 เฮิรตซ์ ถึง 125 กิโลเฮิรตซ์ พบว่าวงจรสามารถทำงานได้อย่างถูกต้อง โดยมีช่วงปฏิบัติการทางขนาดเท่ากับ 500 มิลลิโวลต์ ถึง 5 โวลต์

ที่มาและความสำคัญ

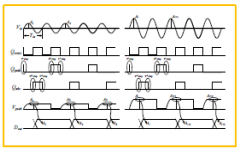
วงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ เป็นวงจรที่มีประโยชน์และสำคัญมากวงจรหนึ่งในระบบอิเล็กทรอนิกส์ หน้าที่ของวงจรหาค่าแอมพลิจูดคือการให้สัญญาณเอาต์พุตที่เป็นสัดส่วนโดยตรงกับค่าแอมพลิจูดของอินพุตซึ่งเป็นสัญญาณรูปไซน์ ที่ผ่านมาได้มีการศึกษาวิจัยเพื่อพัฒนาออกแบบวงจรหาค่าแอมพลิจูดอย่างต่อเนื่อง ต่อมาคณะผู้วิจัยได้พัฒนาออกแบบวงจรหาค่าแอมพลิจูดที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลขนาด 8 บิต เพื่อนำไปประยุกต์ใช้งานกับตัวประมวลผลหรือภาคแสดงแบบดิจิทัล เทคนิคการแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลเป็นการอาศัยหลักการนับ ซึ่งมีจุดด้อยอยู่ที่ความล่าช้าในการทำงานโดยเฉพาะอย่างยิ่งหากต้องการเพิ่มความละเอียดให้มีค่าสูงขึ้น ในโครงงานนี้คณะผู้วิจัยได้แสดงถึงการพัฒนาปรับปรุงการออกแบบวงจรหาค่าแอมพลิจูดสำหรับสัญญาณไซนูซอยด์ที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลแบบใหม่สองวงจร โดยใช้เทคนิคการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล เอาต์พุตของแต่ละวงจรจะอยู่ในรูปของสัญญาณดิจิทัลขนาด 12 บิต ซึ่งมีค่าแปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุต

วัสดุอุปกรณ์และวิธีการ

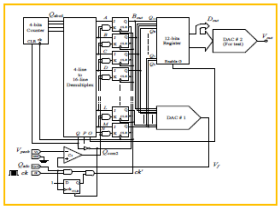
วงจรแบบที่หนึ่ง วงจรหาค่าแอมพลิจูดสำหรับสัญญาณไซนูซอยด์ โดยใช้เทคนิคการประมาณค่าสืบเนื่อง



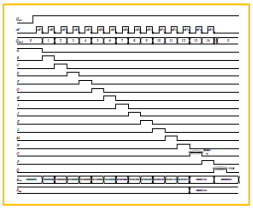
บล็อกไดอะแกรมของวงจรแบบที่ 1



แผนภาพเวลาของวงจรแบบที่ 1

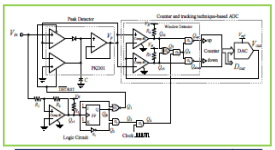


โครงสร้างวงจร ADC

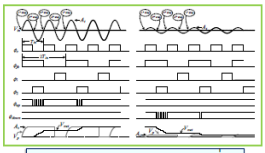


แผนภาพเวลาของวงจร ADC

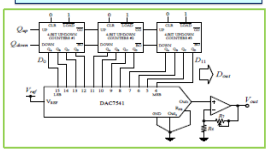
วงจรแบบที่สอง วงจรหาค่าแอมพลิจูดสำหรับสัญญาณไซนูซอยด์ โดยใช้เทคนิคการติดตามค่า



บล็อกไดอะแกรมของวงจรแบบที่ 2



แผนภาพเวลาของวงจรแบบที่ 2

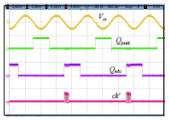


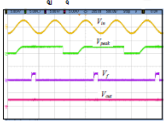
บล็อกไดอะแกรมของวงจรนับและวงจร DAC

ผลการทดสอบการทำงานและการวิเคราะห์ผล

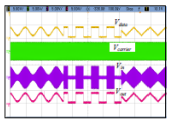
ผลการทดสอบการทำงานของวงจรแบบที่หนึ่ง

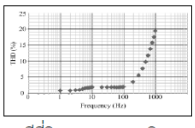
จากผลการทดสอบวงจรตรวจจับค่ายอดสัญญาณพบว่าเมื่อสัญญาณอินพุตมีค่าความถี่ต่ำจะต้องใช้ตัวเก็บประจุที่มีค่าสูง และเมื่อสัญญาณอินพุตมีความถี่สูงขึ้นต้องใช้ตัวเก็บประจุที่มีค่าต่ำลง และจากผลการทดสอบสมบัติการทำงานของวงจร ADC ค่าผิดพลาดในการทำงานของวงจรมีค่าสูงสุดประมาณ ±13 มิลลิโวลต์





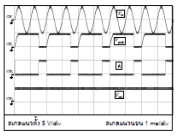
กราฟแสดงผลการทดสอบจังหวะการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ

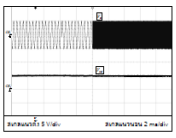




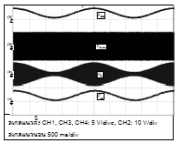
กราฟแสดงผลการทำงานของวงจรในกรณีที่อินพุตของวงจรเกิดจากการมอดูเลตกันทางขนาดระหว่าง $V_{carrier}$ ความถี่ 50 กิโลเฮิรตซ์กับ V_{data} ที่มีรูปร่างต่าง ๆ และกราฟแสดงผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก

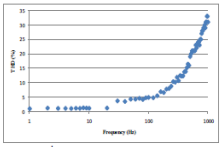
ผลการทดสอบการทำงานของวงจรแบบที่สอง





กราฟแสดงผลการทดสอบจังหวะการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบพบว่าสัญญาณเอาต์พุตของระบบมีลักษณะราบเรียบ แม้ว่าจะที่การเปลี่ยนค่าความถี่ของสัญญาณอินพุตแบบทันทีทันใด





กราฟแสดงผลการทำงานของวงจรในกรณีที่อินพุตของวงจรเกิดจากการมอดูเลตกันทางขนาดระหว่าง $V_{carrier}$ ความถี่ 1 กิโลเฮิรตซ์กับสัญญาณอินพุตรูปไซน์ และกราฟแสดงผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก

บอร์ดวงจรวงจรตรวจวัดค่าแอมพลิจูดโดยใช้เทคนิคการนับและติดตามค่า