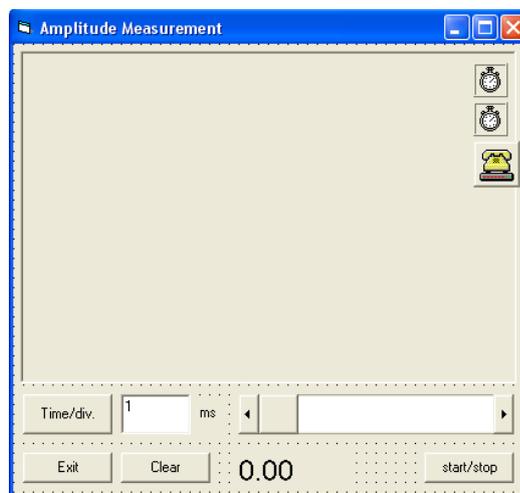


ภาคผนวก

## ภาคผนวก ก

### Source Code โปรแกรมที่ใช้กับระบบการตรวจวัดค่าแอมพลิจูด

#### ก.1 หน้าต่างแสดงผล และ Source Code โปรแกรมภาษา Visual Basic บนคอมพิวเตอร์



ภาพ ก1 หน้าต่างแสดงผลบนหน้าจอกอมพิวเตอร์

#### Source Code โปรแกรม

Option Explicit

Dim data As String

Dim y\_max As Integer

Dim c As Double

Dim n As Integer

Dim X As Integer

Dim Y As Integer

Dim Xshift As Double

Dim Graphwidth As Integer

Dim stepup As Double

Dim lword As Long

Dim iword As Long

```
Dim i As Integer
Dim Fstop As Boolean
Public z As Double
Public t As Double
Dim a As Double
'-----
Private Sub Command1_Click()
Call start(z, t)
End Sub
'-----
Sub DrawGraph()
Picture1.Scale (-1, -6)-(10.5, 0.5)
Picture1.BackColor = vbBlack
Picture1.ForeColor = vbWhite
Picture1.Line (0, 0)-(10, 0)
Picture1.Line (0, -5)-(0, 0)
Picture1.CurrentX = -0.76
Picture1.CurrentY = -5.75
Picture1.Print "Amplitude (V)"

For X = 0 To 10
Picture1.Line (X, 0)-(X, -5)
Next X

For Y = 0 To -5 Step -1
Picture1.Line (-0.2, Y)-(10, Y)
Picture1.CurrentX = -0.5
Picture1.CurrentY = Y - 0.2
Picture1.Print Y * -1

Next Y

Picture1.CurrentY = -(Iword * 5 / 4096)
End Sub
'-----
```

```
'-----  
Sub start(z As Double, t As Double)  
z = -Timer  
Timer1.Enabled = True  
Timer2.Enabled = True  
End Sub  
'-----  
  
Private Sub Form_Load()  
    Picture1.AutoRedraw = True  
    Call DrawGraph  
    Timer1.Interval = 1  
    Timer2.Interval = 1  
    Timer1.Enabled = False  
    Timer2.Enabled = False  
    Command1.Caption = "Start/Stop"  
    lword = 820  
    ' Fire Rx Event Every Two Bytes  
    MSComm1.RThreshold = 2  
    ' When Inputting Data, Input 2 Bytes at a time  
    MSComm1.InputLen = 2  
    ' 2400 Baud, No Parity, 8 Data Bits, 1 Stop Bit  
    MSComm1.Settings = "19200,N,8,1"  
    ' Disable DTR  
    MSComm1.DTREnable = False  
    ' Open COM1  
    MSComm1.CommPort = 1  
    MSComm1.PortOpen = True  
'-----
```

```
Picture1.Scale (-1, -6)-(10.5, 0.5)
```

```
    Picture1.BackColor = vbBlack
```

```
    Picture1.ForeColor = vbWhite
```

```
    Picture1.DrawWidth = 1
```

```
    Picture1.Line (0, 0)-(10, 0)
```

```
    Picture1.Line (0, -5)-(0, 0)
```

```
    Picture1.CurrentX = -0.76
```

```
    Picture1.CurrentY = -5.75
```

```
    Picture1.Print "Amplitude (V)"
```

```
    For X = 0 To 10
```

```
        Picture1.Line (X, 0)-(X, -5)
```

```
    Next X
```

```
    For Y = 0 To -5 Step -1
```

```
        Picture1.Line (-0.2, Y)-(10, Y)
```

```
        Picture1.CurrentX = -0.5
```

```
        Picture1.CurrentY = Y - 0.2
```

```
        Picture1.Print Y * -1
```

```
    Next Y
```

```
End Sub
```

```
'-----
```

```
Private Sub Timer1_Timer()
```

```
t = Timer + z
```

```
t = Int(t * 1000) / 1000
```

```
Form1.Caption = t
```

```
End Sub
```

```
'-----
```

```
'-----  
Private Sub Timer2_Timer()  
a = Rnd * -7  
'Picture1.ForeColor = VB  
Picture1.DrawWidth = 3  
Picture1.Line -(t, -lword * 5 / 4096)  
    If t > 10 Then  
        Call start(z, t)  
        Picture1.Cls  
        Picture1.DrawWidth = 1  
        Call DrawGraph  
    End If  
End Sub  
  
'-----  
Private Sub MSComm1_OnComm()  
Dim sData As String ' Holds our incoming data  
Dim IHighByte As Long ' Holds HighByte value  
Dim ILowByte As Long ' Holds LowByte value  
Dim iHighByte As Long ' Holds HighByte value  
Dim iLowByte As Long ' Holds LowByte value  
Dim iword As Long ' Holds the Word result  
  
' If comEvReceive Event then get data and display  
If MSComm1.CommEvent = comEvReceive Then  
    sData = MSComm1.Input ' Get data (2 bytes)  
    IHighByte = Asc(Mid$(sData, 1, 1)) ' get 1st byte  
    ILowByte = Asc(Mid$(sData, 2, 1)) ' Get 2nd byte  
    'iHighByte = Asc(Mid$(sData, 3, 1)) ' Get 3 byte  
    'iLowByte = Asc(Mid$(sData, 4, 1)) ' Get 4 byte  
    ' Combine bytes into a word  
    iword = (IHighByte * &H100) Or ILowByte  
    Label1.Caption = Format(iword * 5 / 4096, "0.00") & " Volt"  
End If  
End Sub  
  
'-----
```

## ก.2 Source Code โปรแกรมภาษา C สำหรับไมโครคอนโทรลเลอร์

```

#include<stdio.h>
#include<aduc842.h>
#include<intrins.h>
sbit LED = 0x0B4;
int iNOut;
sbit trick=P3^7;
bit flag=0;
sbit CLK_OUT=P3^3;

unsigned char bufch0_H;           //ประกาศตัวแปร
unsigned char bufch0_L;
unsigned char bufch1_H;
unsigned char bufch1_L;
unsigned char BUF_IN_H;
unsigned char BUF_IN_L;

void delay(int length)           // ฟังก์ชันการหน่วงเวลา
{
while (length >=0)
    length--;
}

void main(void)
{
int CHAN = 0;
EA=1;
EXO=1;
ITO=1;
CLK_OUT=0;

```

```

/*การใช้ทค่า*/
ADCCON1 = 0x0AC;           // เปิดการทำงานของ A/D
                             // เลือกช่องการแปลงสัญญาณ
DACCON= 0x3D;             // แปลงสัญญาณไฟฟ้า 0- 5โวลต์เป็นข้อมูล 12 บิต
    PLLCON=PLLCON&0xf8;
    T3CON = 0x85;          //กำหนดอัตราการรับส่งข้อมูลอยู่ที่ 115200
    T3FD  = 0x2D;
    SCON  = 0x50;

/*ลูปการแปลงสัญญาณA/D*/
while (1)
{
    if(flag==1)
    {
        ADCCON2=0x10;
        //SCONV=1;
        while (ADCI==0)
        {
        }
        ADCI=0;
        CLK_OUT=1;
        delay(100);
        CLK_OUT=0;

        bufch0_H=ADCDATAH & 0x0f;           //กำหนดการรับค่าของข้อมูล
        bufch0_L=ADCDATAL;
        SBUF= bufch0_H;           //เก็บข้อมูลที่จะส่งไว้ในรีจิสเตอร์และส่งข้อมูลออกไปเป็นลำดับ
            while(TI==0);
            TI=0;
            SBUF=bufch0_L;
            while(TI==0);
            TI=0;
            flag=0;
    }
}
LED=~LED;
}
}

```

```
}
```

```
void ser_int0() interrupt 0
```

```
{
```

```
    flag=1;
```

```
}
```

## ภาคผนวก ข

### การเผยแพร่ผลงานวิจัย

#### วารสารวิชาการ

- [1] A. Kaewpoonsuk, R. Katman, A. Julsereewong, and V. Riewruja, "An Amplitude Detector Using Up-Down Counter," ICIC Express Letters, Vol. 6, No. 3, March, 2012, 645-650.
- [2] อนุชา แก้วพูลสุข และ รัชฎู กัดมัน, "ตัวสร้างสัญญาณควบคุมโดยอาศัยวงจรรองความถี่ผ่านหมดสำหรับการพัฒนางจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์," วารสารวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ปีที่ 8 ฉบับที่ 1, เม. ย.-ก.ย., 2554, 44-56.
- [3] อนุชา แก้วพูลสุข และ รัชฎู กัดมัน, "การออกแบบตัวแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัลโดยใช้เทคนิคการประมาณค่าสี่บิตเอง," วารสารมหาวิทยาลัยนเรศวร ปีที่ 18 ฉบับที่ 3, ก.ย.-ธ.ค., 2553, 36-45.

#### การประชุมวิชาการ

- [4] A. Kaewpoonsuk, R. Katman, A. Julsereewong, and V. Riewruja, "An Amplitude Detector Using Up-Down Counter," The Sixth International Conference on Innovative Computing, Information and Control (ICICIC2011), Kitakyushu, Japan, Dec. 22-24, 2011.
- [5] A. Kaewpoonsuk, W. Petchmaneelumka, and T. Cheypoca, "A Simple Technique for Measuring Amplitude of Transient Signals," ITC-CSCC 2011, Gyeongju, Korea, June 19-22, 2011.
- [6] A. Kaewpoonsuk, R. Katman, T. Kamsri, A. Rerkratn, and V. Riewruja, "A Simple Amplitude Detector-based Demodulator for Resolver Converters," International Conference on Control, Automation and Systems 2010, KINTEX, Gyeonggi-do, Korea, Oct. 27-30, 2010.
- [7] อนุชา แก้วพูลสุข, "วงจรถ้าค่าแอมพลิจูดโดยใช้วงจรรองความถี่ผ่านหมดทำหน้าที่เป็นตัวสร้างสัญญาณควบคุม," การประชุมวิชาการนเรศวรวิจัย ครั้งที่ 7, มหาวิทยาลัยนเรศวร, จ. พิษณุโลก, 29-30 ก.ค. 2554.

- [8] อนุชา แก้วพูลสุข, และ รัชฌู กัดมันัฒ “การสังเคราะห์วงจรแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัลสำหรับสัญญาณไซน์ชอยด์,” การประชุมวิชาการวิทยาศาสตร์วิจัย ครั้งที่ 3, คณะวิทยาศาสตร์, มหาวิทยาลัยรัตนเรศวร, จ. พิษณุโลก, 14-15 มี.ค. 2554.

Volume 6, Number 3, March 2012

ISSN 1881-803X



# ICIC Express Letters

*An International Journal of Research and Surveys*

Editors-in-Chief

Yan Shi, Tokai University, Japan  
Junzo Watada, Waseda University, Japan

Indexed by *Ei Compendex (Elsevier)*  
*Scopus (Elsevier)*  
*INSPEC (IET)*

Published by ICIC International  
<http://www.ijcic.org/icicel.htm>

## AN AMPLITUDE DETECTOR USING UP-DOWN COUNTER

ANUCHA KAEWPOONSUK<sup>1</sup>, RATCHANOO KATMAN<sup>1</sup>, AMPHAWAN JULSEREEWONG<sup>2</sup>  
AND VANCHAI RIEWRUJA<sup>2</sup>

<sup>1</sup>Physic-Electronics Research Group  
Department of Physics  
Faculty of Science  
Naresuan University  
Phitsanulok 65000, Thailand  
anuchak@nu.ac.th; nu\_katman@hotmail.com

<sup>2</sup>Faculty of Engineering  
King Mongkut's Institute of Technology Ladkrabang  
Ladkrabang, Bangkok 10520, Thailand  
{ kcamphaw; kvanchai }@kmitl.ac.th

Received June 2011; accepted September 2011

**ABSTRACT.** *This article presents a novel and simple amplitude detector for sinusoidal signals. The realization technique utilizes up/down counting and holding capabilities of up-down counter without low-pass filter or sample-and-hold circuit requirement. The proposed circuit consists of a control signal generator, a peak detector, a windows detector, a digital-to-analog converter, and an up-down counter. The proposed detector can produce both analog output and 12-bit digital output signals, which are proportional to the amplitude value of analog input signals. In addition, output signals with small ripple can be achieved. The experimental results show that the proposed detector can work with the input voltage in range 250 mV to 5 V. The maximum frequency for input signals is approximately equal to 100 kHz with maximum analog output error of 0.8 %.*

**Keywords:** Amplitude detector, Envelope detector, Peak detector, Tracking technique, Up-down counter

**1. Introduction.** Amplitude detector is an important circuit building block in communication, instrumentation, and measurement systems. The function of amplitude detector is to generate output signals proportional to an amplitude or peak value of sinusoidal input signals. Its applications can be found in literature [1-4]. One of well-known amplitude detectors is implemented using rectifier and low-pass filter [5,6]. The second approach for detecting root-mean-square value of input amplitude signal is based on low-pass filter connected with squarer and divider [7,8]. However, all the mentioned detectors suffer from two major problems. The first limitation is that several cycles of input signal are required for low-pass filter to settle to the corresponding average DC level; thus the circuit operation speed is low. The second problem due to a filter capacitor is the ripple between previous values and succeeding tracking. The third approach is implemented using 90-degree phase shifter, square root circuit, and square circuits [9,10]. These proposed detectors are based on the concept of orthogonal function set with fast settling. Unfortunately, they can support only fixed frequency sinusoidal signals. The fourth approach based on CMOS technology requires closely matched transistors, which can be accurately realized only in monolithic integrated circuit form [11,12]. The fifth approach in [13] is based on the use of control logic circuit, peak detector, and sample-and-hold circuit to provide analog output proportional to input amplitude. In order to obtain the 8-bit digital output signals, the amplitude detector using counting technique has been introduced in [14]. However, its operation speed is slow since the counter used requires to be reset

before succeeding operation cycle. Alternatively, the successful method based on the use of up-down counter for implementing a frequency-to-voltage converter has been proven [15]. The aim of this article is to propose the similar technique using up-down counter. However, we develop this idea in the different way to realize an amplitude detector. Compared with the methods in [13,14], the proposed detector provides both analog output and digital outputs and can support wider input frequency range. Experimental results that verify the circuit performance are also given.

**2. Concept and Design Technique.** The schematic of the proposed amplitude detector as shown in Figure 1 consists of a control signal generator, a peak detector, a windows detector, a digital-to-analog converter (DAC), and an up-down counter. The three last circuits function as the 12-bit counter-and-tracking analog-to-digital converter (ADC). For the purpose of operation analysis, we assume that the sinusoidal input can be stated as

$$V_{in} = A_t \sin(2\pi f_{in}t) = A_t \sin(2\pi t/T_{in}) \tag{1}$$

where  $A_t$ ,  $f_{in}$  and  $T_{in}$  are the amplitude, the frequency, and the time period of input signal, respectively. Figures 2(a) and 2(b) show the signal waveforms at various nodes of the proposed detector for the cases of  $V_{out} < A_t$  and  $V_{out} > A_t$  at initial condition, respectively. The sequential operation cycle of the proposed circuit within two periods of input signal can be divided into 4 steps, which can be explained as follows.

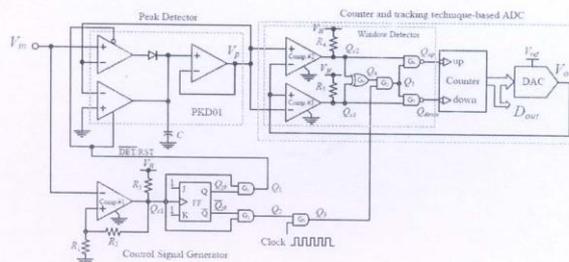


FIGURE 1. Schematic of proposed amplitude detector using up-down counter

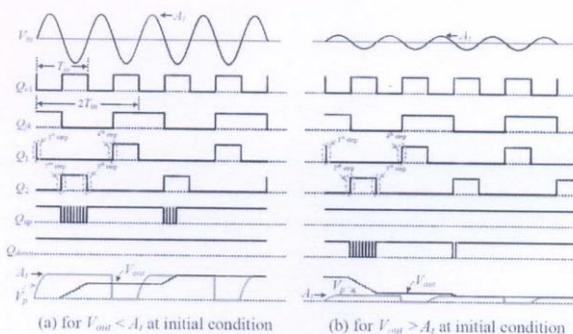


FIGURE 2. Signal waveforms at various nodes of the proposed detector

In the 1st step, the control signal  $Q_1$  changes its state from high (1) to low (0) to allow the peak detector to track and hold the most positive peak value of  $V_{in}$ . After time  $t = T_{in}/4$ , the voltage output ( $V_p$ ) is then determined as

$$V_p = A_t \quad (2)$$

In the 2nd step, the control signal  $Q_2$  changes its state from low (0) to high (1) to apply the clock signal for the counter. The detected signal  $V_p$  is compared with the analog output  $V_{out}$  by two comparators Comp#2 and Comp#3. The comparison results  $Q_{c2}$  and  $Q_{c3}$  are used to enable the counter to count up or down. If  $Q_{c2} = 1$  and  $Q_{c3} = 0$  ( $V_{out} < V_p$ ), the counter counts up and the counted signal becomes the digital output  $D_{out}$ . Simultaneously, the digital bits are converted into the analog signal ( $V_{out}$ ) using the DAC, and  $V_{out}$  is also fed back to compare with  $V_p$ . If  $Q_{c2} = 0$  and  $Q_{c3} = 1$  ( $V_{out} > V_p$ ), the counter counts down. For the case of  $Q_{c2} = 1$  and  $Q_{c3} = 1$  ( $V_{out} = V_p$ ), the output of the gate G4 ( $Q_4$ ) becomes low, so no clock signal is applied to the counter. The counter will be stopped when  $V_{out} = V_p$  or the signal  $Q_2$  changes its state from high to low. At this time, the counter will hold the digital output  $D_{out}$ , and the analog output  $V_{out}$  will be constant before the next operation cycle. This means that if the signal  $Q_2$  changes its state from high to low when  $V_{out} < V_p$ , the counter will start to count from the held value.

In the 3rd step, the signal  $Q_2$  changes its state from high to low to stop the work of the counter. No clock signal is applied to the counter.

In the 4th step, the signal  $Q_1$  changes its state from low to high to reset the detected value of the peak detector for succeeding operation cycle.

**3. Circuit Parameter Analysis.** The circuit parameters that affect the performance of the proposed detector are investigated. The first parameter is the operation time of each cycle that varies according to the twice of the period of sinusoidal input signals. The second parameter affecting the detection time is a slew rate of the ADC, which can be given by

$$slew\ rate = f_{ck} V_{ref} / 2^n \quad (3)$$

where  $f_{ck}$  denotes the frequency of clock signal used,  $V_{ref}$  is the full-scale output of the DAC, and  $n$  is the bit number. The third parameter is the maximum change of  $V_{out}$  that can be generated in each operation cycle as

$$\Delta V_{out(max)} = slew\ rate(T_{in}/2) = f_{ck} V_{ref} / (2f_{in} 2^n) \quad (4)$$

The fourth parameter is the detection time,  $T_{detect}$ , of the proposed detector for providing  $V_{out} = V_p$ . The time  $T_{detect}$  can be expressed as

$$T_{detect} = \begin{cases} 2^n \Delta V / (f_{ck} V_{ref}) + T_{in}/2; & \text{for } |\Delta V| \leq \Delta V_{out(max)} \\ 2^n \Delta V_n / (f_{ck} V_{ref}) + T_{in}/2 + 2mT_{in}; & \text{for } |\Delta V| > \Delta V_{out(max)} \end{cases} \quad (5)$$

where

$$\Delta V = V_p - V_{out} \quad (6)$$

$$m = \text{int} |\Delta V| / \Delta V_{out(max)} \quad (7)$$

$$\Delta V_n = \Delta V - m \Delta V_{out(max)} \quad (8)$$

Based on (3)-(5), if  $\Delta V = 1$  V,  $f_{ck} = 1$  MHz,  $f_{in} = 1$  kHz,  $n = 12$ , and  $V_{ref} = 5$  V, then  $slew\ rate = 1.2207$  V/s,  $\Delta V_{out(max)} = 0.61$  V, and  $T_{detect} = 2.819$  ms can be obtained. Considering (4) and (5), it is evident that the frequency  $f_{ck}$  should be greater than the frequency  $f_{in}$  to achieve the short detection time. In order to obtain the  $T_{detect}$  according

648 A. KAEWPOONSUK, R. KATMAN, A. JULSEREEWONG AND V. RIEWRUJA

to the first condition of (5) (or  $T_{\text{detect}} \leq 2T_{in}$ ), the frequency  $f_{in}$  should be approximately as

$$f_{in} \leq f_{ck}V_{ref}/(2\Delta V_{out(\max)}2^n) \leq f_{ck}V_{ref}/(2A_t2^n) \tag{9}$$

If  $f_{ck}$  is set according to Equation (9), and the amplitude of the input signal modulated with carrier frequency  $f_c$  is continuously varied (see Figure 3), the maximum error can be approximately given by

$$Error_{(\max)} = 4f_dA_d/2f_c \tag{10}$$

From (10), it can be seen that the error  $Error_{(\max)}$  can be reduced by setting  $f_c \gg f_d$ .

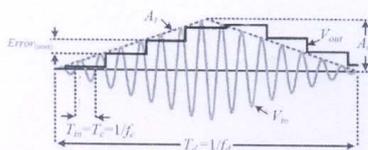


FIGURE 3. Maximum error due to continuously changing input amplitude

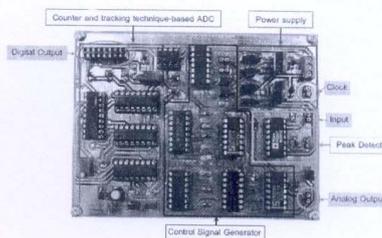


FIGURE 4. Proposed amplitude detector constructed on PCB

**4. Experimental Results and Discussion.** For experimental purposes, the proposed amplitude detector of Figure 1 was constructed on printed circuit board (PCB) as shown in Figure 4. The commercial 74LS193, LM319, PKD01, MC14027BCP, HEF4081BP, HD14070BP and CD4011BCN devices were employed to form as the counter, comparator, peak detector, JK-flip flop, AND gate, EX-OR and NAND gate, respectively. The DAC was realized using the DAC7541 and OP37 devices. The supply voltages were set to  $\pm 7$  V. The clock signal was set to 1 MHz. The values for components were chosen as:  $R_1 = R_3 = R_4 = R_5 = R_6 = 1$  k $\Omega$ ,  $R_2 = 100$  k $\Omega$ ,  $R_7 = 5$  k $\Omega$  (variable) and  $C = 100$   $\mu$ F.

To test the circuit operation, applying sinusoidal input was set in different conditions. For fixed 1 kHz input frequency and varied input amplitude, the results are displayed in Figures 5 and 6 and summarized in Table 1. For rapidly changed input frequency and fixed amplitude, the results are shown in Figure 7, while Figure 8 shows the results obtained from applying modulated sinusoidal input.

From Figure 5, it is seen that the measured results agreed well with the sketched signals of Figure 2. From Figure 6, the minimum input amplitude detected by the proposed detector is approximately equal to 250 mV, and the maximum error of analog output is

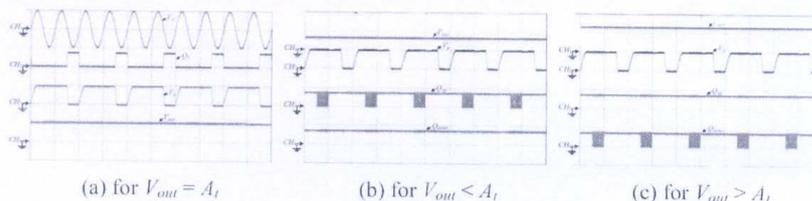


FIGURE 5. Measured results for 1 kHz input frequency

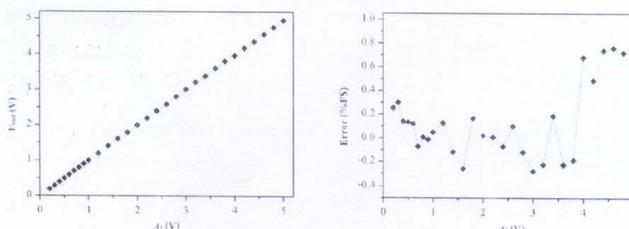


FIGURE 6. Measured results for varied input amplitude in range 0.25 – 5 V

TABLE 1. Digital outputs for varied input amplitude in range 0.5 – 5 V

Input Amplitude (V)	12-bit Digital Output	Calculated Voltage from Digital Output (V)	Error of full scale (%)
0.5	0001 1001 1111	0.507	0.14
1.0	0011 0100 1111	1.034	0.68
1.5	0100 1101 1111	1.522	0.44
2.0	0110 0111 1111	2.030	0.60
2.5	0111 1101 1111	2.460	-0.80
3.0	1001 1011 1111	3.046	0.92
3.5	1011 0011 1111	3.514	0.28
4.0	1100 1101 1111	4.022	0.44
4.5	1110 0101 1111	4.491	-0.18
5.0	1111 1111 1011	4.994	-0.12

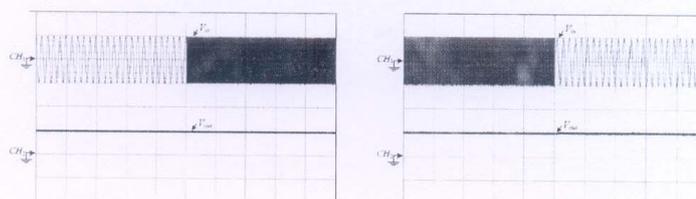


FIGURE 7. Measured results for rapidly changed input frequency and fixed amplitude

less than 0.8% of full scale (5 V). From Table 1, the maximum error of digital output is less than 0.92%. However, a further improvement of the accuracy for digital output can be expected if the accurate comparators are employed. From Figure 7, it is shown that the proposed circuit can well operate without any problems for continuously changing frequency input. From Figure 8, the proposed circuit can be used to implement a demodulator for low-frequency data with double sideband full carrier. In addition, the total harmonic distortion (THD) is obtained from applying modulated sinusoidal input  $V_{in}$ , when the frequencies of the data and carrier are varied from 1 Hz – 1 kHz and fixed at 50 kHz, respectively. It is seen that the THD is less than 5% for the data frequency below 100 Hz.

**5. Conclusion.** A simple technique based on up-down counter for realizing a sinusoidal-amplitude detector has been described in this article. The proposed scheme can produce both analog-output and digital-output signals proportional to the amplitude of sinusoidal

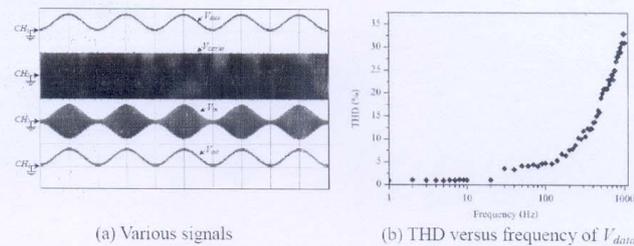


FIGURE 8. Measured results for modulated sinusoidal input

analog-input signal. It is shown that the experimental results conform very well to theoretical values.

**Acknowledgment.** This work is partially supported by Naresuan University. The authors also gratefully acknowledge the helpful comments and suggestions of the reviewers, which have improved the presentation.

## REFERENCES

- [1] P. Kinget, Amplitude detection inside CMOS LC oscillators, *The 2006 IEEE International Symposium on Circuits and Systems*, Island of Kos, Greece, 2006.
- [2] J. M. Khoury, On the design of constant settling time AGC circuits, *IEEE Trans. on Circuit and Systems - II: Analog and Digital Signal Processing*, vol.45, no.3, pp.283-294, 1998.
- [3] P. Povalac and J. Hribik, Computer controlled measurement system, *Measurement Science Review*, vol.6, no.4, pp.32-35, 2006.
- [4] A. Rerkratn, J. Pulkham, K. Chitsakul, M. Sangworasil and A. Kaewpoonsuk, High current low frequency eddy current imaging system, *International Conference on Control, Automation and Systems*, COEX, Seoul, Korea, 2007.
- [5] A. Boudouris and E. F. Peters, Audio amplitude detector circuit, *United States Patent. 4,206,415*, 1980.
- [6] G. A. Kriegsmann, An asymptotic theory of rectification and detection, *IEEE Trans. on Circuit and Systems*, vol.CAS-32, no.10, pp.1064-1068, 1985.
- [7] B. Gilbert, Low supply current RMS-to-DC converter, *United States Patent. 7,002,394 B1*, 2006.
- [8] W. Surakamponorn and K. Kumwachara, A dual translinear-based true RMS-to-DC converter, *IEEE Trans. on Instrumentation and Measurement*, vol.47, no.2, pp.459-464, 1999.
- [9] H. Y. Chu, H. L. Jou and C. L. Huang, Transient response of a peak voltage detector for sinusoidal signals, *IEEE Trans. on Industrial Electronics*, vol.39, no.1, pp.74-79, 1992.
- [10] W. Sangpisit, P. Wardkein, W. Kiranon and C. Loescharataramdee, A novel derivative envelope detector, *IEEE Trans. on Consumer Electronics*, vol.44, no.4, pp.1396-1405, 1998.
- [11] J. P. Alegre, S. Celma, J. M. Garcia del Pozo and N. Medrano, Fast-response low-ripple envelope follower, INTEGRATION, *The VLSI Journal*, vol.42, pp.169-174, 2009.
- [12] S. M. Zhak, M. W. Baker and R. Sarpeshkar, A low-power wide dynamic range envelope detector, *IEEE Journal of Solid-State Circuits*, vol.38, no.10, pp.1750-1753, 2003.
- [13] P. Raksachat, A. Chaikla, A. Kaewpoonsuk, V. Riewruja and P. Julsereewong, An amplitude detector for variable frequency sinusoidal signals, *SICE-ICASE International Joint Conference*, Bexco, Busan, Korea, 2006.
- [14] C. Wangwiwatthana, A. Kaewpoonsuk and W. Riewruja, An amplitude-to-digital converter, *SICE Annual Conference*, The University Electro-Communications, Japan, 2008.
- [15] A. S. Hou, Design of fast frequency-to-voltage converter using successive-approximation technique, *Int. J. of Electron*, vol.92, no.11, pp.635-644, 2005.

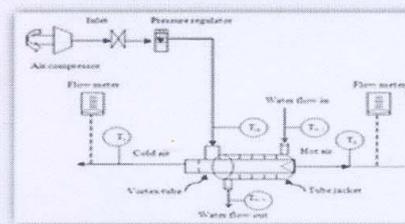
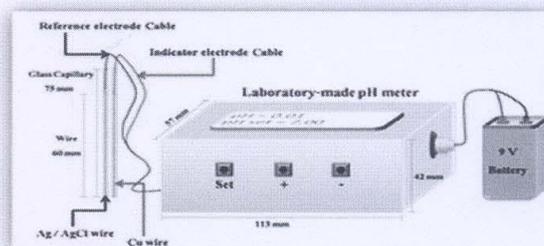
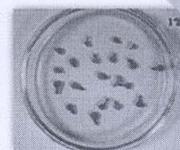
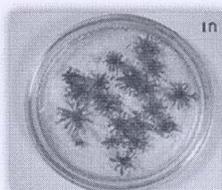
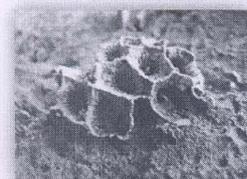
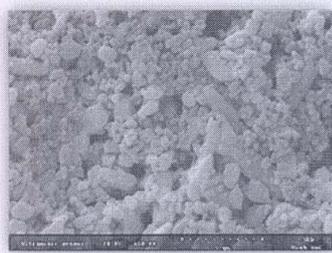


# วารสารวิทยาศาสตร์ มหาวิทยาลัยนเรศวร Naresuan University Science Journal

ปีที่ 8 ฉบับที่ 1 (เมษายน 2554 - กันยายน 2554)  
Vol. 8 No. 1 (April 2011 - September 2011)

วารสารวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ปีที่ 8 ฉบับที่ 1 (เมษายน 2554 - กันยายน 2554)

ISSN 1686-5561



คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร อ.เมือง จ.พิษณุโลก 65000  
Faculty of Science, Naresuan University, Phitsanulok 65000 THAILAND  
<http://www.sci.nu.ac.th/journal>

ตัวสร้างสัญญาณควบคุมโดยอาศัยวงจรรองความถี่ผ่านหมดสำหรับการพัฒนา  
วงจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์  
อนุชา แก้วพูลสุข\* และ รัชฌู กัดมัน

**All-Pass Filter-based Control Signal Generator  
for Sinusoidal-Amplitude Detector**

Anucha Kaewpoonsuk\* and Ratchanoo Katman

กลุ่มวิจัยฟิสิกส์อิเล็กทรอนิกส์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนครสวรรค์  
อ.เมือง จ.พิจิตร 65000

\*Corresponding author. E-mail: anuchak@nu.ac.th

**บทคัดย่อ**

บทความนี้แนะนำเสนอตัวสร้างสัญญาณควบคุมสำหรับการพัฒนาวงจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์ให้มีการทำงานที่รวดเร็วขึ้น เทคนิคที่ใช้เป็นการอาศัยสมบัติการเลื่อนเฟสของวงจรรองความถี่ผ่านหมดซึ่งได้นำมาต่อยอดร่วมกับวงจรตรรกะสำหรับการสร้างสัญญาณ 2 สัญญาณเพื่อนำมาใช้ควบคุมจังหวะการทำงานของวงจรตรวจจับค่ายอดสัญญาณและวงจรสุ่มและคงค่าสัญญาณตามลำดับ ผลจากการใช้ตัวสร้างสัญญาณที่นำเสนอสามารถได้รับไม่เพียงแต่วงจรตรวจวัดค่าแอมพลิจูดที่มีโครงสร้างเรียบง่ายเท่านั้น แต่ยังสามารถได้วงจรที่มีการทำงานที่รวดเร็ว การทดสอบสมบัติการทำงานของวงจรที่ได้ด้วยการต่อวงจรบนบอร์ดทดลองได้ผลสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ

**คำสำคัญ:** วงจรตรวจวัดค่าแอมพลิจูด วงจรตรวจจับค่ายอดสัญญาณ วงจรรองความถี่ผ่านหมด วงจรเลื่อนเฟส

### Abstract

In this paper, a control signal generator to enhance operation speed of a sinusoidal-amplitude detector is described. Realization technique exploits a phase shift behavior of an all-pass filter connected with logic circuit to generate two signals for controlling the sequential operations of peak detector and sample-and-hold circuit. Based on proposed generator, not only the amplitude detector with simple configuration but also fast operation can be obtained. Circuit performances experimentally tested on a bread board are agreed with the proposed expectations.

*Keywords:* Amplitude detector, peak detector, all-pass filter, phase-shifter

### บทนำ

ตัวรับรู้ (sensor) บางชนิดเช่นตัวรับรู้ตำแหน่งที่อาศัยหลักการเปลี่ยนแปลงค่าความเหนี่ยวนำไฟฟ้า หรืออาศัยหลักการเปลี่ยนแปลงค่าความจุไฟฟ้าที่ใช้ในระบบการวัดและควบคุมจะใช้วิธีการจ่ายสัญญาณรูปไซน์เพื่อเป็นอินพุตให้กับตัวรับรู้ โดยที่ตัวรับรู้ดังกล่าวจะให้สัญญาณเอาต์พุตออกมาในรูปของสัญญาณรูปไซน์ที่มีค่าความถี่เท่าเดิมแต่มีค่าแอมพลิจูดเปลี่ยนแปลงไปตามปริมาณที่ต้องการตรวจวัด สำหรับวิธีการประมวลผลสัญญาณเพื่อตรวจวัดค่าแอมพลิจูดของสัญญาณเอาต์พุตที่ได้โดยทั่วไปแล้วจะสามารถแบ่งออกได้เป็น 2 วิธี ได้แก่วิธีการแปลงสัญญาณรูปไซน์ให้เป็นสัญญาณดิจิทัล จากนั้นอาศัยหลักการประมวลผลสัญญาณแบบดิจิทัลเพื่อคำนวณหาค่าแอมพลิจูดของสัญญาณ โดยหลักการดังกล่าวนี้จะมีจุดด้อยอยู่ที่ไม่สามารถใช้งานกับสัญญาณที่มีความถี่สูงได้ ซึ่งตัวประมวลผลหลักของระบบแบบดิจิทัลยังต้องทำหน้าที่อื่นๆ ภายในเวลาเดียวกันด้วย เช่น ทำหน้าที่ในการควบคุมระบบการติดต่อสื่อสาร หรือการแสดงผลการตรวจวัด เป็นต้น วิธีการที่สองเป็นการใช้วงจรประมวลผลสัญญาณแบบแอนะล็อกสำหรับการตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์โดยตรง ซึ่งจะทำให้สามารถใช้งานกับสัญญาณรูปไซน์ที่มีความถี่สูงได้ ในส่วนของวิธีการพัฒนาวงจรตรวจวัดค่าแอมพลิจูดที่เป็นที่คุ้นเคยโดยทั่วไปได้แก่การใช้วงจรเรียงกระแสต่อร่วมกับวงจรกรองความถี่ต่ำผ่าน (Boudouris and Peters, 1980; Kriegsmann, 1985) และวิธีการใช้วงจรยกกำลังสองและวงจรรหารสัญญาณต่อร่วมกับวงจรกรองความถี่ต่ำผ่าน (Gilbert, 2006; Surakampontorn and Kumwachara, 1999) โดยวิธีที่สองนี้เป็นวิธีการหาค่าที่สองกำลังสองเฉลี่ย (Root Mean Square; RMS) ของสัญญาณ ซึ่งเป็นค่าที่แปรผันตรงกับแอมพลิจูดของสัญญาณอินพุต อย่างไรก็ตามทั้งสองวิธีดังกล่าวนี้จะให้เอาต์พุตที่มีลักษณะกระเพื่อมเล็กน้อยอยู่ตลอดเวลา นอกจากนี้ยังต้องใช้เวลาเริ่มต้นในการทำงานหลายคาบของสัญญาณอินพุตอันเนื่องมาจากการทำงานของวงจรกรองความถี่ต่ำ

ผ่าน วิธีการอื่นเช่นการใช้วงจรถ่วงเฟสคงที่  $90^\circ$  ต่อร่วมกับวงจรถ่วงกำลังสองและวงจรถ่วงคราคที่สอง (Chu *et al.*, 1992; Sangpisit *et al.*, 1998) ในปี พ.ศ. 2549 ได้มีการนำเสนอวิธีการพัฒนาออกแบบวงจรหาค่าแอมพลิจูดโดยใช้วงจรถ่วงจับค้ายอดสัญญาณต่อร่วมกับวงจรถ่วงและคงค่าสัญญาณและวงจรถ่วงสร้างสัญญาณควบคุม (Raksachat *et al.*, 2006) โดยวิธีดังกล่าวอาศัยวงจรถ่วงจับค้ายอดสัญญาณสำหรับการตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์และใช้วงจรถ่วงและคงค่าสัญญาณสำหรับการรักษาระดับแรงดันเอาต์พุตของวงจรมีค่าคงที่ (ไม่เกิดการกระเพื่อม) ก่อนที่จะทำการตรวจวัดค่าแอมพลิจูดในรอบการทำงานใหม่ต่อไป จุดด้อยของงานดังกล่าวคือความล่าช้าในการทำงานโดยในรอบการทำงานนั้นจะใช้เวลาทั้งหมดเท่ากับ 2 คาบของสัญญาณอินพุต ในบทความนี้เป็นการพัฒนาปรับปรุงวงจรถ่วงในส่วนของวงจรถ่วงสร้างสัญญาณควบคุมขึ้นใหม่เพื่อทำให้วงจรถ่วงวัดค่าแอมพลิจูดสามารถทำงานได้ภายในเวลา 1 คาบของสัญญาณอินพุต โดยจะมีความเหมาะสมสำหรับงานที่ความถี่ของสัญญาณอินพุตมีค่าคงที่หรือมีการเปลี่ยนแปลงในช่วงโดยประมาณไม่เกิน 0.75 ดีเคท (decade) ถึง 2 ดีเคท สำหรับรายละเอียดการพัฒนาออกแบบวงจรและการทดสอบการทำงานนั้นจะได้กล่าวในหัวข้อถัดไป

#### แนวคิดและหลักการพัฒนาออกแบบวงจร

รูป 1 แสดงโครงสร้างของวงจรถ่วงวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ได้พัฒนาขึ้นในครั้งนี้อย่างประกอบด้วยวงจรถ่วงจับค้ายอดสัญญาณ วงจรถ่วงและคงค่าสัญญาณ และวงจรถ่วงสร้างสัญญาณควบคุม โดยใช้วงจรถ่วงความถี่ผ่านหมดเป็นพื้นฐานในการออกแบบ รูป 2 แสดงแผนภาพเวลาของสัญญาณที่สำคัญของวงจรถ่วงในรูป 1 ซึ่งการทำงานในแต่ละรอบนั้นจะแบ่งออกได้เป็น 4 จังหวะเหมือนกับวิธีการในบทความเดิม (Raksachat *et al.*, 2006) ดังนี้คือ

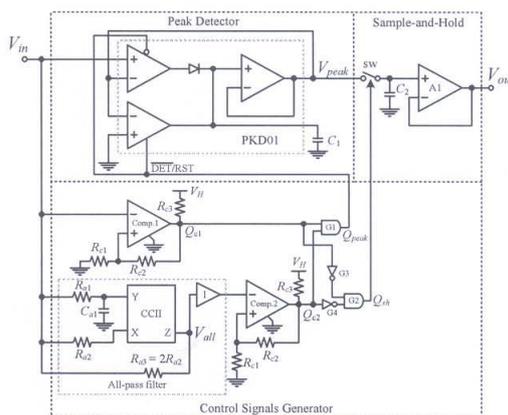
ลำดับที่ 1: สัญญาณควบคุม  $Q_{peak}$  เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่ออนุญาตให้วงจรถ่วงจับค้ายอดสัญญาณเริ่มทำงาน ซึ่งหลังจากเวลา  $T_{in}/4$  จะได้อเอาต์พุตของวงจรถ่วงจับค้ายอดสัญญาณเป็นค่าแอมพลิจูดของสัญญาณอินพุต

ลำดับที่ 2: สัญญาณควบคุม  $Q_{sh}$  เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อควบคุมให้วงจรถ่วงและคงค่าสัญญาณเปิดรับค่าเอาต์พุตของวงจรถ่วงจับค้ายอดสัญญาณไปเป็นเอาต์พุตของวงจรถ่วง

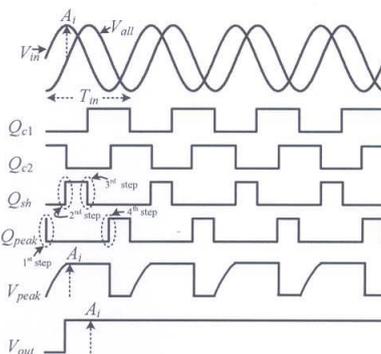
ลำดับที่ 3: สัญญาณควบคุม  $Q_{sh}$  เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่อควบคุมให้วงจรถ่วงและคงค่าสัญญาณทำการหยุดรับค่าจากวงจรถ่วงจับค้ายอดสัญญาณพร้อมทั้งรักษาระดับค่าของสัญญาณเดิมไว้ให้มีค่าคงที่ก่อนที่จะมีการเปิดรับข้อมูลใหม่ในรอบการทำงานถัดไป

ลำดับที่ 4: สัญญาณควบคุม  $Q_{peak}$  เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อรีเซ็ตค่าเอาต์พุตเดิมของวงจรถ่วงจับค้ายอดสัญญาณ สำหรับการเตรียมความพร้อมในรอบการทำงานใหม่

ความแตกต่างที่สำคัญระหว่างวงจรที่ได้พัฒนาขึ้นใหม่กับงานเดิมคือส่วนของวงจรสร้างสัญญาณควบคุมซึ่งจะสามารถควบคุมให้วงจรสามารถทำงานได้ภายในเวลา 1 คาบของสัญญาณอินพุต ในขณะที่งานเดิมใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต ทั้งนี้เนื่องจากในงานดังกล่าว (Raksachat *et al.*, 2006) เป็นการอาศัยสมบัติของฟลิปฟล็อปชนิดเจค (JK-Flip Flop) สำหรับการหารความถี่ของสัญญาณอินพุตเพื่อนำมาสร้างเป็นสัญญาณควบคุมการทำงานของวงจรตรวจจับค่ายอดสัญญาณ และวงจรสุ่มและคงค่าสัญญาณ โดยในงานนี้ได้กำหนดเงื่อนไขการทำงานของวงจรทั้ง 4 จังหวะเปรียบเทียบกับเฟสของสัญญาณอินพุต ( $\theta_{in}$ ) ไว้ดังนี้คือ จังหวะที่ 1 และจังหวะที่ 3 จะเกิดขึ้นในขณะที่เฟสของสัญญาณอินพุตมีค่าเท่ากับ  $0^\circ$  และ  $180^\circ$  ตามลำดับ จังหวะที่ 2 จะต้องเกิดในช่วงมุม:  $90^\circ \leq \theta_{in} < 180^\circ$  และจังหวะที่ 4 จะต้องเกิดในช่วงมุม:  $270^\circ \leq \theta_{in} < 360^\circ$



รูป 1 วงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์



รูป 2 แผนภาพเวลาของสัญญาณที่สำคัญของวงจรในรูป 1

เพื่อให้การทำงานเป็นไปตามเงื่อนไขที่ได้กำหนดไว้ในส่วนของวงจรสร้างสัญญาณควบคุมภายในงานนี้ได้ใช้วิธีนำสัญญาณอินพุต ไปผ่านวงจรตรวจจับผ่านศูนย์และวงจรรองความถี่ผ่านหอดคั้งแสดงในรูป 1 เมื่อ  $Q_{c1}$  และ  $Q_{c2}$  คือสัญญาณเอาต์พุตของวงจรตรวจจับผ่านศูนย์ Comp.1 และ Comp.2 ตามลำดับ โดยจะสามารถสังเคราะห์สัญญาณควบคุม  $Q_{peak}$  และ  $Q_{sh}$  ได้ดังนี้คือ

$$Q_{peak} = Q_{c1} \text{ and } Q_{c2} \quad (1)$$

$$Q_{sh} = \overline{Q_{c1}} \text{ and } \overline{Q_{c2}} \quad (2)$$

โดยในส่วนของวงจรรองความถี่ผ่านหอดคั้งนั้นได้พัฒนาขึ้นจากวงจรสายพานกระแสดังซึ่งจะสามารถเขียนฟังก์ชันส่งผ่าน (Transfer function) เพื่อแสดงความสัมพันธ์ระหว่างสัญญาณแรงดันเอาต์พุต  $V_{all}$  กับสัญญาณแรงดันอินพุต  $V_{in}$  ของวงจรได้เป็น

$$H(s) = \frac{V_{all}}{V_{in}} = \frac{(1 - sC_{a1}R_{a1})}{(1 + sC_{a1}R_{a1})} \quad (3)$$

เมื่อ  $V_{in} = A_i \sin(2\pi f_{in}t)$  และ  $s = j\omega = j2\pi f_{in}$  จากสมการที่ (3) ขนาดและเฟสของ  $H(s)$  จะสามารถแยกเขียนได้เป็น

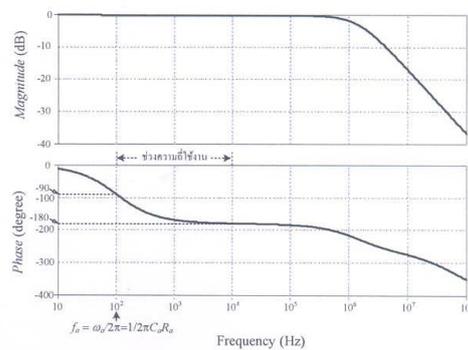
$$|H(j\omega)| = 1 \quad (4a)$$

$$\angle H(j\omega) = -2 \arctan \omega C_{a1}R_{a1} \quad (4b)$$

สมการที่ (4a) แสดงให้เห็นว่าขนาดของสัญญาณเอาต์พุตตลอดช่วงความถี่ใช้งานจะมีค่าเท่ากับขนาดของสัญญาณอินพุต สมการที่ (4b) แสดงให้เห็นว่าเฟสของสัญญาณเอาต์พุตจะตามหลังเฟสของสัญญาณอินพุต โดยเมื่อกำหนดให้  $\omega_a = 1/(C_{a1}R_{a1})$  จะได้ผลการเลื่อนเฟสระหว่างสัญญาณทั้งสองเท่ากับ  $90^\circ$  รูป 3 แสดงตัวอย่างผลการเลียนแบบการทำงานของวงจรรองความถี่ผ่านหอดคั้งด้วยโปรแกรม PSpice ซึ่งเป็นการใช้สมบัติของไอซีเบอร์ AD844 ทำหน้าที่เป็นวงจรสายพานกระแสดและบัฟเฟอร์ (Buffer) ภายในไอซีเดียวกัน กำหนดพารามิเตอร์  $f_a = \omega_a / 2\pi = 1/(2\pi C_{a1}R_{a1}) = 100 \text{ Hz}$  และกำหนดสัญญาณแรงดันอินพุต ( $V_{in}$ ) ของวงจรเป็นสัญญาณรูปไซน์ขนาดเท่ากับ  $1 \text{ V}_{rms}$  ใช้แหล่งจ่ายไฟเลี้ยงวงจรเท่ากับ  $\pm 9 \text{ V}$  ทำการทดลองแปรค่าความถี่ของสัญญาณ  $V_{in}$  วัดขนาด (Magnitude) และเฟส (Phase;  $\theta_{all}$ ) ของสัญญาณเอาต์พุต ( $V_{all}$ ) เทียบกับสัญญาณ  $V_{in}$  จากรูปผลการเลียนแบบการทำงานพิจารณาช่วงความถี่ของสัญญาณ  $V_{in}$  ที่ทำให้เฟสของสัญญาณเอาต์พุตมีค่าเท่ากับ  $-90^\circ$  ถึง  $-179^\circ$  ซึ่งจะได้ช่วงความถี่ประมาณเท่ากับ 2 ดีเคท (ความถี่ 100 Hz ถึง 10 kHz) อย่างไรก็ตามการกำหนดให้  $f_a = 1/(2\pi C_{a1}R_{a1})$  มีค่าสูงจากผลการเลียนแบบการทำงานพบว่าจะมีผลทำให้ช่วงความถี่ใช้งานของวงจรมีค่าแคบลงดังแสดงในตารางที่ 1

ตารางที่ 1 การเลื่อนเฟส ( $\theta_{all}$ ) ของสัญญาณเอาต์พุต ( $V_{all}$ ) เปรียบเทียบกับเฟสของสัญญาณอินพุต ( $V_{in}$ ) สำหรับวงจรกรองความถี่ผ่านหมด (จากการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE)

ลำดับที่	พารามิเตอร์		ค่าความถี่ของสัญญาณอินพุต พิจารณาที่ $\theta_{all}$ ต่างๆ (Hz)			ช่วงความถี่ระหว่าง $\theta_{all} = -90^\circ$ ถึง $-179^\circ$  $= \log \frac{f_{in}(\theta_{all} = -179^\circ)}{f_{in}(\theta_{all} = -90^\circ)}$ (ดีเคท)
	$C_{a1}$ ( $\mu F$ )	$R_{a1}$ (k $\Omega$ )	$\theta_{all} = -90^\circ$	$\theta_{all} = -175^\circ$	$\theta_{all} = -179^\circ$	
1	100	1.599	1	23.33	100	2
2	10	1.599	10	230.51	1 k	2
3	1	1.599	100	2.28 k	10 k	2
4	0.1	1.599	1 k	19.98 k	42.87 k	1.63
5	0.01	1.599	10 k	119.60 k	159.25 k	1.20
6	0.001	1.599	95.51 k	490.92 k	538.34 k	0.75
7	0.0001	1.599	719.88 k	2.04 M	2.16 M	0.48



รูป 3 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่านหมด

เมื่อกำหนด  $f_a = \omega_a / 2\pi = 1/(2\pi C_{a1} R_{a1}) = 100$  Hz

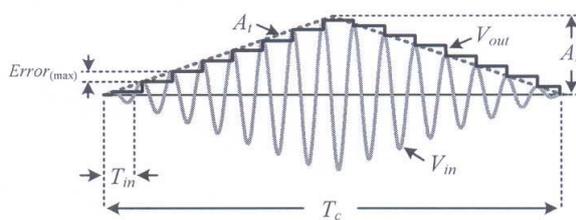
จากตารางที่ 1 สังเกตข้อมูลลำดับที่ 1 ถึงลำดับที่ 6 การนำวงจรกรองความถี่ผ่านหมดไปประยุกต์ใช้ สำหรับการสร้างสัญญาณควบคุม  $Q_{ch}$  จะสามารถใช้งานได้ในช่วงความถี่ใช้งานโดยประมาณเท่ากับ 0.75 ดีเคท ถึง 2 ดีเคท โดยในทางปฏิบัติช่วงความถี่ใช้งานจะแคบกว่านี้เล็กน้อย เนื่องจากต้องเผื่อเวลาสำหรับการสร้างสัญญาณควบคุม  $Q_{peak}$  เพื่อการรีเซ็ตค่าแอมพลิจูดเดิมของวงจรตรวจจับค่ายอดสัญญาณ ยกตัวอย่างเช่น ข้อมูลในลำดับที่ 5 ถ้าใช้การเผื่อเวลาไว้คิดเป็นมุมเท่ากับ  $5^\circ$

จะได้ช่วงความถี่ใช้งานเท่ากับ 10 kHz ถึง 119.6 kHz สำหรับข้อมูลในลำดับที่ 7 ซึ่งจะได้ช่วงความถี่ใช้งานประมาณเท่ากับ 0.48 ดีเซท (ช่วงความถี่ 719.88 kHz ถึง 2.16 MHz) อย่างไรก็ตามผลจากการทดสอบการทำงานพบว่าช่วงความถี่ใช้งานของวงจรถ่ายค่าแอมพลิจูดจะถูกจำกัดอยู่ที่ความสามารถในการทำงานของวงจรตรวจจับค่ายอดสัญญาณซึ่งมีค่าสูงสุดประมาณเท่ากับ 170 kHz

พารามิเตอร์ประการหนึ่งที่น่าสนใจได้แก่ผลจากการเปลี่ยนแปลงค่าแอมพลิจูดของสัญญาณอินพุต โดยในที่นี้ได้สมมุติให้สัญญาณอินพุต ( $V_{in}$ ) ของวงจรมีความถี่คงที่  $f_{in}=1/T_{in}$  แต่มีการเปลี่ยนแปลงค่าแอมพลิจูด ( $A_c$ ) เป็นรูปสามเหลี่ยมอย่างต่อเนื่องดังแสดงในรูป 4 โดยมีค่าความถี่ในการเปลี่ยนแปลงแอมพลิจูดคือ  $f_c=1/T_c$  และค่ายอดสูงสุดของสัญญาณอินพุตมีค่าเท่ากับ  $A_c$  กำหนดให้  $Error_{(max)}$  คือค่าผิดพลาดสูงสุดจากการทำงานของวงจร ซึ่งจะสามารถเขียนสมการแสดงความสัมพันธ์ได้เป็น

$$|Error_{(max)}| = \frac{2A_c f_c}{f_{in}} \quad (5)$$

จากสมการที่ (5) ยกตัวอย่างการคำนวณเช่น ถ้ากำหนดให้  $f_{in} = 50$  kHz โดย  $A_c = 5$  V และ  $f_c = 1$  kHz จะได้  $|Error_{(max)}| = 200$  mV แต่ถ้าใช้  $f_c = 100$  Hz จะได้  $|Error_{(max)}| = 20$  mV ซึ่งจะเห็นได้ว่าถ้าต้องการลดขนาดค่าผิดพลาด  $|Error_{(max)}|$  ของวงจรจะต้องกำหนดให้  $f_{in} \gg f_c$  อย่างไรก็ตามค่าผิดพลาดดังกล่าวนี้จะมีค่าน้อยกว่าค่าที่ได้จากวงจรตรวจวัดค่าแอมพลิจูดแบบเดิม (Raksachat *et al.*, 2006) อยู่ 50% เมื่อใช้เงื่อนไขเดียวกัน



รูป 4 ผลการเปลี่ยนแปลงค่าแอมพลิจูดของสัญญาณอินพุต

### วัสดุอุปกรณ์ และวิธีการ

การทดสอบสมบัติการทำงานของวงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ภายในงานนี้ได้ใช้วิธีต่อวงจรบนบอร์ดทดลองโดยใช้ไอซีต่างๆ ดังนี้คือ วงจรสายพานกระแสและบัฟเฟอร์ นั้นอาศัยสมบัติของไอซีวงจรรขยายชนิดป้อนกลับกระแสเบอร์ AD844 วงจรตรวจจับค่ายอดสัญญาณ ใช้ไอซีเบอร์ PKD01 ออปแอมป์ A1 ใช้ไอซีเบอร์ LF353 ออปแอมป์ Comp.1 และ Comp.2 ซึ่งใช้สำหรับเป็นวงจรตรวจจับผ่านศูนย์ใช้ไอซีเบอร์ LM311 แอนด์เกตและไอซีนีเกตใช้ไอซีเบอร์ MC14081BCP และ MC14069BCP ตามลำดับ สวิตซ์อิเล็กทรอนิกส์ sw ใช้ไอซีเบอร์ MC14066BCP ใช้แหล่งจ่ายไฟเลี้ยงวงจรเท่ากับ  $\pm 9$  V กำหนดค่า  $R_{c1} = R_{c3} = 1$  k $\Omega$ ,  $R_{c2} = 100$  k $\Omega$ ,  $R_{d1} = 1.6$  k $\Omega$ ,  $R_{d3} = 2R_{d2} = 20$  k $\Omega$ ,  $C_2 = 10$  nF

ลำดับที่ 1 ผู้วิจัยได้ทำการทดลองแปรค่าตัวเก็บประจุ  $C_1$  สำหรับวงจรตรวจจับค่ายอดสัญญาณ ทั้งนี้เพื่อหาช่วงความถี่ใช้งานที่วงจรยังคงสามารถตรวจจับค่าแอมพลิจูดขนาด 5 V ได้ทัน โดยมีความผิดพลาดในการทำงานโดยประมาณไม่เกิน  $\pm 0.1$  V (ก่อนถูกรีเซ็ตค่าทุกรอบการทำงาน) ซึ่งจะได้ผลการทดสอบดังแสดงในตารางที่ 2

ลำดับที่ 2 ผู้วิจัยได้ทดสอบสมบัติการทำงานของวงจรตรวจวัดค่าแอมพลิจูดโดยการป้อนอินพุตของวงจรเป็นสัญญาณรูปไซน์ที่มีค่าแอมพลิจูดคงที่ในช่วงความถี่ต่างๆ โดยใช้ค่าพารามิเตอร์ต่างๆ ดังตารางที่ 1 และตารางที่ 2) ทั้งนี้เพื่อตรวจสอบจังหวะการทำงานและช่วงความถี่ใช้งานของวงจร โดยจะได้รูปตัวอย่างผลการทำงานของวงจรดังแสดงในรูป 5 และรูป 6

ลำดับที่ 3 เป็นการทดสอบความถูกต้องในการทำงานของวงจรในกรณีที่สัญญาณอินพุตของวงจรมีค่าความถี่เท่ากับ 1 kHz แอมพลิจูดของสัญญาณอินพุตแปรค่าในช่วง 0.2 V ถึง 5 V ซึ่งได้รูปการทำงานของวงจรดังแสดงในรูป 7

ลำดับที่ 4 เป็นการทดสอบสมบัติการทำงานของวงจรในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูด โดยในที่นี้ได้นำสัญญาณรูปไซน์ความถี่ 10 kHz มอดูเลตทางขนาด (amplitude modulator) กับสัญญาณความถี่รูปร่างต่างๆ โดยจะได้รูปตัวอย่างผลการทำงานของวงจรดังแสดงในรูป 8

ลำดับสุดท้ายเป็นการทดลองวัดค่าผลรวมความผิดเพี้ยนฮาร์โมนิก (Total Harmonic Distortion; THD) สัญญาณเอาต์พุต ( $V_{out}$ ) ของวงจร โดยได้กำหนดให้อินพุตของวงจรเกิดจากการมอดูเลตแอมพลิจูดระหว่างสัญญาณรูปไซน์ความถี่คงที่เท่ากับ 50 kHz กับสัญญาณตัวที่สองซึ่งเป็นรูปไซน์ขนาดเท่ากับ 1 V แปรค่าความถี่ของสัญญาณตัวที่สองในช่วง 1 Hz ถึง 10 kHz ซึ่งจะได้ผลการทดลองดังแสดงในรูป 9

### ผลการทดสอบการทำงานและอภิปรายผล

จากตารางที่ 2 ค่า  $f_{in(min)}$  และ  $f_{in(max)}$  คือค่าความถี่ต่ำสุดและค่าความถี่สูงสุดที่วงจรตรวจจับค่ายอดสัญญาณสามารถทำงานได้ (จากการเลือกใช้ตัวเก็บประจุแต่ละค่า) ตามลำดับ โดยที่ค่าแอมพลิจูดสูงสุดของสัญญาณแรงดันอินพุตกำหนดไว้เท่ากับ 5 V นอกจากนี้จากการตรวจสอบพบว่าการเลือกใช้ตัวเก็บประจุแต่ละค่านั้นวงจรจะสามารถใช้งานกับสัญญาณอินพุตที่มีความถี่สูงสุดได้ไม่เท่ากัน โดยผู้วิจัยได้เลือกเฉพาะช่วงความถี่ที่วงจรมีช่วงปฏิบัติการ 200 mV ถึง 5 V มาแสดงผล จะสังเกตได้ว่าหากต้องการใช้งานกับสัญญาณอินพุตที่มีความถี่สูงจะต้องเลือกใช้ตัวเก็บประจุที่มีค่าต่ำ แต่อย่างไรก็ตามผู้วิจัยพบว่าวงจรตรวจจับค่ายอดสัญญาณที่ใช้สามารถใช้งานกับสัญญาณอินพุตที่มีความถี่สูงสุดประมาณเท่ากับ 170 kHz

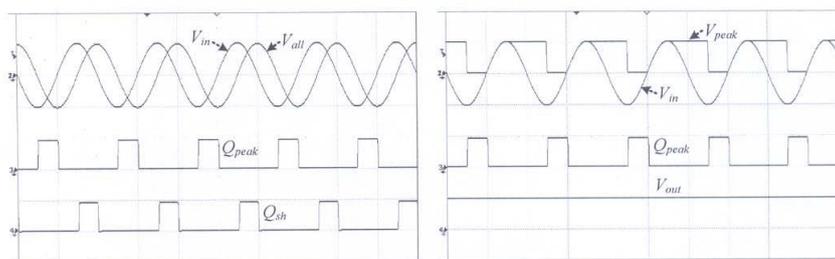
ตารางที่ 2 ตัวเก็บประจุที่เหมาะสมสำหรับวงจรตรวจจับค่ายอดสัญญาณในแต่ละช่วงความถี่ใช้งาน

ค่าตัวเก็บประจุ (nF)	ช่วงความถี่ใช้งาน (kHz)	
	$f_{in(min)}$	$f_{in(max)}$
0.1	70	170
0.143	10	110
1	0.3	30
10	0.1	1.5
20	0.001	0.1

พิจารณาผลการทำงานของวงจรตรวจวัดค่าแอมพลิจูดในรูป 5(ก) เมื่อสัญญาณอินพุตมีความถี่เท่ากับ 1 kHz (กำหนดค่า  $f_a = 1/(2\pi C_1 R_{a1}) = 1$  kHz และ  $C_1 = 10$  nF) ซึ่งจะเห็นได้ว่าเฟสของสัญญาณ  $V_{all}$  ตามหลังเฟสของสัญญาณ  $V_{in}$  เท่ากับ  $90^\circ$  สัญญาณ  $Q_{sh}$  และ  $Q_{peak}$  เกิดในช่วงมุม  $90^\circ$  ถึง  $180^\circ$  และช่วงมุม  $270^\circ$  ถึง  $360^\circ$  ของสัญญาณ  $V_{in}$  ตามลำดับ สำหรับรูป 5(ข) จะเห็นได้ว่าสัญญาณเอาต์พุต ( $V_{peak}$ ) ของวงจรตรวจจับค่ายอดสัญญาณจะถูกรีเซ็ตค่าทุกรอบการทำงานที่เกิดมีสัญญาณ  $Q_{peak}$  ในขณะที่สัญญาณเอาต์พุต ( $V_{out}$ ) ของวงจรตรวจวัดค่าแอมพลิจูดที่ได้จะมีลักษณะเป็นไฟตรงซึ่งมีขนาดเท่ากับค่าแอมพลิจูดของสัญญาณอินพุต  $V_{in}$

รูป 6 แสดงผลการทำงานของวงจรตรวจวัดค่าแอมพลิจูดโดยใช้พารามิเตอร์ต่างๆ ของวงจร เช่นเดียวกับผลการทำงานในรูป 5 แต่เปลี่ยนความถี่ของสัญญาณอินพุตเป็น 10 kHz โดยจะเห็นได้ว่าเฟสของสัญญาณ  $V_{all}$  ตามหลังเฟสของสัญญาณ  $V_{in}$  เกือบเท่ากับ  $180^\circ$  สัญญาณ  $Q_{sh}$  และ  $Q_{peak}$  เกิดในช่วงมุมก่อน  $180^\circ$  ถึง  $180^\circ$  และช่วงมุมก่อน  $360^\circ$  ถึง  $360^\circ$  ของสัญญาณ  $V_{in}$  ตามลำดับ ทั้งนี้วงจรตรวจวัดค่าแอมพลิจูดยังคงสามารถทำงานได้ และจากการตรวจสอบพบว่าสามารถทำงานได้ถึงความถี่ประมาณ 20 kHz (สอดคล้องกับตารางที่ 1) นอกจากนี้ทั้งรูป 5 และรูป 6 ยังแสดงให้เห็นว่า 1 รอบ

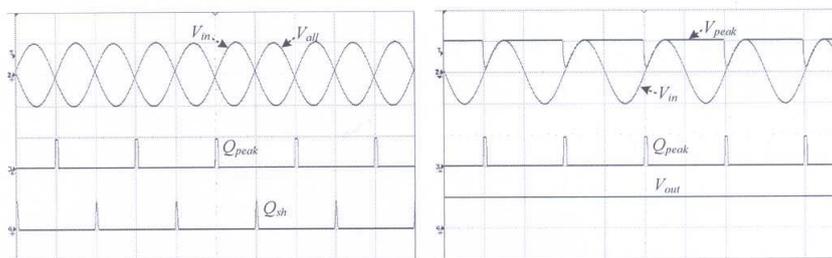
การทำงานของวงจรจะใช้เวลาเท่ากับ 1 คาบของสัญญาณอินพุตซึ่งเร็วกว่าหลักการเดิม (Raksachat et al., 2006) ที่ได้เคยมีการนำเสนอไว้



(ก) สัญญาณ  $V_{in}$ ,  $V_{all}$ ,  $Q_{peak}$  และ  $Q_{sh}$

(ข) สัญญาณ  $V_{in}$ ,  $V_{peak}$ ,  $Q_{peak}$  และ  $V_{out}$

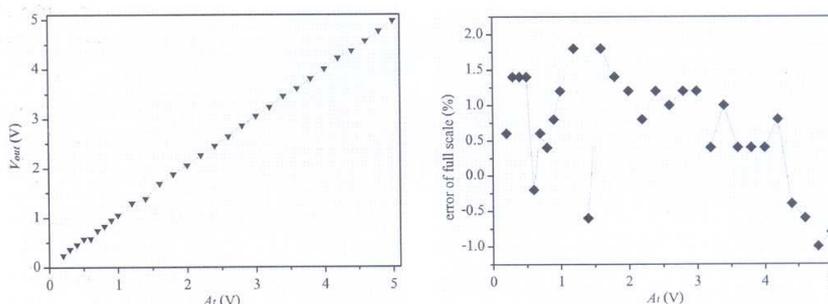
รูป 5 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 1 kHz (สเกลแนวตั้งเท่ากับ 5 V/div., 5 V/div., 10 V/div., และ 5 V/div. ตามลำดับ; สเกลแนวนอนเท่ากับ 500  $\mu$ s/div.)



(ก) สัญญาณ  $V_{in}$ ,  $V_{all}$ ,  $Q_{peak}$  และ  $Q_{sh}$

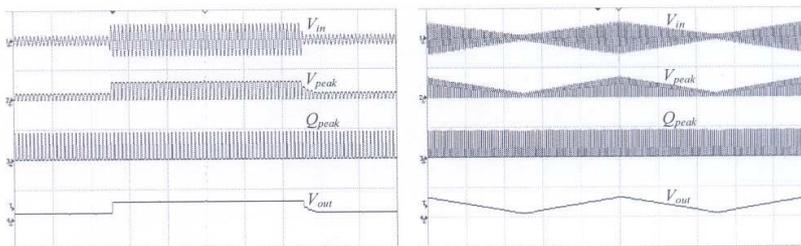
(ข) สัญญาณ  $V_{in}$ ,  $V_{peak}$ ,  $Q_{peak}$  และ  $V_{out}$

รูป 6 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 10 kHz (สเกลแนวตั้งเท่ากับ 5 V/div., 5 V/div., 10 V/div., และ 5 V/div. ตามลำดับ; สเกลแนวนอนเท่ากับ 500  $\mu$ s/div.)

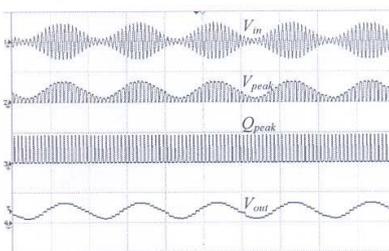


รูป 7 ผลการแปรค่าแอมพลิจูดของสัญญาณอินพุต

รูป 7 แสดงผลการแปรค่าแอมพลิจูดสัญญาณอินพุตของวงจร ซึ่งจะเห็นได้ว่าวงจรมีช่วงปฏิบัติการขนาดตั้งแต่ 200 mV ถึง 5 V โดยมีค่าความผิดพลาดในการทำงานอยู่ที่ประมาณ  $\pm 1.8\%$  ของค่าเต็มสเกล (ค่าเต็มสเกลเท่ากับ 5 V)



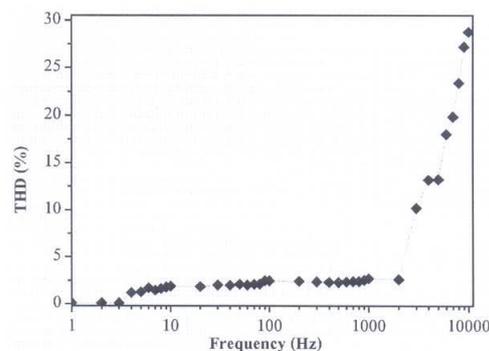
(ก) การเปลี่ยนแปลงแอมพลิจูดเป็นรูปสี่เหลี่ยม (ข) การเปลี่ยนแปลงแอมพลิจูดเป็นรูปสามเหลี่ยม



(ค) การเปลี่ยนแปลงแอมพลิจูดเป็นรูปไซน์

รูป 8 ผลการทำงานในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดเป็นรูปต่างๆ (สเกลแนวตั้งทุกรูปเท่ากับ 5 V/div., 5 V/div., 10 V/div., และ 5 V/div. ตามลำดับ; สเกลแนวนอนสำหรับรูป 8(ก), 8(ข), และ 8(ค) เท่ากับ 1 ms/div., 2 ms/div., และ 1 ms/div.)

สำหรับผลการทำงานของวงจรในรูป 8 แสดงให้เห็นว่าวงจรสามารถตรวจวัดค่าแอมพลิจูดของสัญญาณอินพุตที่มีการเปลี่ยนแปลงไปได้อย่างรวดเร็ว พิจารณาผลจากค่าความถี่ในการเปลี่ยนแปลงค่าแอมพลิจูดของสัญญาณอินพุตในรูป 8(ข) ซึ่งมีความถี่เท่ากับ 100 Hz เปรียบเทียบกับรูป 8(ค) ซึ่งมีความถี่เท่ากับ 500 Hz จะเห็นได้ในเบื้องต้นว่าสัญญาณเอาต์พุตของรูป 8(ข) จะมีความต่อเนื่องสม่ำเสมอว่าสัญญาณเอาต์พุตของรูป 8(ค) และผลจากการแปรค่าความถี่ของสัญญาณรูปไซน์ (ซึ่งถูกมอดูเลตทางขนาดกับสัญญาณรูปไซน์ความถี่ 50 kHz) ในขั้นตอนการทดลองลำดับสุดท้าย แสดงให้เห็นว่าเมื่อความถี่ของสัญญาณสูงขึ้น (เข้าใกล้ความถี่ 50 kHz มากขึ้น) จะได้ค่าผลรวมความผิดเพี้ยนฮาร์มอนิกมีค่ามากขึ้น



รูป 9 ผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก

### สรุป

หลักการของตัวสร้างสัญญาณควบคุมสำหรับวงจรตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์ที่ได้พัฒนาออกแบบขึ้นในครั้งนี้เป็นการใช้ประโยชน์จากสมบัติการเลื่อนเฟสของวงจรรองความถี่ผ่านหมดซึ่งได้นำมาคู่ร่วมกับวงจรตรรกะ สัญญาณควบคุมที่ได้นำมาใช้ควบคุมจังหวะการทำงานของวงจรตรวจจับค่ายอดสัญญาณและวงจรสุ่มและคงค่าสัญญาณซึ่งเป็นวงจรย่อยภายในวงจรตรวจวัดค่าแอมพลิจูด อาศัยการเลือกค่าพารามิเตอร์ของวงจรรองความถี่ผ่านหมดที่เหมาะสมจะทำให้ได้ช่วงความถี่ใช้งานของวงจรประมาณ 0.75 ดีเคท ถึง 2 ดีเคท ต่อการเลือกกำหนดค่าพารามิเตอร์ 1 ครั้ง ค่าความถี่ใช้งานสูงสุดของวงจรตรวจวัดค่าแอมพลิจูดถูกจำกัดที่ความสามารถในการทำงาน ของวงจรตรวจจับค่ายอดสัญญาณซึ่งมีค่าอยู่ในช่วงโดยประมาณเท่ากับ 170 kHz ช่วงปฏิบัติการทางขนาดของวงจรเท่ากับ 200 mV ถึง 5 V โดยเมื่อทดสอบกับสัญญาณอินพุตที่มีความถี่เท่ากับ 1 kHz สามารถวัดค่าความผิดพลาดสูงสุดของวงจรได้ในช่วง  $\pm 1.8\%$  ของค่าเต็มสเกล (5 V)

#### กิตติกรรมประกาศ

โครงการวิจัยนี้ได้รับการสนับสนุนงบประมาณจากมหาวิทยาลัยนเรศวร (ทุนอุดหนุนการวิจัยจากงบประมาณแผ่นดิน ประจำปีงบประมาณ 2553) ซึ่งคณะผู้วิจัยขอขอบคุณมา ณ โอกาสนี้ และขอขอบคุณภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ซึ่งเป็นต้นสังกัดของผู้วิจัยที่ได้ให้การส่งเสริมสนับสนุนการทำวิจัยของบุคลากรอย่างจริงจัง

#### เอกสารอ้างอิง

- Boudouris, A., and Peters, E.F. (1980). Audio amplitude detector circuit. United states patent. 4,206,415, (Eprad Incorporated), 929507.
- Chu, H.Y., Jou, H.L., and Huang, C.L. (1992). Transient response of a peak voltage detector for sinusoidal signals. *IEEE Transactions on industrial electronics*, 39(1),74-79.
- Gilbert, B. (2006). Low supply current RMS-to-DC converter. United states patent. 7,002,394 B1 (Analog Devices, Inc.), 09/694,731.
- Kriegsmann, G.A. (1985). An asymptotic theory of rectification and detection. *IEEE Transactions on circuit and systems, CAS-32, 10*, 1064-1068.
- Raksachat, P., Chaikla, A., Kaewpoonsuk, A., Riewruja, V. and Julsereewong, P. (2006, October). *An amplitude detector for variable frequency sinusoidal signals*. Paper presented at the SICE-ICASE International joint conference, Bexco, Busan, Korea.
- Sangpisit, W., Wardkein, P., Kiranon, W. and Loescharataramdee, C. (1998). A novel derivative envelope detector. *IEEE Transactions on consumer electronics*, 44(4), 1396-1405.
- Surakamponorn, W., and Kumwachara, K. (1999). A Dual translinear-based true RMS-to-DC converter. *IEEE Transactions on instrumentation and measurement*, 47(2), 459-464.

วารสารมหาวิทยาลัยนเรศวร

ISSN 0858 - 7418

**Naresuan University Journal**

ปีที่ 18 ฉบับที่ 3 ประจำเดือนกันยายน - ธันวาคม 2553 Vol. 18, No. 3, September - December, 2010

### Content



#### Sciences and Technology

Designing Machine Layout Using Tabu Search and Simulated Annealing <i>P. Wangta and P. Pongcharoen</i> .....	1
Determination of Selenium in Se-enriched Rice by Slurry Sampling Electrothermal Atomic Absorption Spectrometry <i>S. Traipop, W. Chuachud Chaiyasith, R. Sananmuang and N. Nabheerong</i> .....	9
A Pyrolysis Technology Management of Mushroom Waste in Pongyangkok Tambon, Hangchat Aumpur, Lampang Province Working Group by Know-how of Physic Course (Thai language) <i>R. Yongprayun and K. Kongsawat</i> .....	14
Production of Biodiesel from Rice bran oil by Supercritical Methanol (Thai language) <i>S. Hongthong and S. Kajorncheppun-ngam</i> .....	20
Technical Performance Study of 6.52 kW <sup>p</sup> Photovoltaic Grid Connected System (Thai language) <i>N. Ketjoy and K. Mansiri</i> .....	27
Design of an Amplitude-to-Digital Converter Using Successive Approximation Technique (Thai language) <i>A. Kaewpoonsuk and R. Katman</i> .....	36
Species Diversity of wild Orchids of Nan Province (Thai language) <i>P. Kosavitikul</i> .....	46

#### Health Sciences

Beliefs and Patterns of Alcoholic Drinking Among Female Youth (Thai language) <i>P. Homsin and R. Srisuriyawet</i> .....	55
---	----

#### Humanities and Social Sciences

Translation Strategies of Focus Clausal Constructions (Thai language) <i>U. Singnoi</i> .....	65
Satisfaction of Parents Towards Education administration of Naresuan University Secondary Demonstration School (Thai language) <i>S. Kettong and N. Jaichalad</i> .....	80
Good Government for Behaviors Works on Instructors and Co-workers at Boromarajonani College of Nursing, Buddhachinaraj. (Thai language) <i>N. Sirhaphun, S. Insook and S. Anutat</i> .....	89

#### Review Articles

Size Exclusion Chromatography: A technique of molecular weight determination of polymer (Thai language) <i>T. Wangtaveesab</i> .....	98
---	----

A PUBLICATION OF NARESUAN UNIVERSITY, PHITSANULOK, THAILAND

[http://dra.research.nu.ac.th/nu\\_journal](http://dra.research.nu.ac.th/nu_journal)



การออกแบบตัวแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัล  
โดยใช้เทคนิคการประมาณค่าสืบเนื่อง  
อนุชา แก้วพูลสุข\* และ รัชณุ กัดมัน

Design of an Amplitude-to-Digital Converter Using  
Successive Approximation Technique  
Anucha Kaewpoonsuk\* and Ratchanoo Katman

กลุ่มวิจัยฟิสิกส์อิเล็กทรอนิกส์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร จังหวัดพิษณุโลก 65000

Physics-Electronics Research Group, Department of Physics, Faculty of Science, Naresuan University, Phitsnulok 65000, Thailand

\*Corresponding Author. E-mail address: anuchak@nu.ac.th (A. Kaewpoonsuk)

Received 23 December 2010; accepted 15 March 2011

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่โหม่งเป็นสัญญาณดิจิทัล โครงสร้างของวงจรประกอบด้วยวงจรตรวจจับค่าแอมพลิจูด วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล และวงจรสร้างสัญญาณควบคุม สำหรับการพัฒนาวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลนั้นอาศัยหลักการประมาณค่าสืบเนื่อง โดยเอาต์พุตของวงจรหาค่าแอมพลิจูดจะอยู่ในรูปสัญญาณดิจิทัลขนาด 12 บิต ซึ่งแปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุตแบบแอนะล็อก ทั้งนี้วงจรสามารถทำงานได้โดยไม่ต้องใช้วงจรลุ่มและคงค่าสัญญาณต่อร่วม ค่าเวลาที่ใช้สำหรับการทำงานของวงจรในแต่ละรอบมีค่าเท่ากับ 2 คาบของสัญญาณอินพุต การทดสอบแนวคิดในการออกแบบวงจรได้ใช้วิธีต่อวงจรลงบนบอร์ดทดลองโดยใช้ไอซีต่างๆ ที่หาซื้อได้ในท้องตลาด ค่าแรงดันเต็มสเกลด้านอินพุตวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลกำหนดให้มีค่าเท่ากับ 5 โวลต์ ซึ่งวัดค่าความผิดพลาดในการทำงานสูงสุดได้เท่ากับ  $\pm 13$  มิลลิโวลต์ จากผลการทดสอบการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบพบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอตลอดช่วงความถี่ 4 เฮิรตซ์ ถึง 125 กิโลเฮิรตซ์ โดยมีช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 500 มิลลิโวลต์ ถึง 5 โวลต์

คำสำคัญ: วงจรหาค่าแอมพลิจูด วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล เทคนิคการประมาณค่าสืบเนื่อง

Abstract

The design of digital output amplitude detector for sinusoidal signal is presented in this paper. The proposed circuit consists of a peak detector, an analog-to-digital converter (ADC), and a control signal generator. The ADC implementation uses successive approximation technique. The proposed detector can produce the 12-bit digital output signal proportional to the peak amplitude of analog input signal without sample-and-hold circuit. The detection time is two cycle periods of input signal. The proposed detector has been verified using experimental results with the commercially available electronics components. The full-scale input voltage of ADC was set to 5V. The experimental results show that the proposed ADC can work with maximum error of  $\pm 13$  mV. Input frequencies in variation from 4 Hz to 125 kHz for amplitude detector were tested. Experimental results for input voltage in range 500 mV to 5 V are in good agreement with the expected values.

Keywords: amplitude detector, analog-to-digital converter, successive approximation technique

บทนำ

วงจรหาค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ (sinusoidal signals amplitude detector) เป็นวงจรที่มีประโยชน์และสำคัญมากวงจรหนึ่งในระบบอิเล็กทรอนิกส์ ตัวอย่างการประยุกต์ใช้งาน เช่น ใช้เป็นส่วนประกอบของวงจรถ่ายสัญญาณรูปไซน์ที่มีการควบคุมค่าแอมพลิจูดแบบอัตโนมัติ (Kinet, 2006) ใช้เป็นส่วนประกอบของวงจรถ่ายสัญญาณวิทยุอัตโนมัติ (Khoury, 1998) ใช้เป็นส่วนประกอบของตัวควบคุมวงจรรองความถี่แบบปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ (Ajikuttira et al., 1991; Liu & Karsilayan, 2003) ใช้เป็นส่วนประกอบของวงจร

ที่วัดค่าความถี่ของสัญญาณไซน์ (Sarafis & Karybakas, 1989) และใช้เป็นส่วนประกอบของระบบแสดงผลภาพบนจอคอมพิวเตอร์สำหรับการศึกษาคุณสมบัติแอมพลิจูดของวัสดุ (Povalac & Hribik, 2006; Rerkratn et al., 2005; Rerkratn et al., 2006; Rerkratn et al., 2007) เป็นต้นหน้าที่ของวงจรหาค่าแอมพลิจูดคือการให้สัญญาณเอาต์พุตที่เป็นสัดส่วนโดยตรงกับค่าแอมพลิจูดของอินพุตซึ่งเป็นสัญญาณรูปไซน์ จากประโยชน์และความสำคัญของวงจรถ่ายสัญญาณรูปไซน์ทำให้ผ่านมามีการศึกษาวิจัยเพื่อพัฒนาออกแบบวงจรหาค่าแอมพลิจูดอย่างต่อเนื่อง โดยมีตัวอย่างหลักการออกแบบวงจรที่สำคัญๆ เช่น การออกแบบโดยใช้วงจรเรียงกระแสต่อร่วมกับวงจรรองความถี่ต่ำผ่าน

(Boudouris & Peters, 1980; Kriegsmann, 1985) การออกแบบโดยใช่วงจรยกกำลังสองและวงจรรหัสสัญญาณต่อรวมกับวงจรรองความถี่ต่ำผ่าน (Gilbert, 2006; Surakamponorn, & Kumwachara, 1999) สำหรับวิธีที่สองนี้เป็นการหารากที่สองกำลังสองเฉลี่ย (Root Mean Square; RMS) ของสัญญาณ ซึ่งเป็นค่าที่แปรผันตรงกับแอมพลิจูดของสัญญาณอินพุต อย่างไรก็ตามทั้งสองวิธีดังกล่าวนี้จะให้อาตพุตที่มีลักษณะกระเพื่อมเล็กน้อยอยู่ตลอดเวลา นอกจากนี้ยังต้องใช้เวลาเริ่มต้นในการทำงานหลายคาบของสัญญาณอินพุตอันเนื่องมาจากการทำงานของวงจรรองความถี่ต่ำผ่าน วิธีการต่อมาได้แก่การใช้วงจรถ่ายเฟสคงที่ 90 องศา ต่อรวมกับวงจรรยกกำลังสองและวงจรถอดรากที่สอง (Chu et al., 1992; Sangpisit et al., 1998) ซึ่งวิธีดังกล่าวนี้ทำงานเร็วกว่าสองวิธีการแรก แต่อย่างไรก็ตามการใช้วงจรถ่ายเฟส 90 องศาทำให้ช่วงปฏิบัติงานทางความถี่ของวงจรถอยห่างแคบ วิธีการอื่น ๆ ได้แก่ การพัฒนาออกแบบด้วยเทคโนโลยีทรานซิสเตอร์แบบซีเอ็มอสในรูปแบบต่าง ๆ (Alegre et al., 2008; Alegre et al., 2009; Zhak et al., 2003) ในปี พ.ศ. 2549 คณะผู้วิจัยได้พัฒนาออกแบบวงจรรหัสค่าแอมพลิจูดโดยใช่วงจรถ่ายเฟสคงที่ด้วยสัญญาณต่อรวมกับวงจรมุมและคงค่าสัญญาณและวงจรรหัสสัญญาณควบคุม (Raksachat et al., 2006) โดยวิธีดังกล่าวอาศัยวงจรมุมและคงค่าสัญญาณสำหรับการรักษาระดับแรงดันเอาต์พุตของวงจรมีค่าคงที่ (ไม่เกิดการกระเพื่อม) ในขณะที่ขนาดแอมพลิจูดของสัญญาณอินพุตมีค่าคงที่ ซึ่งเหมาะสำหรับการนำไปประยุกต์ใช้งานร่วมกับทรานซิสเตอร์ที่ให้เอาต์พุตออกมาในรูปของสัญญาณรูปไซน์ที่มีค่าแอมพลิจูดแปรผันกับปริมาณที่ต้องการตรวจวัด เช่น รีโซลเวอร์ (Resolver) แอลวีดีที (Linear Variable Differential Transformer, LVDT) และเครื่องตรวจวัดโลหะแบบหลักการความถี่ต่ำมาก (Very Low Frequency; VLF) เป็นต้น ต่อมาคณะผู้วิจัยได้พัฒนาออกแบบวงจรรหัสค่าแอมพลิจูดที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลขนาด 8 บิต เพื่อนำไปประยุกต์ใช้งานกับตัวประมวลผลหรือภาคแสดงผลที่เป็นแบบดิจิทัล (Wangwivatthana et al., 2008) เทคนิคการแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลภายในงานดังกล่าวเป็นการอาศัยหลักการนับ (counter method) ซึ่งมีจุดเด่นอยู่ที่ความเรียบง่ายของวงจร แต่จะมีจุดด้อยอยู่ที่ความล่าช้าในการทำงานโดยเฉพาะอย่างยิ่งหากต้องการเพิ่มความละเอียด (เพิ่มจำนวนบิต) ให้มีค่าสูงขึ้นในโครงการนี้เป็นการพัฒนาปรับปรุงการออกแบบวงจรรหัสค่าแอมพลิจูดที่ให้เอาต์พุตที่เป็นสัญญาณดิจิทัลแบบใหม่ โดยได้กำหนดให้เอาต์พุตของวงจรมีขนาด 12 บิต อาศัยหลักการแบบการประมาณค่าสลับเนื่องซึ่งเป็นวิธีการแปลงสัญญาณที่รวดเร็วกว่าแบบหลักการนับ ทั้งนี้เพื่อให้เหมาะสมสำหรับการพัฒนาต่อในรูปแบบของวงจรรวมภายในไอซีเดียวกันต่อไปในอนาคต สำหรับรายละเอียดการพัฒนาออกแบบวงจรและการทดสอบการทำงานนั้นจะได้อธิบายในหัวข้อถัดไป

## วัสดุอุปกรณ์และวิธีการ

บล็อกไดอะแกรมของวงจรรหัสค่าแอมพลิจูดที่ได้พัฒนาออกแบบขึ้นแสดงได้ดังรูปที่ 1(ก) ซึ่งจะเห็นได้ว่าโครงสร้างของวงจรถ่ายเฟสคงที่ด้วยวงจรถ่ายเฟสคงที่สัญญาณ (Peak Detector; PD) ต่อรวมกับวงจรรหัสสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter; ADC) และวงจรรหัสสัญญาณควบคุม (Control Signals Generator) รูปที่ 1(ข) แสดงแผนภาพเวลาของสัญญาณต่าง ๆ ที่สำคัญเปรียบเทียบกับสัญญาณแรงดันอินพุตของวงจรมีกรอบของกระบวนการตรวจวัดและแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลจะใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต การทำงานในแต่ละรอบแบ่งออกได้เป็น 4 ลำดับการทำงานดังนี้คือ

ลำดับที่ 1:  $Q_{peak}$  เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 เพื่ออนุญาตให้วงจรถ่ายเฟสคงที่สัญญาณเริ่มทำงาน สมมุติให้อินพุตของวงจรมีค่าเท่ากับ

$$V_{in} = A_1 \sin 2\pi f_{in} t = A_1 \sin 2\pi t / T_{in} \quad (1)$$

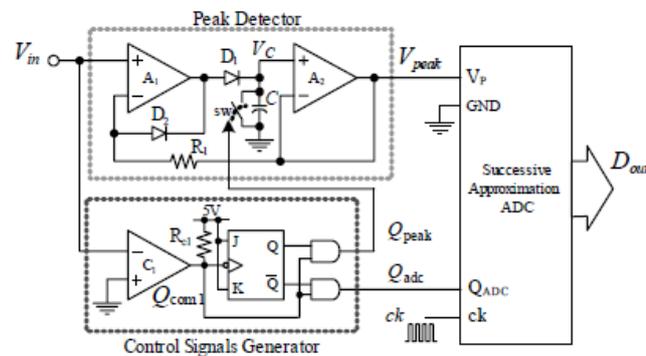
เมื่อ  $A_1$ ,  $f_{in}$  และ  $T_{in}$  คือค่าแอมพลิจูด ค่าความถี่และค่าคาบเวลาของสัญญาณอินพุต ตามลำดับ หลังจากช่วงเวลา  $T_{in}/4$  เป็นต้นไปค่าแรงดันเอาต์พุตของวงจรถ่ายเฟสคงที่สัญญาณ ( $V_{peak}$ ) จะมีค่าเท่ากับ

$$V_{peak} = A_1 \quad (2)$$

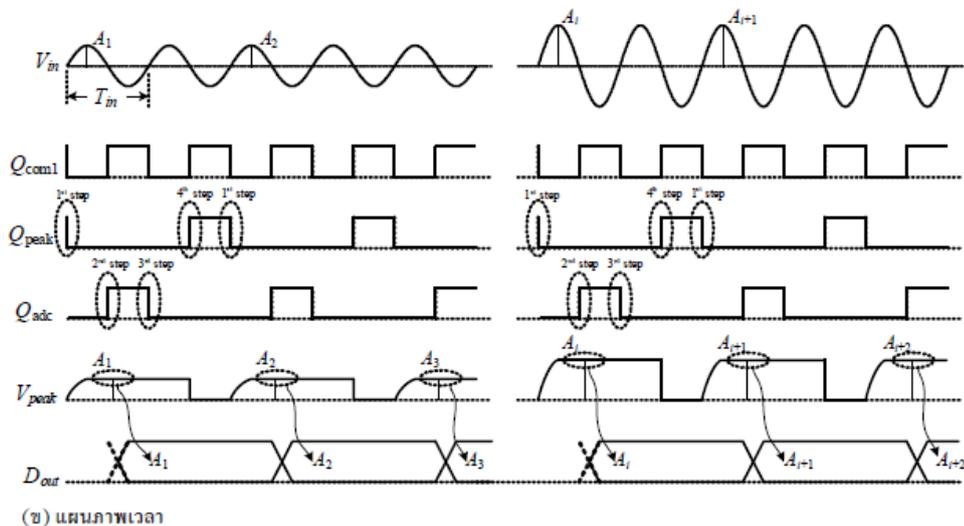
ลำดับที่ 2:  $Q_{adc}$  เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่ออนุญาตให้วงจรถ่ายเฟสคงที่สัญญาณเริ่มทำงาน ตัววงจร ADC จะทำการเปิดรับสัญญาณนาฬิกาภายนอก ( $ck$ ) เพื่อนำมาสร้างเป็นสัญญาณควบคุมภายในวงจรถ่ายเฟสคงที่สัญญาณ จะทำการแปลงค่าแรงดัน  $V_{peak}$  ซึ่งมีลักษณะเป็นสัญญาณไฟตรงขนาดเท่ากับค่าแอมพลิจูดสัญญาณ  $V_{in}$  ให้เป็นสัญญาณดิจิทัลและส่งไปเป็นเอาต์พุตของวงจรถ่ายเฟสคงที่สัญญาณ ( $D_{out}$ ) โดยค่าดังกล่าวนี้จะถูกเก็บรักษาไว้ด้วยรีจิสเตอร์ภายในวงจรถ่ายเฟสคงที่สัญญาณ ทั้งนี้การทำงานของวงจรถ่ายเฟสคงที่สัญญาณจะเปลี่ยนสถานะกลับเป็นลอจิก 0 เมื่อทำงานเสร็จตัววงจร ADC จะทำการตัดสัญญาณนาฬิกาภายนอกออกอย่างอัตโนมัติ

ลำดับที่ 3:  $Q_{peak}$  เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 ซึ่งเป็นการปิดสัญญาณควบคุมหลักของ ADC ทั้งนี้เป็นการเตรียมความพร้อมและหลีกเลี่ยงความผิดพลาดของการแปลงสัญญาณก่อนที่จะมีการรีเซ็ตค่าเอาต์พุตของวงจรถ่ายเฟสคงที่สัญญาณ

ลำดับที่ 4:  $Q_{peak}$  เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่อรีเซ็ตค่าแอมพลิจูดเดิมของวงจรถ่ายเฟสคงที่สัญญาณ ทั้งนี้เป็นการเตรียมความพร้อมสำหรับการตรวจวัดค่าแอมพลิจูด (ค่าเอาต์พุตสัญญาณ) ของสัญญาณอินพุตที่จะเข้ามาใหม่



(ก) บล็อกไดอะแกรมของวงจร



(ข) แผนภาพเวลา

รูปที่ 1 บล็อกไดอะแกรมของวงจรและแผนภาพเวลา

สำหรับการทำงานของวงจรย่อยในแต่ละส่วนสามารถแยกอธิบายได้ดังนี้ คือ วงจรสร้างสัญญาณควบคุม: เป็นการนำสัญญาณอินพุต  $V_{in}$  ไปผ่านวงจรตรวจจับผ่านศูนย์ (Zero-crossing detector) แบบกลับเฟสของสัญญาณเพื่อเปลี่ยนระดับของสัญญาณให้เป็นแบบดิจิทัล ( $Q_{com1}$ ) จากนั้นอาศัยเจดเฟลปฟลอป (JK Flip Flop) สำหรับหารค่าความถี่ของสัญญาณดังกล่าวซึ่งจะได้เอาต์พุตของเจดเฟลปฟลอปเป็น  $Q_{adc}$  การสร้างสัญญาณควบคุม  $Q_{peak}$  และ  $Q_{adc}$  สามารถทำได้โดย

$$Q_{peak} = Q_{com1} \text{ and } Q_{jk} \quad (3)$$

$$Q_{adc} = Q_{com1} \text{ and } \overline{Q_{jk}} \quad (4)$$

ข้อดีของวิธีการดังกล่าวนี้คือความกว้างของสัญญาณควบคุมทั้งสองจะสามารถปรับตัวเองให้ใช้งานได้กับสัญญาณอินพุตแต่ละความถี่ได้อย่างอัตโนมัติ (เท่ากับ  $T_{in}/2$ ) โดยไม่จำเป็นต้องใช้วงจรเลื่อนเฟส 90 องศาโดยรวม

การพัฒนาของวงจรตรวจจับค่ายอดสัญญาณ: เป็นการพัฒนารูปแบบขึ้นโดยใช้ออปแอมป์ 2 ตัว ( $A_1$  และ  $A_2$ ) ต่อกับ ไดโอด ( $D_1$  และ  $D_2$ ) ตัวต้านทาน ( $R_1$ ) ตัวเก็บประจุ ( $C$ )

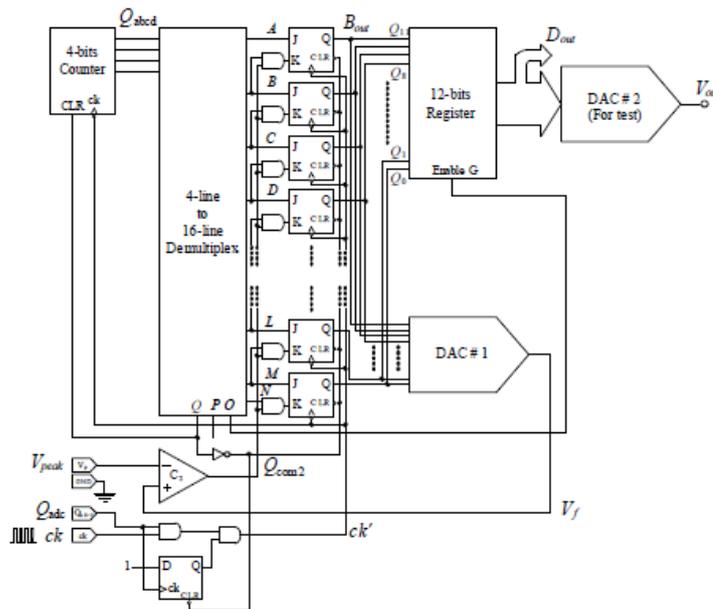
และสวิตช์อิเล็กทรอนิกส์ ( $sw$ ) ซึ่งสามารถอธิบายการทำงานได้ดังนี้คือสมมุติให้เริ่มต้นสวิตช์อิเล็กทรอนิกส์อยู่ในสภาวะเปิดวงจร เมื่อสัญญาณอินพุต  $V_{in}$  ที่เข้ามาใหม่มีค่ามากกว่าแรงดันเอาต์พุต  $V_{peak}$  เดิม แรงดันเอาต์พุตของออปแอมป์  $A_1$  จะมีค่าสูงขึ้น ไดโอด  $D_1$  จะได้รับการไบอัสตรง (ไดโอด  $D_1$  ได้รับการไบอัสกลับ) โดยจะเกิดกระแสไหลผ่านไดโอด  $D_1$  เพื่อชาร์จประจุให้กับตัวเก็บประจุ แรงดันตกคร่อมตัวเก็บประจุ ( $V_C$ ) จะมีค่าสูงขึ้น ซึ่งจะถูกส่งออกไปเป็นเอาต์พุต ( $V_{peak}$ ) รวมทั้งถูกส่งกลับไปเปรียบเทียบกับแรงดันอินพุต ค่าแรงดัน  $V_{peak} = V_C$  จะมีค่าเพิ่มขึ้นจนกระทั่งมีค่าเท่ากับแรงดันอินพุต  $V_{in}$  และถ้าในเวลาต่อมาแรงดัน  $V_{in}$  มีค่าต่ำกว่าค่าเดิม หรือ  $V_{in} < V_{peak}$  แรงดันเอาต์พุตของออปแอมป์  $A_1$  จะมีค่าลดลง ไดโอด  $D_1$  จะได้รับการไบอัสกลับ (ไดโอด  $D_1$  ได้รับการไบอัสตรง) ซึ่งจะไม่มีการไหลเข้าหรือไหลออกจากตัวเก็บประจุ ค่าแรงดันตกคร่อมตัวเก็บประจุ  $V_C$  รวมทั้งแรงดันเอาต์พุต  $V_{peak}$  จึงมีค่าคงที่เท่าเดิมกับสภาวะก่อนหน้า

ในกรณีที่มีอินพุตของวงจรตรวจจับค่ายอด เป็นสัญญาณแรงดันรูปไซน์ที่มีค่าแอมพลิจูดคงที่ จะได้เอาต์พุตของวงจรมีลักษณะเป็นสัญญาณไฟตรงที่มีขนาดเท่ากับค่าแอมพลิจูด

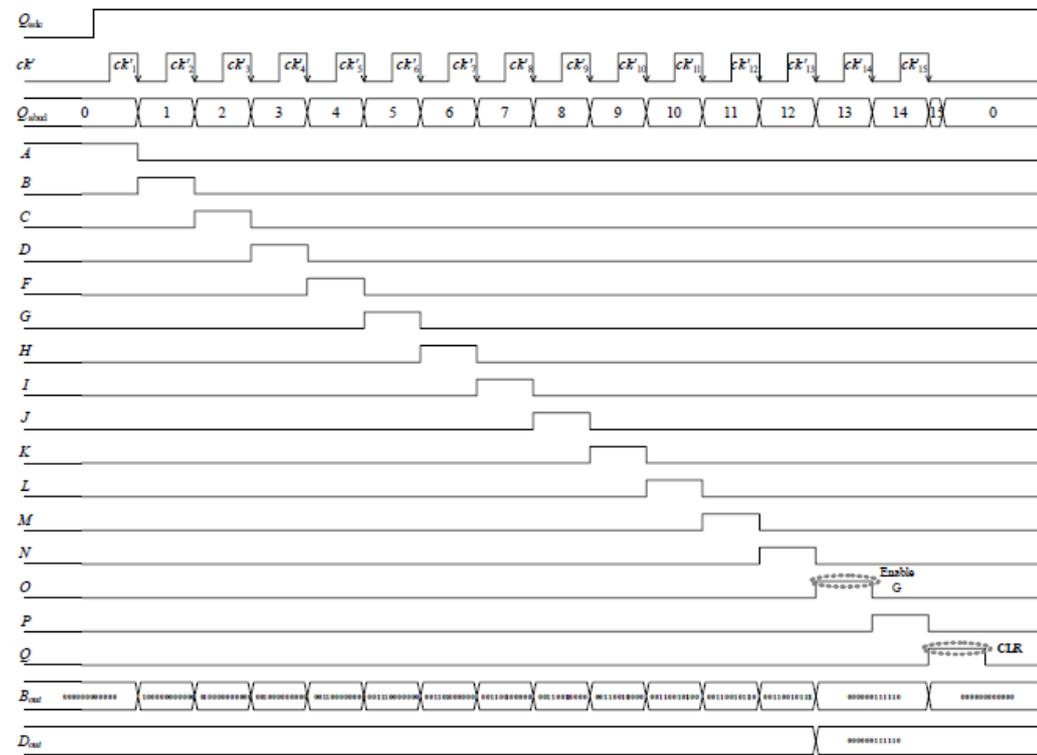
ของสัญญาณแรงดันอินพุตดังกล่าว ซึ่งจะถูกคงค่าไว้ครบเท่าที่สัญญาณอินพุตที่เข้ามาใหม่มีขนาดใหญ่มากกว่าเดิมหรือสวิตซ์อิเล็กทรอนิกส์  $sw$  ได้รับสัญญาณควบคุมให้ปิดวงจร

ในส่วนของวงจร ADC: ภายในโครงงานนี้เป็นการออกแบบโดยอาศัยหลักการประมาณค่าสิบเนื่องดังแสดงในรูปที่ 2(ก) และแผนภาพเวลาของสัญญาณที่สำคัญสำหรับการอธิบายการทำงานของวงจรแสดงได้ดังรูปที่ 2(ข) โดยสถานะของ  $B$  และ  $D$  เกิดจากการสมมติให้แรงดันอินพุตมีค่าเท่ากับ  $(814/4096) V$  ซึ่งจะสามารถแปลงเป็นสัญญาณดิจิทัลขนาด 12 บิต ได้เป็น 0011 00101 110 การทำงานของ ADC จะเริ่มหลังจาก  $Q_{adc}$  เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ดีฟลิปฟล็อปจะทำการเปิดรับลอจิก 1 ไปเป็นเอาต์พุต ซึ่งจะนำมาแอนด์ (AND) กับสัญญาณ  $Q_{adc}$  และ  $ck$  เพื่อสร้างเป็นสัญญาณนาฬิกา  $ck'$  สำหรับการสร้างจังหวะควบคุมภายใน ADC วงจรนับขนาด 4 บิตจะทำการนับสัญญาณ  $ck'$  จาก 0000 ถึง 1111 (เท่ากับ 0 ถึง 15 สำหรับเลขฐานสิบ) วงจรดีมัลติเพล็กซ์ (Demultiplex) แบบ 16 ช่องเอาต์พุตทำหน้าที่ถอดรหัสของสัญญาณจากวงจรนับเพื่อส่งสัญญาณลอจิก 1 ไปให้กับขาของเจเคฟลิปฟล็อปแต่ละตัวตามลำดับ ทั้งนี้จะเริ่มต้นจากบิตบนสุด (บิตอื่นในขณะนั้นมีค่าเป็นศูนย์) ต่อจากนั้นวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกตัวที่ 1 (DAC#1) จะทำหน้าที่แปลงสัญญาณดิจิทัล  $B_{out}$  ให้เป็นสัญญาณแอนะล็อก  $V_f$  กลับมาเปรียบเทียบกับแรงดัน  $V_{peak}$  พิจารณาระยะที่สัญญาณ  $ck'$  ลูกที่สองเข้ามาขาของเจเคฟลิปฟล็อปตัวที่ 2 ได้รับการกระตุ้นด้วยลอจิก 1 การทำงานของเจเคฟลิปฟล็อปตัวแรก (ควบคุมบิตบนสุด) จะ

แบ่งออกได้เป็น 2 กรณีคือ กรณีแรก  $V_{peak} > V_B$  ซึ่งทั้งขาเจและขาของเจเคฟลิปฟล็อปตัวแรกจะถูกกระตุ้นด้วยลอจิก 0 ทั้งคู่มีผลทำให้เอาต์พุตของเจเคฟลิปฟล็อปตัวแรกมีสถานะคงเดิมนั้นคือลอจิก 1 กรณีที่สอง  $V_{peak} < V_B$  ขาของเจเคฟลิปฟล็อปตัวแรกจะถูกกระตุ้นด้วยลอจิก 1 (ขาเจถูกกระตุ้นด้วยลอจิก 0) เอาต์พุตของเจเคฟลิปฟล็อปดังกล่าว จะกลายเป็นลอจิก 0 ซึ่งการทำงานของเจเคฟลิปฟล็อปแต่ละตัวในลำดับถัดไปจะมีหลักการตัดสินใจเช่นเดียวกันนี้จนถึงบิตต่ำสุด จากรูปแผนภาพเวลาจะเห็นว่าการทำงานของเจเคฟลิปฟล็อปทั้ง 12 ตัวจะใช้สัญญาณนาฬิกา  $ck'$  ทั้งหมดเท่ากับ 13 ลูก ลำดับต่อไปคือจังหวะที่สัญญาณ 0 มีสถานะเป็นลอจิก 1 (Enable G) ซึ่งถูกใช้เป็นตัวกำหนดจังหวะการทำงานของรีจิสเตอร์ให้เปิดรับข้อมูลดิจิทัล  $B$  ไปเป็นสัญญาณเอาต์พุต  $D_{out}$  ของวงจรลำดับสุดท้ายคือจังหวะที่สัญญาณ  $Q_{adc}$  มีสถานะเป็นลอจิก 1 (CLR) ถูกใช้สำหรับการเคลียร์ค่าข้อมูลของวงจรนับและข้อมูลภายในเจเคฟลิปฟล็อปแต่ละตัวให้กลายเป็นศูนย์ นอกจากนี้ยังถูกใช้สำหรับการเคลียร์ค่าข้อมูลภายในดีฟลิปฟล็อปให้กลายเป็นศูนย์ เพื่อหยุดการทำงานของ  $ck'$  ก่อนที่สัญญาณควบคุมหลัก  $Q_{adc}$  จะเปลี่ยนสถานะจากลอจิก 1 กลับเป็นลอจิก 0 โดยกระบวนการทั้งหมดที่กล่าวมานี้จะใช้สัญญาณนาฬิกา  $ck'$  ทั้งหมด 15 ลูก ในส่วนของ DAC#2 นั้นถูกต่อไว้สำหรับการทดสอบผลการทำงานของวงจรในกรณีที่ต้องการแปลง ค่าสัญญาณดิจิทัลเอาต์พุตให้เป็นสัญญาณแอนะล็อกกลับไปเปรียบเทียบกับสัญญาณอินพุต  $V_{in}$



(ก) โครงสร้างวงจร  
รูปที่ 2 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล



(ข) แผนภาพเวลา

รูปที่ 2 (ต่อ) วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

การวิเคราะห์พารามิเตอร์ที่สำคัญของวงจร : ประการแรกที่ได้นำมาพิจารณาคือค่าความจุไฟฟ้าของตัวเก็บประจุ (C) ที่ใช้ภายในวงจรตรวจจับค่ายอดสัญญาณ ซึ่งจะต้องมีค่าไม่มากเกินไปเพราะจะทำให้วงจรไม่สามารถทำงานกับสัญญาณอินพุตที่มีความถี่สูงได้ทันและจะต้องมีค่าไม่น้อยเกินไปจนเกิดสภาวะแรงดันตก (Droop) ขณะทำงานในโหมดคงค่าข้อมูล (Franco, 2002; Peyton & Walsh, 1993) จากทั้งสองเงื่อนไขสามารถสรุปได้ดังนี้คือ

$$(I_L / \text{Droop}) < C < (T_{in} I_{ol(max)}) / 4A_{in}$$

เมื่อ  $\text{Droop} = (2) \Delta V / T_{in}$  คือค่าขนาดของแรงดันที่ลดลงที่ยอมรับได้ (V) ในช่วงเวลา  $T_{in} / 2$  สำหรับ  $A_{in}$  และ  $T_{in}$  คือค่าแอมพลิจูดและค่าคาบเวลาของสัญญาณอินพุต ตามลำดับ  $I_L$  คือค่ากระแสรวมของอุปกรณ์ที่ต่ออยู่กับตัวเก็บประจุ และ  $I_{ol(max)}$  คือค่ากระแสเอาต์พุตสูงสุดของออปแอมป์  $A_1$  โดยในที่นี้พิจารณาว่าค่าอัตราสลูว์ (slew rate) ของออปแอมป์ ( $A_1$ ) ที่เลือกใช้มีค่ามากกว่า  $I_{ol(max)} / C$

ประการที่สองซึ่งได้นำมาพิจารณาคือค่าความถี่ ( $f_{ck}$ ) ของสัญญาณนาฬิกา (ck) ที่ใช้ภายในวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ทั้งนี้มีวิธีพิจารณาคือ 1 รอบการทำงานจะใช้สัญญาณนาฬิกาทั้งหมด 15 ลูก และหากต้องการออกแบบให้การแปลงสัญญาณของวงจรเสร็จสิ้นภายใน 1 รอบการทำงานจะต้องใช้เวลาน้อยกว่า  $T_{in} / 2$  ดัง

นั้นจะต้องกำหนดให้

$$f_{ck} > 30f_{in}$$

ในกรณีที่ใช้  $f_{ck}$  มีค่าน้อยกว่าค่าดังกล่าวนี้การแปลงสัญญาณจะใช้เวลามากกว่า 1 รอบการทำงานปกติ (2 คาบของสัญญาณอินพุต) ซึ่งถือว่าเป็นกรณีพิเศษโดยวงจรจะยังคงสามารถทำงานได้ เนื่องจากค่าเอาต์พุตของวงจรมีค่าคงที่ค่าเท่าเดิม (ยังไม่ได้ถูกตั้งใหม่ (reset)) การแปลงสัญญาณในครั้งต่อไปจะเริ่มในตำแหน่งหรือบิตที่ถัดจากเดิมจนกระทั่งครบ 12 บิต และวงจรมีได้รับการตั้งสัญญาณใหม่ กรณีดังกล่าวนี้สามารถนำไปประยุกต์ใช้งานกับสัญญาณอินพุตที่มีความถี่สูงแต่มีค่าแอมพลิจูดคงที่หรือมีอัตราในการเปลี่ยนแปลงค่าแอมพลิจูดต่ำได้ โดยภายใน 1 รอบการทำงาน (ทั้งการตรวจจับค่าแอมพลิจูดและการแปลงสัญญาณ) จะใช้เวลา (t) ทั้งหมดเท่ากับ

$$t = (2T_{in}) 30f_{in} / f_{ck} = n(2T_{in}) \quad (5)$$

เมื่อ  $n = 30f_{in} / f_{ck}$  จากสมการที่ (5) ยกตัวอย่างการคำนวณเช่นสมมติให้  $f_{in} = 100$  กิโลเฮิร์ตซ์  $f_{ck} = 1$  เมกะเฮิร์ตซ์ จะได้  $n = 3$  นั่นคือจะต้องใช้เวลาทั้งหมดเท่ากับ  $6T_{in}$  (เท่ากับ 3 เท่าของเวลาที่ใช้สำหรับการทำงานปกติ)

สิ่งที่พิจารณาประการต่อมาคือค่าความผิดพลาดของวงจร เมื่อแอมพลิจูดของสัญญาณอินพุตเกิดการเปลี่ยนแปลง

แปลงอย่างเป็นเชิงเส้น โดยสมมติให้สัญญาณอินพุต ( $V_{in}$ ) ของวงจรถูกตัดขาดจากมอดูเลตทางขนาดกันระหว่างสัญญาณพาห์ (Carrier) (เป็นสัญญาณความถี่สูงที่ใช้กระตุ้นการทำงานของเซนเซอร์) กับสัญญาณที่เป็นข้อมูล  $A_{in}$  (ปริมาณ

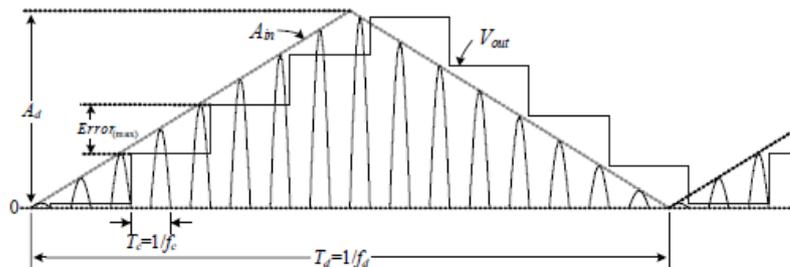
ที่ต้องการตรวจวัดจากเซนเซอร์) ซึ่งเปลี่ยนแปลงขนาดเป็นรูปสามเหลี่ยมดังแสดงในรูปที่ 3 เพื่อให้ง่ายต่อการวิเคราะห์จะพิจารณาเฉพาะช่วงเวลาภายใน 1 รอบของการเปลี่ยนแปลงค่าแอมพลิจูดดังนี้คือ

$$V_{in} = A_{in} \sin 2\pi f_c t = 2A_d f_d t \begin{cases} (+1) \sin 2\pi f_c t & \text{for } 0 < t \leq T_d/2 \\ (-1) \sin 2\pi f_c t & \text{for } T_d/2 < t \leq T_d \end{cases} \quad (6)$$

เมื่อ  $A_d f_d$  และ  $T_d$  คือค่ายอด ค่าความถี่ และค่าคาบเวลาของสัญญาณ  $A_{in}$  ตามลำดับ และ  $f_c$  คือค่าความถี่ของสัญญาณพาห์ ( $\sin 2\pi f_c t$ ) กำหนดให้  $f_c > f_d$  เนื่องจากแต่ละรอบของการตรวจวัดจะใช้เวลาเท่ากับ  $2/f_d$  ดังนั้นจะสามารถคำนวณหาขนาดความผิดพลาดสูงสุด ( $Error_{(max)}$ ) ในแต่ละรอบการทำงานได้เท่ากับ

$$|Error_{(max)}| = 4A_d f_d / f_c \quad (7)$$

จากสมการที่ (7) สมมติให้  $A_d = 5$  โวลต์  $f_d = 100$  เฮิรตซ์ และ  $f_c = 100$  กิโลเฮิรตซ์ จะได้ค่า  $Error_{(max)} = 20$  มิลลิโวลต์ แต่ถ้า  $f_c$  มีค่าเปลี่ยนเป็น 1 กิโลเฮิรตซ์ จะได้ค่า  $Error_{(max)} = 200$  มิลลิโวลต์



รูปที่ 3 การวิเคราะห์ค่า  $Error_{(max)}$

ประการสุดท้ายคือค่าความกว้างขั้น (Step Width) หรือขั้นการควอนไทซ์ (Quantization Step; QS) ของวงจรถ่ายแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ซึ่งมีขนาด 12 บิต ดังนั้นจะได้

$$QS = FS / 2^{12} \quad (8)$$

เมื่อ FS คือค่าเต็มสเกล (Full Scale) ของสัญญาณแอนะล็อกอินพุต จากสมการที่ (8) ได้กำหนดให้ FS = 5 โวลต์ ซึ่งจะได้ออก QS ของวงจรถ่ายเท่ากับ 1.22 มิลลิโวลต์ สำหรับการทดสอบหลักการดำเนินงานเบื้องต้นของวงจรที่ได้พัฒนาออกแบบขึ้นภายในงานนี้ได้ใช้วิธีต่อวงจรลงบนบอร์ดทดลองโดยใช้ไอซีสำเร็จรูปและอุปกรณ์สำคัญต่างๆ ดังนี้คือ ใช้ออปแอมป์เบอร์ LM319 ทำหน้าที่เป็นวงจรถ่ายผ่านศูนย์ ( $C_1$ ) และวงจรถ่ายเปรียบเทียบแรงดัน ( $C_2$ ) ใช้ไอซีเจเนอเรตเฟลอปเฟอร์ HD74LS76AP ไอซีดีเฟลอปเฟอร์ DM74LS74AN ไอซีแอนดเกตเบอร์ SN74LS08N ไอซีนีเกตเบอร์ SN74LS04 ไอซีวงจรมัลติเพล็กซ์ไอซีเบอร์ HD74LS93P ไอซีวงจรถ่ายแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกเบอร์ DAC7541A วงจรตีมัลติเพล็กซ์ไอซีเบอร์ DM74LS154N ต่อกับกับนีโอเตริจีสเตอร์ไอซีวงจรถ่ายเบอร์ DM74LS373N สำหรับไอซีออปแอมป์  $A_1$  และ  $A_2$  คือเบอร์ LF351 ไดโอดเบอร์ 1N4148 และสวิตช์อิเล็กทรอนิกส์เบอร์ MC14066BCP กำหนดค่าแรงดันเต็มสเกลสำหรับ DAC#1 และ DAC#2 เท่ากับ 5 โวลต์ แหล่งจ่ายไฟเลี้ยง

วงจรถ่ายในส่วนที่เป็นแอนะล็อกเท่ากับ  $\pm 12$  โวลต์ แหล่งจ่ายไฟเลี้ยงวงจรถ่ายในส่วนที่เป็นดิจิทัลเท่ากับ 5 โวลต์ ลำดับแรกผู้วิจัยได้ทำการทดลองแปรค่าขนาดของตัวเก็บประจุที่ใช้ในส่วนของวงจรถ่ายจับค่ายอดสัญญาณเพื่อการใช้งานกับสัญญาณอินพุตที่มีความถี่ต่างๆ โดยได้กำหนดเงื่อนไขให้สัญญาณอินพุตมีค่าแอมพลิจูดเท่ากับ 5 โวลต์ และภายในช่วงเวลา 1 คาบของสัญญาณอินพุตวงจรถ่ายจับค่ายอดสัญญาณจะต้องสามารถตรวจจับและคงค่าแอมพลิจูดดังกล่าวได้โดยมีค่าผิดพลาดสูงสุดได้ไม่เกิน  $\pm 0.1$  โวลต์ ซึ่งจะได้ผลการทดลองดังแสดงในตารางที่ 1 ลำดับที่ 2 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานเฉพาะวงจรถ่าย ADC โดยได้กำหนดให้สัญญาณ  $V_{in(ado)}$  เป็นสัญญาณอินพุตของวงจรถ่าย โดยที่  $V_{in(ado)}$  เป็นสัญญาณรูปสามเหลี่ยมความถี่ต่ำ (เท่ากับ 0.1 เฮิรตซ์) ขนาดเท่ากับ 5 โวลต์ ใช้สัญญาณนาฬิกาเท่ากับ 100 กิโลเฮิรตซ์ ทั้งนี้อาศัยวงจรถ่าย DAC#2 (ถือว่าสมบัติตรงกับ DAC#1) สำหรับแปลงสัญญาณดิจิทัลเอาต์พุต D กลับเป็นสัญญาณแอนะล็อก  $V$  เพื่อเปรียบเทียบกับสัญญาณอินพุต  $V_{in(ado)}$  ซึ่งจะได้ผลการทดลองดังแสดงในรูปที่ 4 ลำดับที่ 3 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานของวงจรถ่ายค่าแอมพลิจูดทั้งระบบ โดยได้ทดลองกับสัญญาณอินพุตรูปไซน์ที่มีค่าแอมพลิจูดคงที่เท่ากับ 2.49 โวลต์ มีความถี่เท่ากับ 1 กิโลเฮิรตซ์ กำหนดค่าความถี่ของสัญญาณนาฬิกา ( $ck$ ) เท่ากับ 100 กิโลเฮิรตซ์ ทั้งนี้เป็นการทดสอบว่าวงจรมีจังหวะหรือลำดับการทำงานสอดคล้องกับ

หลักการที่ได้ออกแบบไว้เพียงใด รวมทั้งเป็นการทดสอบวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงานหรือไม่ ซึ่งได้ผลทดลองดังแสดงในรูปที่ 5 และรูปที่ 6

ลำดับที่ 4 ผู้วิจัยได้ทำการทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ( $V_{carrier}$ ) ความถี่ 50 กิโลเฮิร์ตซ์ กับสัญญาณความถี่ต่ำ ( $V_{data}$ ) รูปปร่างต่าง ๆ (กำหนดค่าความถี่ของสัญญาณนาฬิกาเท่ากับ 1.5 เมกะเฮิร์ตซ์) ซึ่งได้ผลทดลองดังแสดงในรูปที่ 7

ลำดับที่ 5 ผู้วิจัยได้ทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดเช่นเดียวกับลำดับที่ 4 แต่สัญญาณความถี่ต่ำที่ใช้ได้กำหนดให้มีรูปร่างเฉพาะรูปไซน์ความถี่ 10 เฮิร์ตซ์ ซึ่งได้ผลทดลองดังแสดงในรูปที่ 8 นอกจากนี้ได้ทดลองแปรค่าความถี่ของสัญญาณความถี่ต่ำรูปไซน์จาก 1 เฮิร์ตซ์ ถึง 1 กิโลเฮิร์ตซ์ และทำการวัดค่าผลรวมความผิดเพี้ยนฮาร์โมนิก (Total Harmonic Distortion; THD) ของสัญญาณ  $V_{out}$  โดยจะได้ผลการวัดดังแสดงในรูปที่ 9

สำหรับขั้นตอนในลำดับที่ 4 และลำดับที่ 5 นี้เป็นการทดสอบวงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถนำไปประยุกต์ใช้งานกับทรานส์ดิวเซอร์ที่ให้เอาต์พุตออกมาในรูปสัญญาณรูปไซน์ซึ่งมีการเปลี่ยนแปลงค่าแอมพลิจูดไปได้หรือไม่

ลำดับสุดท้ายผู้วิจัยได้ทดสอบว่า วงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดคงที่โดยมีค่าความถี่สูงที่สุดเท่ากับเท่าใด ทั้งนี้ได้ใช้สัญญาณนาฬิกาความถี่เท่ากับ 1.5 เมกะเฮิร์ตซ์

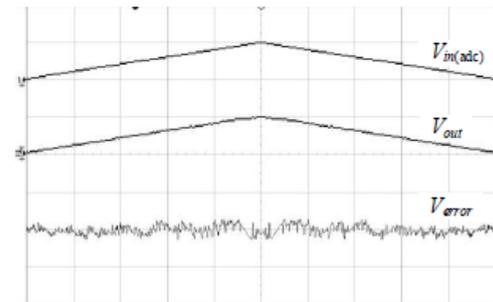
ผลการศึกษาและอภิปรายผล

ตารางที่ 1 แสดงผลการทดลองหาค่าขนาดของตัวเก็บประจุที่เหมาะสมสำหรับวงจรตรวจจับค่ายอดสัญญาณเพื่อใช้งานกับสัญญาณอินพุตในช่วงความถี่ต่างๆ ซึ่งจากตารางจะเห็นได้ว่าเมื่อสัญญาณอินพุตมีค่าความถี่ต่ำจะต้องใช้ตัวเก็บประจุที่มีค่าสูงและเมื่อสัญญาณอินพุตมีค่าความถี่สูงขึ้นต้องใช้ตัวเก็บประจุที่มีค่าต่ำลง

ตารางที่ 1 ค่าความจุไฟฟ้าที่เหมาะสมสำหรับสัญญาณอินพุตแอมพลิจูด 5 โวลต์ในแต่ละช่วงความถี่ใช้งาน

ค่าตัวเก็บประจุ (nF)	ช่วงความถี่ใช้งาน (kHz)	
	$f_{in(min)}$	$f_{in(max)}$
0.33	120	200
1	10	120
10	0.4	10
100	0.04	4
1,000	0.004	0.4

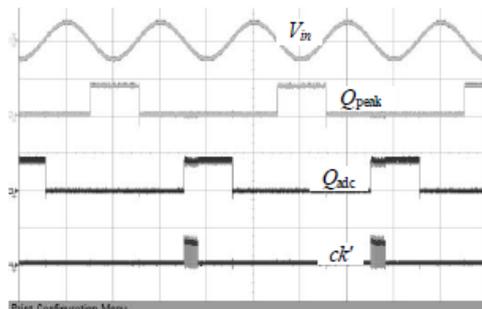
พิจารณารูปที่ 4 ซึ่งแสดงผลการทดสอบสมบัติการทำงานของวงจร ADC เมื่อ  $V_{in(adc)}$  เป็นสัญญาณอินพุตของวงจร  $V_{out}$  เป็นสัญญาณแรงดันเอาต์พุตที่ได้จากวงจร DAC#2 และ  $V_{error} = V_{out} - V_{in(adc)}$  ถือว่าเป็นค่าผิดพลาดในการทำงานของวงจร ซึ่งมีค่าสูงสุดประมาณเท่ากับ  $\pm 13$  มิลลิโวลต์ โดยค่าผิดพลาดดังกล่าวนี้มีค่าสูงกว่าค่าขั้นการควอนไทซ์ตามสมการที่ (8) ประมาณ 11 เท่า ทั้งนี้ผู้วิจัยจะได้ปรับปรุงแก้ไขต่อไป



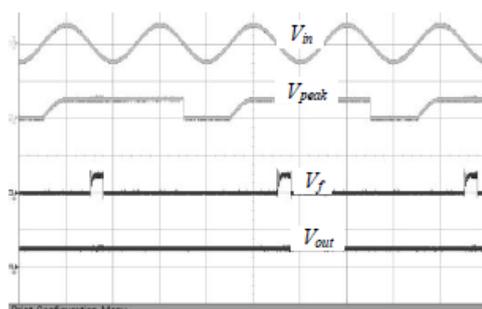
รูปที่ 4 ผลการทดสอบการทำงานของวงจร ADC (สเกลแนวตั้งสำหรับ  $V_{in(adc)}$  และ  $V_{out}$  เท่ากับ 5 V/div., สเกลแนวตั้งสำหรับ  $V_{error}$  เท่ากับ 50 mV/div. สเกลแนวนอนเท่ากับ 1s/div.)

สำหรับรูปที่ 5 และรูปที่ 6 ซึ่งเป็นการทดสอบจังหวะการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ เมื่อสัญญาณอินพุตของวงจรมีค่าแอมพลิจูดคงที่โดยในรูปที่ 5 แสดงสัญญาณแรงดันอินพุต ( $V_{in}$ ) สัญญาณควบคุมวงจรตรวจจับค่ายอด ( $Q_{peak}$ ) สัญญาณควบคุมวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ( $Q_{adc}$ ) และสัญญาณนาฬิกา ( $ck'$ ) ที่ส่งไปให้วงจรนับภายในวงจร ADC โดยจะเห็นว่าค่าความถี่ของสัญญาณ  $Q_{peak}$  และ  $Q_{adc}$  นั้นจะมีค่าเป็นครึ่งหนึ่งของค่าความถี่ของสัญญาณอินพุต โดยมีช่วงที่มีสภาวะลอจิก 1 ไม่พร้อมกัน (ทำงานสลับกันเว้นระยะเวลาเท่ากับ  $T_{in}/2$ ) สัญญาณ  $ck'$  นั้นมีเฉพาะในช่วงเวลาที่  $Q_{adc}$  มีสถานะเป็นลอจิก 1 และจะหมดไปเมื่อทำงานเสร็จซึ่งเป็นการยืนยันว่าวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงาน นอกจากนี้จะสังเกตเห็นว่าความกว้างของช่วงเวลาที่สัญญาณ  $ck'$  จะใช้เวลาเท่ากับ 15 คาบของสัญญาณนาฬิกา  $ck$  หรือเท่ากับ (30/100) ของช่วงเวลา ( $T_{in}/2$ ) ซึ่งตรงกับหลักการที่ได้ออกแบบไว้ ในรูปที่ 6 แสดงสัญญาณอินพุต  $V_{in}$  สัญญาณ  $V_{peak}$  สัญญาณ  $V_{out}$  และสัญญาณ  $V_{error}$  โดยจะเห็นได้ว่าสัญญาณ  $V_{peak}$  นั้นจะถูกรีเซ็ตให้มีค่าเป็น 0 ช่วงเวลาเท่ากับ  $T_{in}/2$  ทุกๆ 2 คาบของสัญญาณอินพุต สัญญาณ  $V_{out}$  เป็นเอาต์พุตของ DAC#1 ที่ถูกป้อนกลับมาเปรียบเทียบกับสัญญาณ  $V_{in}$  ซึ่งวงจร ADC จะทำการแปลงสัญญาณเฉพาะช่วงเวลาที่สัญญาณนาฬิกา  $ck'$  เท่านั้น สำหรับสัญญาณ  $V_{error}$  เกิดจากการนำ DAC#2 ไปต่อเพื่อรับข้อมูลจากรีจิสเตอร์สำหรับการแสดงผลการทำงานเปรียบเทียบกับสัญญาณอินพุต ซึ่งในกรณีที่แอมพลิจูดของสัญญาณอินพุตมีค่าคงที่สัญญาณ

$V_{out}$  จะมีลักษณะเป็นสัญญาณไฟตรงที่มีค่าขนาดประมาณเท่ากับค่าแอมพลิจูดของสัญญาณอินพุต



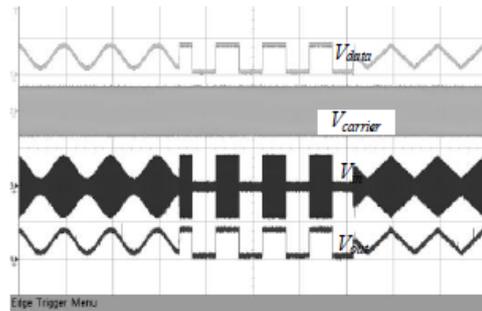
รูปที่ 5 สัญญาณ  $V_{in}$  สัญญาณ  $V_{peak}$  สัญญาณ  $V_{data}$  และ สัญญาณ  $ck'$  (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500  $\mu$ s/div.)



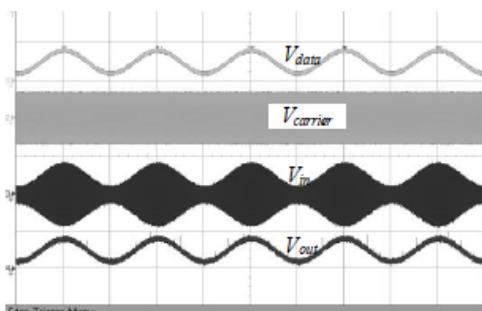
รูปที่ 6 สัญญาณ  $V_{in}$  สัญญาณ  $V_{peak}$  สัญญาณ  $V_f$  และสัญญาณ  $V_{out}$  (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500  $\mu$ s/div.)

รูปที่ 7 และรูปที่ 8 แสดงตัวอย่างการทำงานของวงจรในกรณีที่อินพุตของวงจรเกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ( $V_{carrier}$ ) ความถี่ 50 กิโลเฮิรตซ์ กับสัญญาณความถี่ต่ำ ( $V_{data}$ ) ที่มีรูปร่างต่างๆ ดังรูป โดยจะเห็นได้ว่าสัญญาณ  $V_{out}$  ที่ได้จะมีรูปร่างเหมือนสัญญาณ  $V_{data}$  ซึ่งเป็นค่าแอมพลิจูดของสัญญาณ  $V_{in}$  และจากผลการวัดค่า THD ของสัญญาณ  $V_{out}$  จากการแปรค่าความถี่ของสัญญาณ  $V_{data}$  ที่เป็นรูปไซน์ดังแสดงผลการวัดในรูปที่ 9 จะเห็นได้ว่าเมื่อความถี่ของสัญญาณ  $V_{data}$  มีค่าสูงขึ้น ค่า THD ของสัญญาณ  $V_{out}$  ก็จะมีค่าสูงขึ้น ดังนั้นในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างช้าๆ (ความถี่ของการเปลี่ยนแปลงแอมพลิจูดมีค่าต่ำ) วงจรที่ได้พัฒนาออกแบบขึ้นจะมีผลการทำงานที่ดีกว่าแบบที่มีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างรวดเร็วและผลจากการตรวจสอบค่าความถี่สูงสุดของสัญญาณอินพุตที่วงจรหาค่าแอมพลิจูดสามารถทำงานได้พบว่ามีค่าสูงสุดประมาณเท่ากับ 125 กิโลเฮิรตซ์ เมื่อใช้สัญญาณนาฬิกาเท่ากับ 1.5 เมกะเฮิรตซ์ ทั้งนี้มีค่าสูงกว่าแบบอาศัยหลักการนับแบบเดิมที่ผู้วิจัยได้เคยพัฒนาออกแบบไว้ (ขนาด 8 บิต) ซึ่งหลักการดังกล่าวนี้สามารถใช้งานกับสัญญาณอินพุตที่มีความถี่สูงสุดได้เพียงประมาณ 3

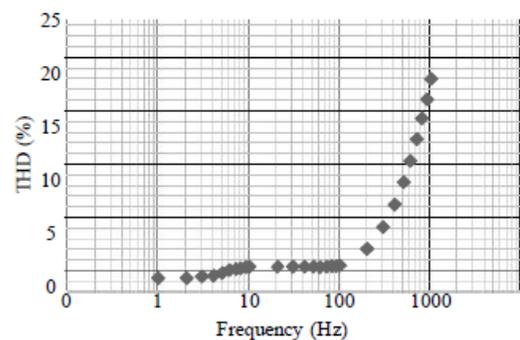
กิโลเฮิรตซ์ (Wangwiwatthana et al., 2008) เมื่อใช้สัญญาณนาฬิกาความถี่เท่ากันจากสมบัติการทำงานที่สำคัญต่างๆ ของวงจรสามารถนำมาสรุปได้ดังแสดงในตารางที่ 2



รูปที่ 7 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดเป็นสัญญาณรูปต่างๆ (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 100 ms/div.)



รูปที่ 8 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดแบบเป็นสัญญาณรูปไซน์ (สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 50 ms/div.)



รูปที่ 9 ผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์โมนิก

ตารางที่ 2 ผลการตรวจสอบสมบัติการทำงานของวงจร

สมบัติการทำงาน	ผลการตรวจสอบ
เวลาที่ใช้ในแต่ละรอบการทำงาน	$2T_{in}$
ช่วงปฏิบัติการทางขนาดค่านอินพุต	0.5 โวลต์ ถึง 5 โวลต์
ช่วงความถี่ใช้งาน	4 เฮิรตซ์ ถึง 125 กิโลเฮิรตซ์
ค่าผิดพลาดสูงสุด	$\pm 13$ มิลลิโวลต์

## สรุปผลการศึกษา

ตัวแปลงค่าแอมพลิจูดของสัญญาณรูปไซน์ให้เป็นสัญญาณดิจิทัลขนาด 12 บิตที่ได้พัฒนาขึ้นภายในครั้งนี้เป็นการพัฒนาวงจรอิเล็กทรอนิกส์สำหรับอำนวยความสะดวกและลดขั้นตอนการประมวลผลสัญญาณที่ได้จากทรานส์ดีวเซอร์บางชนิดที่มีลักษณะเป็นการมอดูเลตแบบแอมพลิจูดระหว่างสัญญาณกระตุ้นทรานส์ดีวเซอร์กับปริมาณที่ต้องการตรวจวัดโดยวงจรที่ได้พัฒนาขึ้นจะทำการตรวจวัดค่าแอมพลิจูดและแปลงให้เป็นสัญญาณดิจิทัลโดยอัตโนมัติ ผลจากการทดสอบการทำงานเบื้องต้นด้วยวิธีการต่อวงจรบนบอร์ดทดลอง พบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอโดยมีสมบัติที่สำคัญดังนี้คือ เวลาที่ใช้ในแต่ละรอบการทำงานมีค่าเท่ากับ  $2T$  ซึ่งวงจรสามารถใช้งานกับสัญญาณรูปไซน์ความถี่สูงสุดประมาณเท่ากับ 125 กิโลเฮิรตซ์ ช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 0.5 โวลต์ถึง 5 โวลต์ ค่าผิดพลาดสูงสุดของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่วัดได้มีค่าโดยประมาณเท่ากับ  $\pm 13$  มิลลิโวลต์ โดยค่าผิดพลาดดังกล่าวนี้ยังเป็นค่าที่สูงกว่าค่าขั้นการควอนไทซ์ที่ควรจะเป็นประมาณ 11 เท่า ซึ่งจะต้องปรับปรุงต่อไป

## กิตติกรรมประกาศ

โครงการวิจัยนี้ได้รับการสนับสนุนงบประมาณจากมหาวิทยาลัยนเรศวร (ทุนอุดหนุนการวิจัยจากงบประมาณแผ่นดิน ประจำปีงบประมาณ 2553) ซึ่งคณะผู้วิจัยขอขอบคุณมา ณ โอกาสนี้ และขอขอบคุณภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ซึ่งเป็นต้นสังกัดของผู้วิจัยที่ได้ให้การส่งเสริมสนับสนุนการทำวิจัยของบุคลากรอย่างจริงจัง

## เอกสารอ้างอิง

Ajjikuttira, A., Stromsmoe, K. A., & Filanovsky, I. M. (1991). On-chip automatic tuning based on amplitude detection and its application in CMOS continuous-time filters. *Analog Integrated Circuits and Signal Processing*, 1(3), 209-219.

Alegre, J. P., Celma, S., Calvo, B., & Garcia del Pozo, J. M. (2008). Design of a novel envelope detector for fast-settling circuits. *IEEE Transactions on instrumentation and measurement*, 57(1), 4-9.

Alegre, J. P., Celma, S., Garcia del Pozo, J. M., & Medrano, N. (2009). Fast-response low-ripple envelope follower. *INTEGRATION, the VLSI journal*, 42, 169-174.

Boudouris, A., & Peters, E. F. (1980). Audio amplitude detector circuit. *United states patent*. 4,206,415, (Eprad Incorporated), 929507.

Chu, H. Y., Jou, H. L., & Huang, C. L. (1992). Transient response of a peak voltage detector for sinusoidal signals. *IEEE Transactions on industrial electronics*, 39(1), 74-79.

Franco, S. (2002). *Design with operational amplifier and analog integrated circuit* (3<sup>rd</sup> ed.). McGraw-Hill Higher Education, 433-437.

Gilbert, B. (2006). Low supply current RMS-to-DC converter. *United states patent*. 7,002,394 B1 (Analog Devices, Inc.), 09/694,731.

Khoury, J. M. (1998, March). On the design of constant settling time AGC circuits. *IEEE Transactions on circuit and systems-II: Analog and digital signal processing*. 45(3), 283-294.

Kinget, P. (2006, May). Amplitude detection inside CMOS LC oscillators. Paper presented at the 2006 IEEE International symposium on circuits and systems (ISCAS 2006), Island of Kos, Greece.

Kriegsmann, G. A. (1985). An asymptotic theory of rectification and detection. *IEEE Transactions on circuit and systems*, CAS-32, 10, 1064-1068.

Liu, H., & Karsilayan, A. I. (2003). An accurate automatic tuning scheme for high-Q continuous-time bandpass filters based on amplitude comparison. *IEEE Transactions on circuit and systems-II: Analog and digital signal processing*, 50(8), 415-423.

Peyton, A. J., & Walsh, V. (1993). *Analog Electronics with Op-amps: A Source Book of Practical Circuits*. Cambridge University Pre, 231-246.

Povalac, P., & Hribik, J. (2006). Computer controlled measurement system. *Measurement science review*, 6, 1(4), 32-35.

Raksachat, P., Chaikla, A., Kaewpoonsuk, A., Riewruja, V. & Julserewong, P. (2006, October). An amplitude detector for variable frequency sinusoidal signals. Paper presented at the SICE-ICASE International joint conference, Bexco, Busan, Korea.

Rerkratn, A., Lertpakdee, T., Chitsakul, K., Sangworasil, M., & Petchmaneeelumka, W. (2006, October). *8-Electrode data collection system for electrical capacitance tomography*. Paper presented at the SICE-ICASE international joint conference 2006, Bexco, Busan, Korea.

Rerkratn, A., Pulkham, J., Chitsakul, K., Sangworasil, M., & Kaewpoonsuk, A. (2007, October). *High current low frequency eddy current imaging system*. Paper presented at the 2007 International conference on control, automation and systems (ICCAS 2007), COEX, Seoul, Korea.

Rerkratn, A., Pulkham, J., Chitsakul, K., Sangworasil, M., Keawpoonsuk, A., & Songsataya, K. (2005, June). *Eddy current system for coating thickness measurement*. Paper presented at the 2005 International conference on control, automation, and systems (ICCAS 2005), KINTEX, Gyeonggi-Do, Korea.

Sangpisit, W., Wardkein, P., Kiranon, W., & Loescharataramdee, C. (1998). A novel derivative envelope detector. *IEEE Transactions on consumer electronics*, 44(4), 1396-1405.

Sarafis, G. A., & Karybakas, C. A. (1989). Constant gain sinusoidal frequency multiplier. *International Journal of Electronics*, 67(1), 35-41.

Surakamponorn, W., & Kumwachara, K. (1999). A Dual translinear-based true RMS-to-DC converter. *IEEE Transactions on instrumentation and measurement*, 47(2), 459-464.

Wangwivatthana, C., Kaewpoonsuk, A., & Riewruja, W. (2008, August). *An amplitude-to-digital converter*. Paper presented at the SICE annual conference, The university electro-communications, Japan.

Zhak, S. M., Baker, M. W., & Sarpeshkar, R. (2003). A low-power wide dynamic range envelope detector. *IEEE Journal of solid-state circuits*, 38(10), 1750-1753.

Sixth International Conference on Innovative Computing, Information and Control



**ICICIC2011**  **北九州市**  
CITY OF KITAKYUSHU

December 22 - 24, 2011  
Kitakyushu International Conference Center  
Kitakyushu, Japan

# Program

Organized by  
ICIC International  
City of Kitakyushu

Sponsored by  
Waseda University, Japan  
Kyushu Institute of Technology, Japan  
The University of Kitakyushu, Japan  
Tokai University, Japan  
SOFT Kyushu Chapter, Japan  
West Japan Industry and Trade Convention Association, Japan  
Dalian University, China  
Dalian University of Technology, China  
Dalian Maritime University, China  
Yanshan University, China  
Harbin University of Science & Technology, China  
Xihua University, China  
Northwest A&F University of Science, China  
National Kaohsiung University of Applied Sciences, Taiwan  
Nanjing University of Aeronautics and Astronautics, China  
Qinhuangdao Yanda Intelligent Informatics Inc., China

Sixth International Conference on Innovative Computing, Information and Control (ICICIC2011)  
December 22 – 24, 2011, Kitakyushu, Japan

**December 24, Saturday**

**10:10 – 11:55**

**F4: Circuit Systems**

**Chair: Dr. Kei Eguchi (Shizuoka University, Japan)**

F4-01

ICICIC2011-006 (Vol.6, No.2)

Design of a Multiple-Input Multiple-Output (MIMO) Step-Up DC-DC Converter

*Kei Eguchi, Toshiya Watanabe, Kuniaki Fujimoto and Hirofumi Sasaki (Japan)*

F4-02

ICICIC2011-366 (Vol.6, No.3)

An Amplitude Detector Using Up-Down Counter

*Anucha Kaewpoonsuk, Ratchanoo Katman, Amphawan Julsereewong  
and Vanchai Riewruja (Thailand)*

F4-03

ICICIC2011-368 (Vol.6, No.3)

Temperature Compensation for V/F Converter

*Vanchai Riewruja, Wandee Petchmaneeelumka, Apinai Rerkratn  
and Kanoknuch Songsuwankit (Thailand)*

F4-04

ICICIC2011-371 (Vol.6, No.2)

Design of Step Up and Down Bi-Directional Switched Capacitor DC-DC Converter

*Sawai Pongswatd, Krit Smerpituk, Kei Eguchi and Hirofumi Sasaki (Thailand)*

F4-05

ICICIC2011-374 (Vol.6, No.2)

A Fractional Divider by Astable Multivibrator Using Switched-Capacitor Circuit  
and Its Application to PLL

*Hirotooshi Sasaki, Mitsutoshi Yahara, Kuniaki Fujimoto and Hirofumi Sasaki (Japan)*

F4-06

ICICIC2011-402 (Vol.6, No.3)

Resistive Sensor Interface Circuits Using Operational Conveyor and Operational Amplifier

*Amphawan Julsereewong, Prasit Julsereewong, Tipparat Rungkhum, Hirofumi Sasaki  
and Hiroshi Isoguchi (Thailand)*

F4-07

ICICIC2011-431 (Vol.6, No.5)

Design and Implementation of the Laboratory for Foundation Fieldbus-Based Industrial Automation

*Teerawat Thepmanee, Sawai Pongswatd, Amphawan Julsereewong  
and Prasit Julsereewong (Thailand)*

>



## AN AMPLITUDE DETECTOR USING UP-DOWN COUNTER

Anurha Kavyasree<sup>1</sup>, Ratcheno Katman<sup>1</sup>,  
Anghawan Jitserewong<sup>2</sup>, and Venchal Riewwaja<sup>2</sup>

<sup>1</sup> Department of Physics, Faculty of Science,  
Narasaraopeta University, Pithapuram, 65000, Thailand  
<sup>2</sup> Faculty of Engineering, King Mongkut's Institute of  
Technology Ladkrabang, Ladkrabang, Bangkok, Thailand

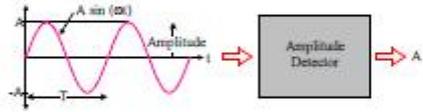


### Outline

- 1 Background
- 2 Objective
- 3 Concept and Design Technique
- 4 Circuit Parameter Analysis
- 5 Experimental Results and Discussion
- 6 Conclusion

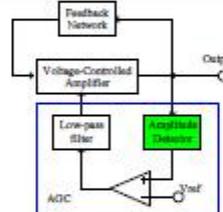
### Background

What is the "Amplitude Detector" ?



### Background

Applications:



**Amplitude controllable sinusoidal oscillator**  
(An Sang Hwa and Chiu E. Liu, 2004)

### Background

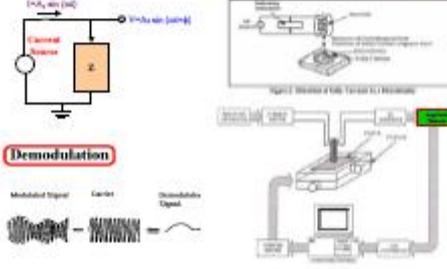
Applications:



**Sinusoidal Frequency Detector**

### Background

Applications:



**Demodulation**

### Background

**Conventional approach :**

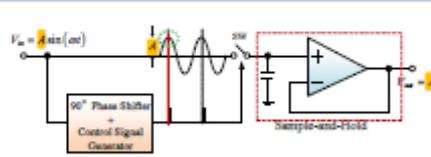
Based on the use of the rectifier and the low-pass filter circuit.



### Background

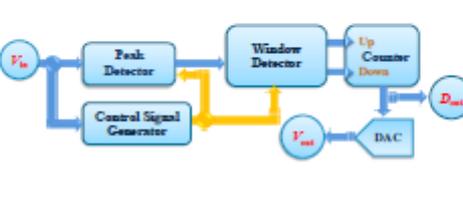
**The third approach :**

Based on the use of 90-degree phase shifter, control signal generator, and the sample-and-hold circuit.



### Concept and Design Technique

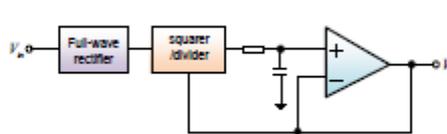
**Block diagram**



### Background

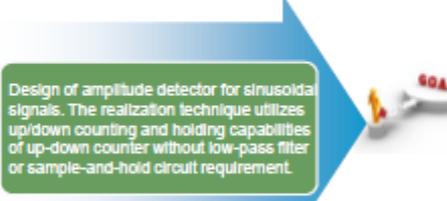
**The second approach :**

Based on the use of the square/divider and the low-pass filter circuit.

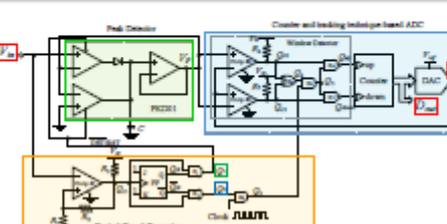


### Objective

Design of amplitude detector for sinusoidal signals. The realization technique utilizes up/down counting and holding capabilities of up-down counter without low-pass filter or sample-and-hold circuit requirement.



### Concept and Design Technique



### Concept and Design Technique

The circuit diagram shows an input signal  $V_{in}$  connected to a network of resistors and capacitors. The timing diagram shows the input signal  $V_{in}$  and the resulting output signals  $V_{out1}$ ,  $V_{out2}$ , and  $V_{out3}$  over time  $t$ . The input is a sinusoidal wave, and the outputs are pulses whose widths correspond to the signal's amplitude.

### Circuit Parameter Analysis

Operation time of each cycle that varies according to the twice of the period of sinusoidal input signals.

Wave rate =  $f_{in} V_{in} / 2$

$\Delta V_{out(max)} = \text{Wave rate} (T_{in} / 2) = f_{in} V_{in} (T_{in} / 2)$

$T_{out} = \begin{cases} 2 \Delta V / (f_{in} V_{in}) + T_{in} / 2 & \text{for } |V_{in}| < \Delta V_{out(max)} \\ 2 \Delta V / (f_{in} V_{in}) + T_{in} / 2 + 2\pi T_{in} & \text{for } |V_{in}| > \Delta V_{out(max)} \end{cases}$

$\Delta V = V_{in} - V_{out}$      $\ln = \ln \left[ \frac{V_{in}}{V_{in} - \Delta V} \right]$

$\Delta V_{in} = \Delta V - \ln \Delta V_{out(max)}$      $f_{in} \approx f_{in} V_{in} / (2 \Delta V_{out(max)}^2) \approx f_{in} V_{in} / (2 A_{in}^2)$

### Experimental Results and Discussion

The timing diagram shows the input signal  $V_{in}$  and the output signals  $V_{out1}$ ,  $V_{out2}$ , and  $V_{out3}$  for  $V_{in} = 4$ . The input is a sinusoidal wave, and the outputs are pulses whose widths correspond to the signal's amplitude.

### Concept and Design Technique

The circuit diagram shows an input signal  $V_{in}$  connected to a network of resistors and capacitors. The timing diagram shows the input signal  $V_{in}$  and the resulting output signals  $V_{out1}$ ,  $V_{out2}$ , and  $V_{out3}$  over time  $t$ . The input is a sinusoidal wave, and the outputs are pulses whose widths correspond to the signal's amplitude.

### Experimental Results and Discussion

Proposed amplitude detector constructed on PCB.

The photograph shows a printed circuit board (PCB) with various components. Labels indicate: Counter and timing section (74181), Power Supply, Digital Output, Analog Output, and Control Signal Generator.

### Experimental Results and Discussion

The timing diagram shows the input signal  $V_{in}$  and the output signals  $V_{out1}$ ,  $V_{out2}$ , and  $V_{out3}$  for  $V_{in} = 4$ . The input is a sinusoidal wave, and the outputs are pulses whose widths correspond to the signal's amplitude.

**Experimental Results and Discussion**

Measured result for varied input amplitude in range 0.25-5 V.

**Experimental Results and Discussion**

Digital outputs for varied input amplitude in range 0.5-5 V.

Input Amplitude (V)	12-bit Digital Output	Calculated Voltage from Digital Output (V)	Error of full scale (%)
0.5	0001 1000 1111	0.507	0.14
1.0	0011 0000 1111	1.034	0.68
1.5	0100 1001 1111	1.522	0.44
2.0	0110 0111 1111	2.030	0.60
2.5	0111 1101 1111	2.460	-0.80
3.0	1001 1011 1111	3.046	0.92
3.5	1011 0001 1111	3.514	0.28
4.0	1100 1001 1111	4.022	0.44
4.5	1110 0101 1111	4.491	-0.18
5.0	1111 1111 0011	4.994	-0.12

**Experimental Results and Discussion**

Measured result for rapidly changed input frequency and fixed amplitude.

**Experimental Results and Discussion**

Measured result for rapidly changed input frequency and fixed amplitude.

**Experimental Results and Discussion**

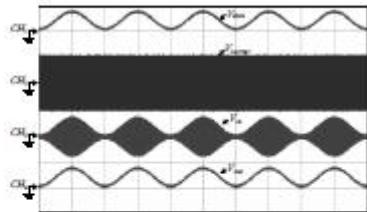
Measured result for modulated sinusoidal input.

**Experimental Results and Discussion**

Measured result for modulated sinusoidal input.

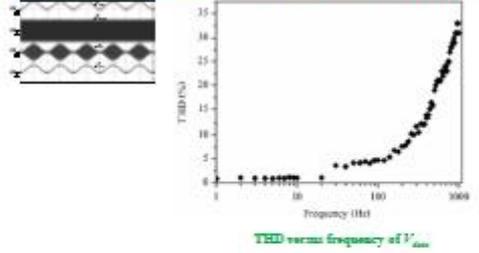
**Experimental Results and Discussion**

Measured results for modulated sinusoidal input.



**Experimental Results and Discussion**

Measured results for modulated sinusoidal input.



**Conclusion**



Amplitude input range : 250 mV to 5 V.  
 Maximum frequency of input signal : 100 kHz  
 Maximum analog output error : 0.8 % of full scale  
 Maximum digital output error : 0.92 %

**Thank You !**



# **ITC-CSCC 2011**

**The 26th International Technical Conference on  
Circuits/Systems, Computers and Communications**

## **Program & Abstracts**

**June 19 – 22, 2011  
Hyundai Hotel, Gyeongju, Korea**

#### 10. Resolver-signal Demodulator Using Phase Shifter

Anucha Kaewpoonsuk, Ratchanoo Katman (Naresuan University, Thailand), Apinai Rerkratn, Vanchai Riewruja (King Mongkut's Institute of Technology Ladkrabang, Thailand)

An alternative approach to implement the fast resolver-signal demodulator is presented in this paper. The realization technique is utilized the phase shift behavior of all-pass filter connected with designed logic circuit to generate the reference signal from exciting signal of resolver rotor. The proposed demodulator produces two output signal voltages, which are proportional to sine and cosine envelopes of resolver-shaft angle without low-pass filter circuit. Experimental results verifying the performance of the proposed circuit are closely agreed with the expected values.

#### 11. A Simple Technique for Measuring Amplitude of Transient Signals

Anucha Kaewpoonsuk (Naresuan University, Thailand), Wandee Petchmaneelumka, Theppjit Cheypoca (King Mongkut's Institute of Technology Ladkrabang, Thailand)

This paper presents a simple circuit technique based on commercially available devices for measuring the amplitude of transient signals. The proposed technique produces digital output proportion to the amplitude of sinusoidal analog input signal without low-pass filter. The realization method employs a peak detector, a comparator, an analog-to-digital converter, and a microcontroller. In addition, the devices used in the proposed circuit are simple and low cost. The conversion time is one cycle period of input signal. Performances of the proposed circuit are discussed in detail and confirmed by experimental results.

#### 12. An Analysis of the Portable Breath Alcohol Testing Set Performance

Somchai Arunrungrusmi, Narong Mungkung, Nathwut Kowattajarankij (King Mongkut's University of Technology Thonburi, Thailand), Toshifumi Yuji (University of Miyazaki, Japan)

This paper was aimed to develop a breath alcohol meter. The principle of alcohol level detecting meter is to measure the amount of alcohol percentage in the human blood by checking the air flow from human mouth as well as alcohol from the stomach. Blood alcohol concentration is measured using the energy conversion theory between electrical and chemical conversion to electrical quantity. In this paper an analog alcohol breath meter was developed. Signal from the sensor was amplified by an amplifier circuit and fed into an analog ammeter for readings of the alcohol concentration. The SnO<sub>2</sub> gas sensor model is used to measure percentage of alcohol. The reference alcohol standard solutions of ranging from 15 to 145 mg % were used in the calibration and testing process.

#### 13. Analysis and Improvement of Modeling Method of Polysilicon Trap in 3-dimensional Bit Cost Scalable Technology

Seonjun Choi, Seung-Beck Lee (Hanyang University, Korea)

In this work, we propose an improved method to analyze leakage currents in the 3-dimensional bit cost scalable technology (BiCS) vertical polysilicon channel string by applying the grain boundary trap model. The model can well describe the grain boundary trap in the sub micron polysilicon body and the various characteristics resulting from the traps can be well analyzed and predicted by using this model. We investigated the I-V characteristics and the leakage currents depending on various variables (grain size, thickness position) using TCAD simulation tool and we found that using the grain boundary trap model, the transfer characteristics and the leakage current simulations results were more realistic than using the exponential trap model. We found that the grain boundary under the DSL gate has greater effect on the string performance than the ones in the WL gate, and the transfer characteristics and the leakage current is changed by the position of grain boundary in polysilicon channel.

#### 14. Increasing Channel Area of 3D Stackable Vertical Gate Flash Memory by Inter-bit Line Dielectric Reduction

Taeon Park, Seonjun Choi, Seung-Beck Lee (Hanyang University, Korea)

In this work, we propose a new structure to reduce leakage in a vertical gate (VG) NAND 3-D Flash memory structure by using a pi ( $\Phi$ ) shaped gate and ultra thin body around the polysilicon channel. In the Pi gate structure since the channel width is defined by the isotropic etching of the inter-bit line dielectric layer, the current levels may be maintained while having a thinner channel. The ultra-thin body structure may have reduced depletion width of bit line, so band bending and band shift on the bit line is easy to achieve. We investigated the I-V characteristics of the different structures using TCAD simulation tool and we confirmed that compared with the VG-NAND structure, the result of the pi gate structure shows a doubling of Ion., two orders of magnitude lower Ioff, and better subthreshold characteristics.

#### 15. Development of Plasma Generator Control for Split Type Air Conditioner

Krisada Phetploy (Taluang Technical College Office, Thailand), Prasit Mongkholkaset (Nakhonratchsrma Technical College Office, Thailand), Narong Mungkung, Nattawut Korwattanacharoenkij, Somchai Arunrungrusmi (King Mongkut's University of Technology Thonburi, Thailand), Yuttana Janthasira (Nongbualampoo Technical College, Thailand)

This paper presents the plasma generator which the research this time have the objective for analyses the system controls the occurrence plasma at use in the air-conditioner. Flyback Converter give work at 10 - 30 KHz (DC high voltage) frequencies change a pot modifies high frequency circuit n rectifier and filter of output for get the direct current that the voltage output 10 kVdc for bring apply with electrode high irregularly in building group electrode cause the phenomenon Corona discharge in ozone production and the development control the occurrence plasma test the usability in the air-conditioner. The all by set up the origin plasma

## A Simple Technique for Measuring Amplitude of Transient Signals

Anucha Kaewpoonsuk<sup>1</sup>, Wandee Petchmaneelumka<sup>2</sup> and Thepjit Cheypoca<sup>2</sup>

<sup>1</sup>Department of Physics, Naresuan University, Phitsanulok 65000, Thailand

<sup>2</sup>Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand, E-mail: anuchak@nu.ac.th

### Abstract

*This paper presents a simple circuit technique based on commercially available devices for measuring the amplitude of transient signals. The proposed technique produces digital output proportion to the amplitude of sinusoidal analog input signal without low-pass filter. The realization method employs a peak detector, a comparator, an analog-to-digital converter, and a microcontroller. In addition, the devices used in the proposed circuit are simple and low cost. The conversion time is one cycle period of input signal. Performances of the proposed circuit are discussed in detail and confirmed by experimental results.*

**Keywords:** Amplitude detector, peak detector, interface circuit, amplitude-to-digital converter.

### 1. Introduction

In instrumentation and measurement systems, there are some situations that strongly require for measuring amplitude of sinusoidal input signals. For example, hardware realizations of automatic gain control (AGC) [1] and electrical impedance tomography [2] need the amplitude measurement circuit as one of major components. There are two common approaches for computer-based display and control systems; directly digitizing technique and analog amplitude-computation technique. The digital computation technique is normally based on a numerical algorithm processed by digital processor. Unfortunately, a delay time occurs in the computational process. Thus, this result is not feasible for applications in real-time system. The analog amplitude-computation technique provides a high-speed operation, which results in a real-time determination. In the past, one of circuit implementation methods for analog amplitude-computation technique has been reported [3]. This approach is based on the use of rectifier-low pass filter circuit connected with analog-to-digital converter (ADC). However, this method requires several cycles of input signal to settle output signal and causes the ripple output. Alternatively, analog amplitude detector schemes are based on the CMOS

technology [4-5]. These approaches require closely matched transistors, which can be accurately realized only in integrated circuit form. For a small quantity of the circuit implementation, the integrated circuit realization is unsuitable owing to economic considerations. Therefore, the use of commercially available devices such as operational amplifier (opamp) IC, ADC IC, and microcontroller to implement the amplitude detector is really interesting.

In this paper, mixed analog and digital signal processing technique for measuring amplitude of transient signals, is presented. The proposed realization method utilizes a peak detector characteristic to hold the peak-amplitude of the input signal before applying to ADC controlled by microcontroller. Based on the proposed technique, a high-speed operation and a small ripple output signal can be easily achieved.

### 2. Circuit Description

The diagram of the proposed circuit is shown in Fig. 1. It consists of the peak detector, comparator, ADC, and microcontroller. The signal  $V_{in}$  denotes a sinusoidal input voltage of the circuit. The amplitude of  $V_{in}$  can be monitored as a DC voltage by the action of peak detector and be converted into digital output bits,  $D_{ms}$ , by the use of 12-bit serial-output ADC. The microcontroller is employed to control the operation of ADC. In order to illustrate the proposed operation, the waveform sketches relating to the various nodes are shown in Fig. 2. Assume that the input voltage  $V_{in}$  is given by

$$V_{in} = A_1 \sin(2\pi f_{in} t) = A_1 \sin\left(\frac{2\pi t}{T_{in}}\right) \quad (1)$$

where  $A_1$ ,  $f_{in}$ , and  $T_{in}$  are an amplitude, frequency, and period of input signal, respectively. For initial conditions, we assume that the  $Q_{reset}$  pulse is low, and the peak detector output  $V_{peak}$  is zero. The sequential operation can be explained as follows.

Step 1: when the input signal  $V_{in}$  is greater than zero and the comparator output  $Q_{read}$  is high. Peak

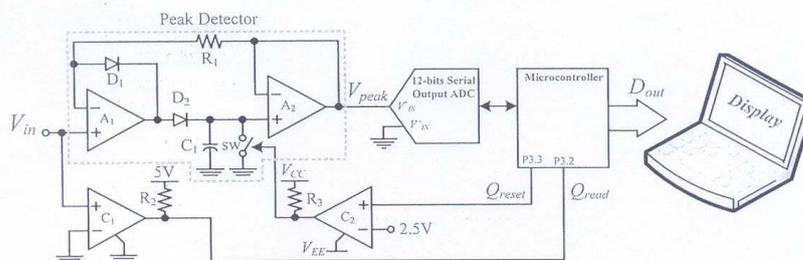


Fig. 1 Circuit diagram of proposed technique.

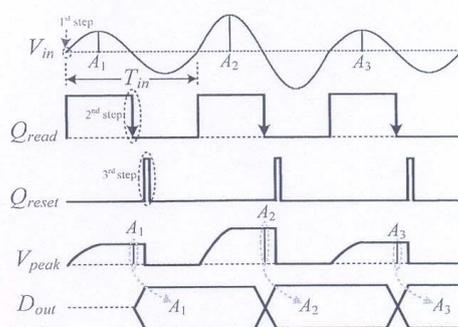


Fig. 2 Waveform signals of the proposed circuit.

detector will detect the most positive peak value of  $V_{in}$ . After  $t = T_m/4$ , its voltage output  $V_{peak}$  is then determined as

$$V_{peak} = A_1 \quad (2)$$

Step 2: when the input signal  $V_{in}$  becomes the negative voltage, the comparator output  $Q_{read}$  is changed from high into low for exciting the microcontroller. The ADC controlled by the microcontroller starts on converting  $V_{peak}$  into digital output forms,  $D_{out}$ , according to the amplitude of  $V_{in}$ . Then, the microcontroller will send the digital signal  $D_{out}$  to the display device.

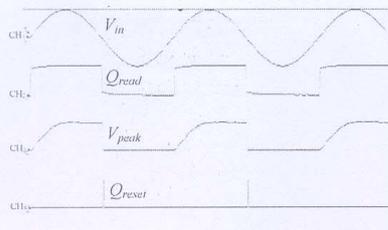
Step 3: the microcontroller generates  $Q_{reset}$  for reset the output voltage  $V_{peak}$  of peak detector to be zero. The peak detector is then ready to succeeding tracking.

### 3. Experimental Results

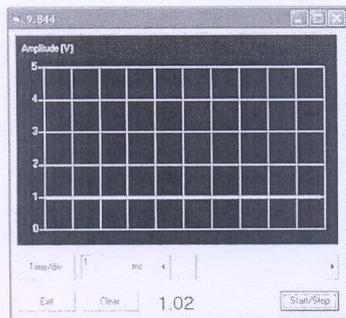
To verify the performances of the proposed technique, the circuit as shown in Fig. 1 was

implemented on a breadboard. The ADuC842 device is used as 12-bit serial-output ADC, where the full-scale input voltage of 5 V was chosen, the quantization step of 1.22 mV can be thus achieved. The LM741 and LF351 ICs are employed as the opamps  $A_1$  and  $A_2$ , respectively. The LM311 and CD4066 ICs are formed as the comparators  $C_1$  and  $C_2$  and the analog switch sw, respectively. The supply voltages were set to  $\pm 7V$ . The communication between the microcontroller and computer used for display is performed via RS-232 cable. The monitor on computer was developed by using Visual Basic programming language.

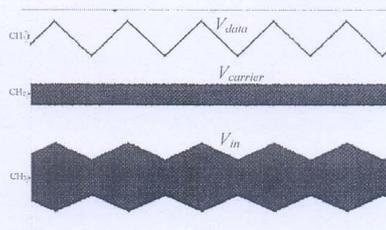
Fig. 3 shows the sampled results of the proposed circuit, where the sinusoidal input of 1 kHz frequency and 1 V peak amplitude was applied. In Fig. 3(a), the signals  $V_{in}$ ,  $Q_{read}$ ,  $V_{peak}$ , and  $Q_{reset}$  are measured by using oscilloscope. It is apparent that the results are in good agreement with the expected signals as illustrated in Fig. 2. From the monitor screen of the computer as shown in Fig. 3(b), it is clearly seen that the output of measuring input amplitude is equal to 1 V DC.



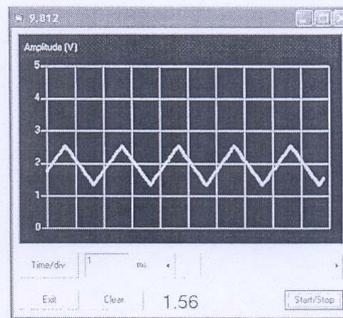
(a) Measured signals  
(Vertical scale, CH1: 1V/div.; CH2: 5V/div.; CH3: 1V/div.; CH4: 5V/div., horizontal scale: 250ms/div.)



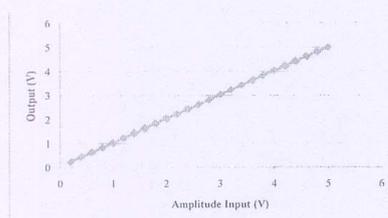
(b) Monitor screen on the computer  
Fig. 3 Measured signals for 1 kHz sinusoidal input signal with amplitude 1V.



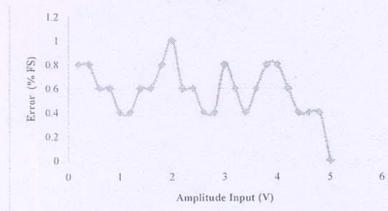
(a) Measured signals  
(Vertical scale, CH1: 5V/div.; CH2: 5V/div.; CH3: 2V/div., horizontal scale: 1s/div.)



(b) Monitor screen on the computer  
Fig. 5 Measured signals for amplitude-modulated input signal.



(a) Output



(b) Non-linear error

Fig. 4 Measured results for varying amplitude of input signal

Fig. 4 shows the results obtained from applying sinusoidal input signal with constant frequency (1 kHz) and varied amplitude (0 V to 5 V). It is evident that the proposed circuit can respond instantly to the changing amplitude input signal and also can measure the lowest input amplitude approximately equal to 150 mV. The maximum error was estimated from experimental results to be approximately 1% of full scale reading. In addition, the experimental results confirm that the proposed technique can measure the amplitude value of sinusoidal input within one cycle period when the input frequency is less than 1 kHz. Otherwise, the conversion time or operation speed of the proposed technique is more than one cycle period. However, the maximum input frequency that can be measured by the proposed method is about 23 kHz.

Fig. 5 displays the sampled results for applying the 0.5 Hz triangular input signal modulated with 1 kHz carrier. It is clearly seen that the proposed technique can function as a demodulator that provides the output signal in the form of enveloped value of input signal.

#### 4. Conclusion

This paper has described the mixed analog and digital technique to measure amplitude value of transient signals. The method consists of the peak detector, comparator, ADC, and microcontroller. The digital output can be also achieved without connecting low-pass filter. Experimental results confirm that the proposed method functions correctly and provides good performances.

#### References

- [1] J. M. Khoury, "On the design of constant settling time AGC circuits", *IEEE Transactions on circuit and systems-II: Analog and digital signal processing*, vol. 45, no. 3, pp. 283-294, March 1998.
- [2] P. Povalac, and J. Hribik, "Computer controlled measurement system", *Measurement science review*, vol. 6, sec. 1, no. 4, pp. 32-35, 2006.
- [3] G. A. Kriegsmann, "An asymptotic theory of rectification and detection", *IEEE Transactions on circuit and systems, cas-32*, no. 10, pp. 1064-1068, 1985.
- [4] J. P. Alegre, S. Celma, J. M. Garcia del Pozo, and N. Medrano, "Fast-response low-ripple envelope follower", *INTEGRATION, the VLSI journal*, vol. 42, pp.169-174, 2009.
- [5] S. M. Zhak, M. W. Baker, and R. Sarpeshkar, "A low-power wide dynamic range envelope detector", *IEEE Journal of Solid-state Circuits*, vol. 38, no. 10, pp. 1750-1753, 2003.



IEEE Acceptance Letter



International Conference on Control, Automation and Systems  
(ICCAS 2010)

October 27(Wed.)-30(Sat.), 2010  
KINTEX, Gyeonggi-do, KOREA

<http://www.iccas.org>

■General Chair

Man Hyung Lee (ICROS, President, Korea)

■Organizing Chair

Jae-Bok Song (Korea Univ., Korea)

■Advisory Council

Myeung Sam Ko (Seoul National Univ., Korea)

Kwang Bang Wee (Yonsei Univ., Korea)

Seon Heon Bae (KAIST, Korea)

Hyun-Ku Rhee (Seoul National Univ., Korea)

Wook Hyun Kwon (Seoul National Univ., Korea)

Hyung Suk Cho (KAIST, Korea)

Yeungil Yeum (POSTECH, Korea)

Kah Sik Min (Hyundai Heavy Industries, Korea)

Jo-Jang Lee (KAIST, Korea)

Chengsheng Park (Kyung Hee Univ., Korea)

Deug Yeung Jee (KNSA, Korea)

Sung Kwon Kim (Korea Polytechnic Univ., Korea)

Jin Seog Choi (Hynix Semiconductor Inc., Korea)

■Program Chair

Mye-Taeg Lim (Korea Univ., Korea)

■Regional Program Co-Chairs

Keigo Watanabe (Osakayama Univ., Japan)

Zengqi Sun (Tsinghua Univ., China)

Li-Chen Fu (National Taiwan Univ., Taiwan)

Jengshel Ngamairat (KMUTL, Thailand)

■International Relation Co-Chairs

Chung Ghee Chung (Hanyang Univ., Korea)

Jae Weon Choi (Pusan National Univ., Korea)

Kang-Bok Park (Korea Univ., Korea)

■Organized Session Co-Chairs

Yeung Heon Jee (Kunsan Univ., Korea)

Hyuk Byoul Choi (Sungkyunkwan Univ., Korea)

Jinhee Lee (Kyungpook National Univ., Korea)

Seul Jung (Chungnam National Univ., Korea)

Yeung Il Lee (Seoul Natl Univ. of Tech., Korea)

■Finance Co-Chairs

Chul-Gee Kang (Kankuk Univ., Korea)

Dong Hyuk Cha (Korea Polytechnic Univ., Korea)

■Workshop & Tutorial Co-Chairs

Chen Geok Park (Seoul National Univ., Korea)

Waejin Chung (Korea Univ., Korea)

Euntae Kim (Yonsei Univ., Korea)

Cheon Ki Ahn (Wankang Univ., Korea)

■Publication Co-Chairs

Jung Kwon Park (KIMM, Korea)

Sang Han Lee (Keelam Univ., Korea)

Eun Sang Lee (Inha Univ., Korea)

■Publicity Co-Chairs

Jae Heon Kim (Samsung Heavy Industries, Korea)

Sung Hyun Han (Kyungnam Univ., Korea)

Jahng Hyun Park (Hanyang Univ., Korea)

Hye Kyung Cha (Hansung Univ., Korea)

■Local Arrangement Co-Chairs

Yeung In Cho (Univ. of Suwon, Korea)

Kyung-Soo Kim (KAIST, Korea)

Jeene Cheong (Korea Univ., Korea)

■Secretariat

Sam Jun See (Anyang Univ., Korea)

Jin Yeung You (ICROS, Korea)

Paper No : 100428

Presentation Type : Oral

Title : A Simple Amplitude Detector-based Demodulator for Resolver Converters

Author(s) : \* Dr. Anucha Kaewpoonsuk (Naresuan University, Thailand), Graduate Student APINAI RERKRATN (King Mongkut's Institute of Technology Ladkrabang, Thailand), Graduate Student Ratchanoo Katman (Naresuan University, Thailand), Prof. Vanchai Riewruja (King Mongkut's Institute of Technology Ladkrabang, Thailand)

Dear Dr. Anucha Kaewpoonsuk,

On behalf of the ICCAS 2010 Program Committee, it is our pleasure to inform you that your paper described above has been accepted for presentation. You are requested to submit the full paper through "Online Paper Submission" in the ICCAS 2010 homepage by **July 30, 2010**. Please follow the guidelines shown below when preparing the manuscript. For more information, please refer to "Paper Submission Guideline" of the website <http://2010.iccas.org/>

\* Guidelines

1. The conference proceedings will be included in IEEE Xplore and EI compendex. Submitted papers (after acceptance) must conform to the IEEE Xplore requirements for PDF files.
2. Please read carefully the Final Paper Submission Guidelines Using IEEE PDF eXpress for ICCAS 2010.

\* Notice

1. At least one of the authors per paper must complete an advance registration by **July 30, 2010** in order for their paper to be included in the final program of the conference. Please complete the conference registration before your full paper submission. You need the registration number to submit your paper.
2. No-Show papers may not be included in IEEE Xplore and EI compendex.

We would like to express our gratitude for your continued attention and support for the ICCAS 2010.

Thank you for your contribution to the ICCAS 2010, and we are looking forward to seeing you in KINTEX, Gyeonggi-do.

Sincerely yours,

Jae-Bok Song  
Organizing Chair

## A Simple Amplitude Detector-based Demodulator for Resolver Converters

Anucha kaewpoonsuk<sup>1</sup>, Ratchanoo Katman<sup>1</sup>, Thawatchai Kamsri<sup>2</sup>,  
Apinai Rekratn<sup>3</sup> and Vanchai Riewruja<sup>3</sup>

<sup>1</sup> Department of Physics, Faculty of Science, Naresuan University, Phitsanulok 65000, Thailand  
(Tel : +66-5-596-3548; E-mail: anuchak@nu.ac.th)

<sup>2</sup> Thai Microelectronics Center (TMEC), National Electronics and Computer Technology Center, Thailand  
(Tel : +66-3-885-7100, Fax +66-3-885-7175, E-mail: thawatch\_tee@yahoo.com)

<sup>3</sup> Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,  
Ladkrabang, Bangkok 10520, Thailand  
(Tel : +66-2-739-2406-7; Fax: 66-2-739-2406-7 ext. 103; E-mail: vanchai@kmitles.net)

**Abstract:** This paper presents a simple method based on sinusoidal-amplitude detector for realizing the resolver-signal demodulator. The proposed demodulator consists of two full-wave rectifiers, two  $\pm$ unity-gain amplifiers, and two sinusoidal-amplitude detectors with control switches. Two output voltages are proportional to sine and cosine envelopes of resolver-shaft angle without low-pass filter. Experimental results demonstrating characteristic of the proposed circuit are included.

**Keywords:** resolver converter, demodulator, amplitude detector

### 1. INTRODUCTION

Resolver is a reliable and robust angular position transducer suitable for various positioning applications such as robots, machine tools, and radars. The shape of resolver looks like a small motor. A basic equivalent of resolver consists of one rotor winding and two stator windings. Usually, the rotor winding is used as an input part excited with sinusoidal voltage. If the frequency of excitation signal ( $\omega_c$ ) is higher than the angular speed of rotor ( $\omega_r$ ), the stator waveforms of the resolver can be given by

$$V_{s1} = kA_{ex} \sin(\omega_c t) \sin(\theta_t) = kV_{ex} \sin(\theta_t) \quad (1a)$$

$$V_{s2} = kA_{ex} \sin(\omega_c t) \cos(\theta_t) = kV_{ex} \cos(\theta_t) \quad (1b)$$

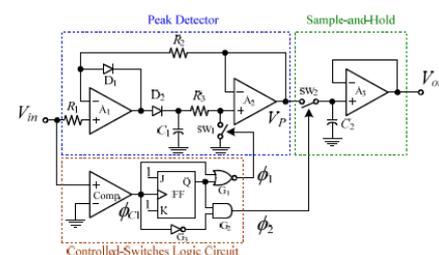
where  $V_{ex} = A_{ex} \sin(\omega_c t)$  is a sinusoidal excitation voltage,  $V_{s1}$  and  $V_{s2}$  are voltage values of the first and second stators, respectively,  $k$  is a transformation ratio between stator and rotor windings, and  $\theta_t = \omega_r t$  is the angular position of rotor. To achieve a signal linearly proportional to  $\theta_t$ , resolver converter enabling determination of the angle from sin and cosine signals  $V_{s1}$  and  $V_{s2}$  can be employed. The implementations of resolver converters can be found in literatures [1-7]. Demodulator, one of important parts in most proposed methods, is used to detect envelopes of stator waveforms  $V_{s1}$  and  $V_{s2}$ . However, design conditions of demodulator are not focused in literature. One of well known demodulator is implemented with an analog multiplier and a low-pass filter [1-3]. Unfortunately the low-pass filter causes the phase shift (or time delay) of sensed information.

The aim of this paper is to present an alternatively technique without low-pass filter for implementing resolver-signal demodulator. To obtain simple configuration and good performance, the proposed technique utilizes sinusoidal-amplitude detector, which has been introduced in literature [8].

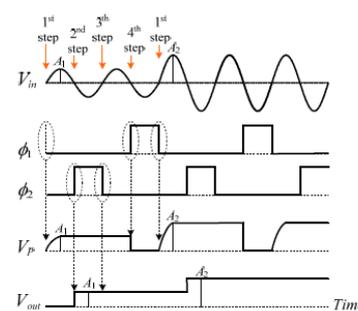
### 2. CIRCUIT DESCRIPTION

#### 2.1 Sinusoidal-amplitude Detector

Fig. 1(a) shows a sinusoidal-amplitude detector controlled by its input signal [8]. It consists of a peak detector, a sample-and-hold circuit, and a control logic circuit. The waveform sketches relating to various nodes are shown in Fig. 1(b). The sequential operations of the detector can be divided into four steps. Firstly, the peak value of the input signal is tracking and holding. Secondly, the peak value is sampled and sent to the output node. Next, the last value of sampled signal is held until the next sample period. Lastly, the output voltage of the peak detector is reset for succeeding tracking.

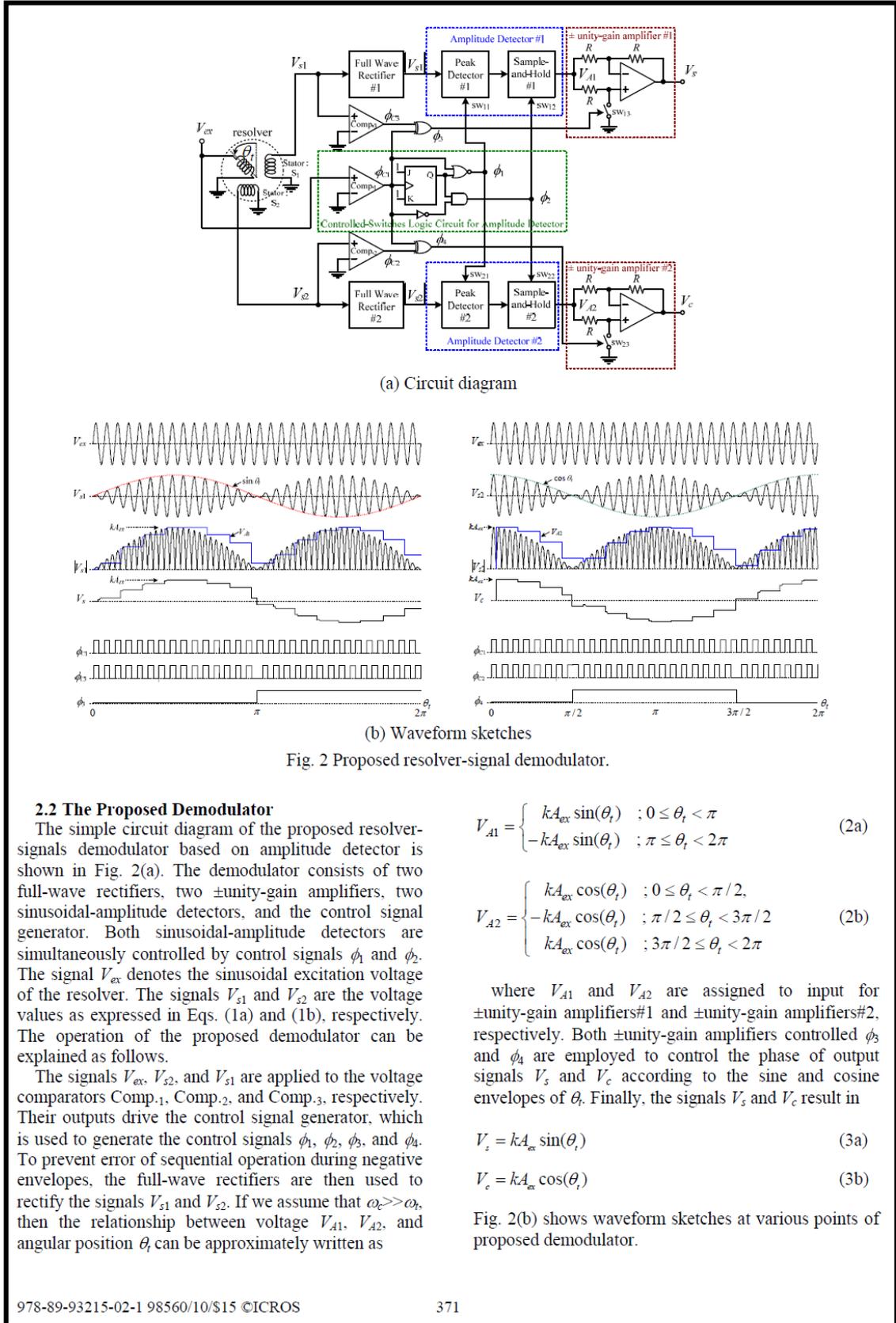


(a) Circuit diagram



(b) Waveform sketches

Fig. 1 Sinusoidal-amplitude detector.



**2.2 The Proposed Demodulator**

The simple circuit diagram of the proposed resolver-signals demodulator based on amplitude detector is shown in Fig. 2(a). The demodulator consists of two full-wave rectifiers, two  $\pm$ unity-gain amplifiers, two sinusoidal-amplitude detectors, and the control signal generator. Both sinusoidal-amplitude detectors are simultaneously controlled by control signals  $\phi_1$  and  $\phi_2$ . The signal  $V_{ex}$  denotes the sinusoidal excitation voltage of the resolver. The signals  $V_{s1}$  and  $V_{s2}$  are the voltage values as expressed in Eqs. (1a) and (1b), respectively. The operation of the proposed demodulator can be explained as follows.

The signals  $V_{ex}$ ,  $V_{s2}$ , and  $V_{s1}$  are applied to the voltage comparators Comp.<sub>1</sub>, Comp.<sub>2</sub>, and Comp.<sub>3</sub>, respectively. Their outputs drive the control signal generator, which is used to generate the control signals  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ , and  $\phi_4$ . To prevent error of sequential operation during negative envelopes, the full-wave rectifiers are then used to rectify the signals  $V_{s1}$  and  $V_{s2}$ . If we assume that  $\omega_r \gg \omega_\theta$ , then the relationship between voltage  $V_{A1}$ ,  $V_{A2}$ , and angular position  $\theta_t$  can be approximately written as

$$V_{A1} = \begin{cases} kA_{ex} \sin(\theta_t) & ; 0 \leq \theta_t < \pi \\ -kA_{ex} \sin(\theta_t) & ; \pi \leq \theta_t < 2\pi \end{cases} \quad (2a)$$

$$V_{A2} = \begin{cases} kA_{ex} \cos(\theta_t) & ; 0 \leq \theta_t < \pi/2, \\ -kA_{ex} \cos(\theta_t) & ; \pi/2 \leq \theta_t < 3\pi/2 \\ kA_{ex} \cos(\theta_t) & ; 3\pi/2 \leq \theta_t < 2\pi \end{cases} \quad (2b)$$

where  $V_{A1}$  and  $V_{A2}$  are assigned to input for  $\pm$ unity-gain amplifiers#1 and  $\pm$ unity-gain amplifiers#2, respectively. Both  $\pm$ unity-gain amplifiers controlled  $\phi_3$  and  $\phi_4$  are employed to control the phase of output signals  $V_s$  and  $V_c$  according to the sine and cosine envelopes of  $\theta_t$ . Finally, the signals  $V_s$  and  $V_c$  result in

$$V_s = kA_{ex} \sin(\theta_t) \quad (3a)$$

$$V_c = kA_{ex} \cos(\theta_t) \quad (3b)$$

Fig. 2(b) shows waveform sketches at various points of proposed demodulator.

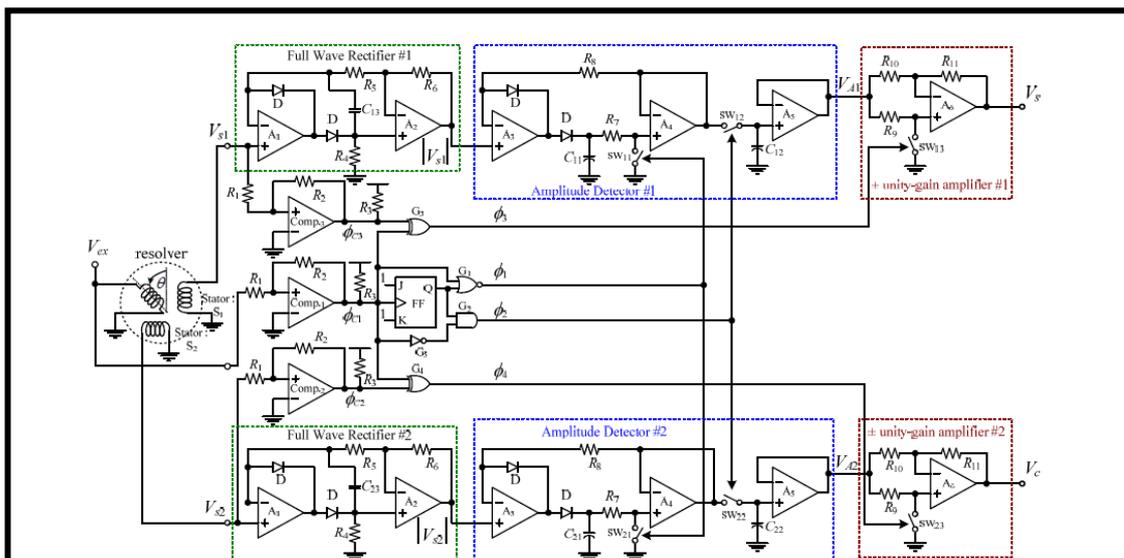
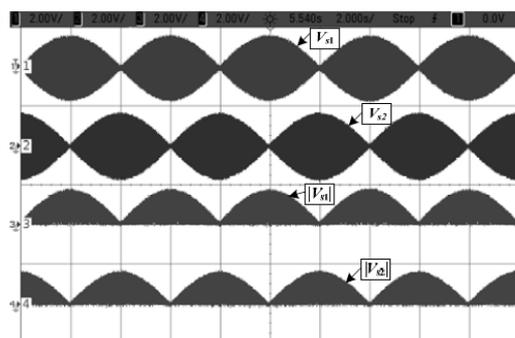


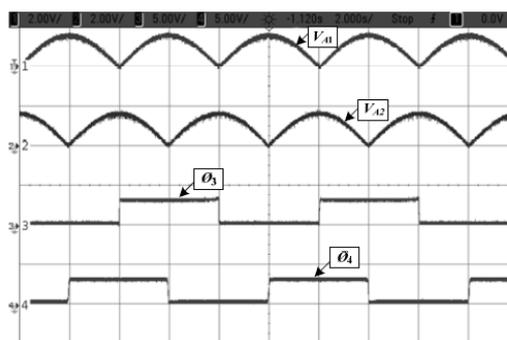
Fig. 3 Overall resolver-signal demodulator.

### 3. EXPERIMENTAL RESULTS

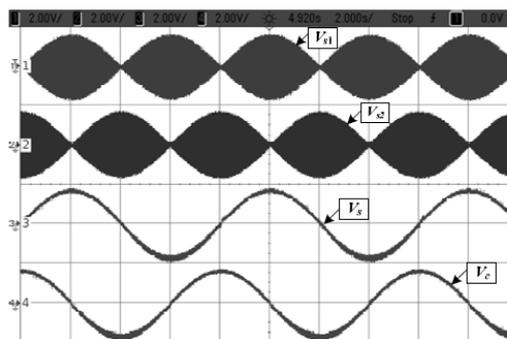
Based on the simple circuit diagram in Fig. 2(a), the possible implementation circuit is shown in Fig. 3. To verify the performances of the proposed demodulator, the circuit as shown in Fig. 3 was implemented on the breadboard. A synchro resolver (Sanyo Denki, 101-4100) driven by a variable speed dc motor was used as an illustrative case study. The frequency of the excitation signal equals 3 kHz. The comparators Comp<sub>1</sub>-Comp<sub>3</sub> were constructed by using LM319 ICs. CMOS-gate components were selected for all logic gates. OP07, DIN4148, and CD4066BC devices were used for op-amps, diode and analog-switches, respectively. Resistors were chosen as  $R_2=1\text{ M}\Omega$ ,  $R_3=R_5=R_6=1\text{ k}\Omega$ ,  $R_1=R_4=R_8=R_{10}=R_{11}=10\text{ k}\Omega$ ,  $R_7=500\ \Omega$ , and  $R_9=5\text{ k}\Omega$ . Capacitors were chosen as  $C_{11}=C_{21}=0.1\ \mu\text{F}$ ,  $C_{12}=C_{22}=0.01\ \mu\text{F}$ , and  $C_{13}=C_{23}=100\text{ pF}$ .



(a)  $V_{s1}$ ,  $V_{s2}$ ,  $|V_{s1}|$ , and  $|V_{s2}|$



(b)  $V_{A1}$ ,  $V_{A2}$ ,  $\phi_3$ , and  $\phi_4$



(c)  $V_{s1}$ ,  $V_{s2}$ ,  $V_s$ , and  $V_c$

Fig. 4 Measured results of the proposed demodulator.

Fig. 4 shows the measured results gotten from setting the motor speed of 7.5 rpm. It is apparent that the proposed circuit functions correctly and provides the good performances.

#### 4. CONCLUSION

In this paper, a simple demodulator based on sinusoidal-amplitude detector for resolver converters has been presented. Performances of the proposed demodulator are confirmed by the experimental results. It is evident that the circuit produces two output signals proportional to sine and cosine envelopes of resolver-shaft angle without delay time.

#### ACKNOWLEDGMENT

The authors would like to express sincere gratitude to the Office of National Research Council of Thailand (NRCT) and also to the Naresuan University, Faculty of Science, Thailand, for the financial support of this work.

#### REFERENCES

- [1] A. Kaewpoonsuk, W. Petchmaneelumka, T. Kamsri, and V. Riewruja, "A Simple Resolver-to-DC Converter," SICE-ICASE International Joint Conference 2006, Bexco, Busan, Korea, Oct. 18-21, 2006.
- [2] A. Kaewpoonsuk, T. Kamsri, W. Petchmaneelumka, and V. Riewruja, "A Full-Range-360° Resolver-to-DC Converter," ICASE International Conference on Control, Automation and Systems 2007, COEX, Seoul, Korea, Oct. 17-20, 2007.
- [3] A. Kaewpoonsuk, W. Petchmaneelumka, A. Rerkkratn, A. Tammaruckwattana, and V. Riewruja, "A Novel Resolver-to-DC Converter Based on OTA-based Inverse-Sine Function Circuit," SICE Annual Conference 2008, The University Electro-Communications, Japan, Aug. 20-22, 2008.
- [4] M. Benammar, L. Ben-Brahim, and M. A. Alhamadi, "A Novel Resolver-to-360° Linearized Converter," IEEE Sensors J., vol. 4, no. 1, pp. 96-101, Feb. 2004.
- [5] M. Benammar, L. Ben-Brahim, and M. A. Alhamadi, "A High Precision Resolver-to-DC Converter," IEEE Transactions on Instrumentation and Measurement, vol. 54, no. 6, pp. 2289-2296, Dec. 2005.
- [6] L. Ben-Brahim, M. Benammar, M. A. Alhamadi, N. A. Al-Emadi, and M. A. Al-Hitmi, "A new low cost linear resolver converter," IEEE Sensors J., vol. 8, no. 10, pp. 1620-1627, Oct. 2008.
- [7] L. Ben-Brahim, M. Benammar, and M. A. Alhamadi, "A Resolver Angle Estimator Based on its Excitation Signal," IEEE Transactions on Electronics, vol. 56, no. 2, pp. 574-580, Feb. 2009.
- [8] P. Raksachat, A. Chaikla, A. Kaewpoonsuk, V. Riewruja and P. Julsereewong, "An amplitude detector for variable frequency sinusoidal signals,"

SICE-ICASE International Joint Conference 2006, Bexco, Busan, Korea, Oct. 18-21, 2006.



## บันทึกข้อความ

ส่วนราชการ สำนักงานอธิการบดี กองบริหารการวิจัย งานส่งเสริมและเผยแพร่ผลงานวิจัย โทร. 8641

ที่ ศอ 0527.01.33(3)/ว1956

วันที่ 7 กรกฎาคม 2554

เรื่อง ตอบรับการนำเสนอผลงานทางวิชาการ การประชุมทางวิชาการ “นเรศวรวิจัย” ครั้งที่ 7

เรียน ดร.อนุชา แก้วพูลสุข

ตามที่ท่านสมัครเข้าร่วมนำเสนอผลงาน ในการประชุมทางวิชาการ “นเรศวรวิจัย” ครั้งที่ 7 “ก้าวสู่ทศวรรษที่ 3 : มุ่งมั่นงานวิจัย พัฒนาชาติไทยให้อยั่งยืน” ในระหว่างวันที่ 29 - 30 กรกฎาคม 2554 ณ มหาวิทยาลัยนเรศวร จังหวัดพิษณุโลก นั้น

ในการนี้ คณะกรรมการฝ่ายจัดการนำเสนอผลงาน Oral Presentation / Poster Presentation ได้พิจารณาผลงานของท่านเป็นที่เรียบร้อยแล้ว และขอแจ้งให้ทราบว่าผลงานวิจัยของท่านได้รับการคัดเลือกให้นำเสนอผลงาน ในการประชุมทางวิชาการ “นเรศวรวิจัย” ครั้งที่ 7 สำหรับขั้นตอนการพิจารณาผลงานเพื่อตีพิมพ์ลงใน Proceedings / Abstracts นั้น ขณะนี้กำลังดำเนินการให้ผู้ทรงคุณวุฒิพิจารณาผลงาน หากได้รับผลการพิจารณาจากผู้ทรงคุณวุฒิแล้ว คณะกรรมการ จัดดำเนินการแจ้งให้ทราบต่อไป

ทั้งนี้ ได้ส่งแบบฟอร์มยืนยัน รายละเอียดการประชุมทางวิชาการ “นเรศวรวิจัย” ครั้งที่ 7 ท่านสามารถตรวจสอบความถูกต้องในการเข้าร่วมประชุมทางวิชาการ หากมีการเปลี่ยนแปลงแก้ไขรายละเอียดให้แจ้งกลับภายในวันที่ 14 กรกฎาคม 2554 โดยสามารถส่งแบบยืนยันมาได้ที่ กองบริหารการวิจัย มหาวิทยาลัยนเรศวร หรือทาง E-mail : drag@nu.ac.th หรือทางโทรศัพท์ 0-5596-8641 สำหรับกำหนดการนำเสนอและรายละเอียดการเตรียมข้อมูลการนำเสนอ ท่านสามารถตรวจสอบได้ทางเว็บไซต์ <http://www.research.nu.ac.th/NURC7> ตั้งแต่วันศุกร์ที่ 8 กรกฎาคม 2554 เป็นต้นไป

จึงเรียนมาเพื่อโปรดทราบ

(รองศาสตราจารย์ ดร.สุชกิจ ยะโสธรศรีกุล)

รองอธิการบดีฝ่ายวิจัยและวิเทศสัมพันธ์

# นเรศวรวิจัย 7



## วงจรถ่ายค่าแอมพลิจูดโดยใช้วงจรกรองความถี่ผ่านหมดทำหน้าที่เป็นตัวสร้างสัญญาณควบคุม

อนุชา แก้วพูลสุข

กลุ่มวิจัยฟิสิกส์อิเล็กทรอนิกส์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร พิษณุโลก 65000

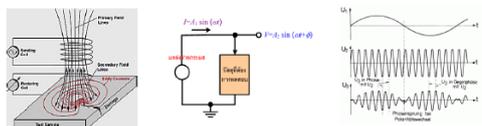
### บทคัดย่อ

ในที่นี้เป็นนารนำเสนอการสังเคราะห์วงจรถ่ายค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่มีการทำงานรวดเร็ว เทคนิคที่ใช้เป็นการอาศัยสมบัติการเลื่อนเฟสของวงจรกรองความถี่ผ่านหมด ซึ่งได้นำมาต่อยอดกับวงจรถ่ายค่าแอมพลิจูดสำหรับสร้างสัญญาณควบคุมสองสัญญาณ เพื่อใช้ควบคุมจังหวะการทำงานของวงจรถ่ายค่าแอมพลิจูดและวงจรถ่ายค่าสัญญาณ เอาต์พุตของวงจรถ่ายค่าแอมพลิจูดเป็นสัญญาณไฟตรงที่มีขนาดขึ้นอยู่กับค่าแอมพลิจูดของสัญญาณอินพุตที่เป็นสัญญาณรูปไซน์ โดยใช้เวลารอคอยที่วัดในแต่ละรอบเท่ากับหนึ่งคาบของสัญญาณอินพุต การทดสอบสมบัติการทำงานของวงจรถ่ายค่าได้ใช้วิธีต่าง ๆ ต่อกับกับบนบอร์ดทดลอง ซึ่งผลที่ได้พิสูจน์ว่าวงจรถ่ายค่าที่พัฒนาขึ้นสามารถทำงานได้อย่างรวดเร็ว โดยสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดค่าสูงสุดประมาณเท่ากับ 200 มิลลิโวลต์ มีค่าขนาดความผิดพลาดสูงสุดในการทำงานเท่ากับ 1.8 เปอร์เซ็นต์จากค่าเต็มสเกลเท่ากับ 5 โวลต์ ค่าความถี่ใช้งานสูงสุดของสัญญาณอินพุตมีค่าโดยประมาณเท่ากับ 170 กิโลเฮิร์ตซ์

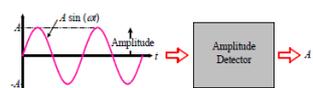
คำสำคัญ : วงจรถ่ายค่าแอมพลิจูด, วงจรถ่ายค่าสัญญาณ, วงจรกรองความถี่ผ่านหมด, วงจรเลื่อนเฟสสัญญาณ

### 1. บทนำ

ตัวรับรู้ (sensor) บางชนิดเช่นตัวรับรู้ตำแหน่งที่อาศัยหลักการเปลี่ยนแปลงค่าความเหนี่ยวนำไฟฟ้า หรืออาศัยหลักการเปลี่ยนแปลงค่าความจุไฟฟ้าที่ใช้ในระบบการวัดและควบคุมจะใช้วิธีการจ่ายสัญญาณรูปไซน์เพื่อเป็นอินพุตให้กับตัวรับรู้ โดยที่ตัวรับรู้ดังกล่าวจะให้ออกสัญญาณเอาต์พุตออกมาในรูปของสัญญาณรูปไซน์ที่มีความถี่เท่าเดิมแต่มีค่าแอมพลิจูดเปลี่ยนแปลงไปตามปริมาณที่ต้องการตรวจวัด ในงานนี้เป็นการสังเคราะห์วงจรถ่ายค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์เอาต์พุตที่ได้จากตัวรับรู้ดังกล่าวรวมทั้งการนำไปประยุกต์ใช้ประมวลผลสัญญาณในระบบอิเล็กทรอนิกส์อื่น ๆ



รูป 1 ตัวอย่างการตรวจจับค่าแอมพลิจูด

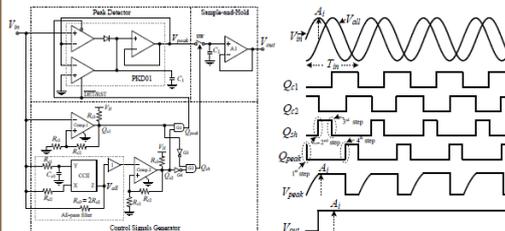


รูป 2 วงจรถ่ายค่าแอมพลิจูด

### 2. แนวคิดและหลักการพัฒนาออกแบบวงจร

รูป 3 แสดงโครงสร้างวงจรและแผนภาพเวลาของสัญญาณที่สำคัญของวงจรถ่ายค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ได้พัฒนาขึ้นในครั้งนี้ ซึ่งประกอบด้วยวงจรถ่ายค่าสัญญาณ, วงจรสุ่มและคงค่าสัญญาณ และวงจรถ่ายค่าสัญญาณควบคุมโดยใช้วงจรกรองความถี่ผ่านหมดเป็นพื้นฐานในการออกแบบ การทำงานในแต่ละรอบแบ่งออกได้เป็น 4 ขั้นตอนดังนี้คือ

- ลำดับที่ 1: สัญญาณควบคุม  $O_{peak}$  เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่ออนุญาตให้วงจรถ่ายค่าสัญญาณเริ่มทำงาน ซึ่งหลังจากเวลา  $T_{off}/4$  จะได้เอาต์พุตของวงจรถ่ายค่าสัญญาณเป็นค่าแอมพลิจูดของสัญญาณอินพุต
- ลำดับที่ 2: สัญญาณควบคุม  $O_{off}$  เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อควบคุมให้วงจรถ่ายค่าสัญญาณปิดรับค่าเอาต์พุตของวงจรถ่ายค่าสัญญาณไปเป็นเอาต์พุตของวงจร
- ลำดับที่ 3: สัญญาณควบคุม  $O_{off}$  เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่อควบคุมให้วงจรถ่ายค่าสัญญาณทำการหยุดรับค่าจากวงจรถ่ายค่าสัญญาณพร้อมทั้งรักษาระดับค่าของสัญญาณเดิมไว้ให้มีความถี่ที่ต่อเนื่องกันจะมีการเปิดรับข้อมูลใหม่ในรอบการทำงานถัดไป
- ลำดับที่ 4: สัญญาณควบคุม  $O_{peak}$  เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อรีเซ็ตค่าเอาต์พุตเดิมของวงจรถ่ายค่าสัญญาณ สำหรับการเตรียมความพร้อมในรอบการทำงานใหม่

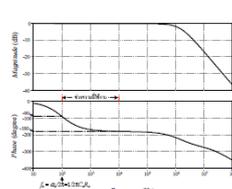


รูป 3 วงจรถ่ายค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ และแผนภาพสัญญาณที่สำคัญ

### 3. ผลการทดสอบการทำงาน

การเลือกเฟืองของวงจรถ่ายค่าแอมพลิจูด

ลำดับที่	พารามิเตอร์	ค่าความถี่สัญญาณอินพุต สัญญาณที่ $f_{in}$ (kHz)	$\theta_{in} = -90^\circ$	$\theta_{in} = -135^\circ$	$\theta_{in} = -179^\circ$	ช่วงความถี่ใช้งาน $\theta_{in} = -90^\circ$ ถึง $-179^\circ$ (เดซิเบล)
1	$C_1$ (nF)	1.599	1	23.33	100	2
2	$R_1$ (kΩ)	1.599	10	230.51	1 k	2
3	$R_2$ (kΩ)	1.599	100	2.33 k	10 k	2
4	$R_3$ (kΩ)	1.599	1 k	19.99 k	42.87 k	1.63
5	$R_4$ (kΩ)	1.599	10 k	119.80 k	159.25 k	1.20
6	$R_5$ (kΩ)	1.599	95.51 k	490.92 k	538.34 k	0.75
7	$R_6$ (kΩ)	1.599	719.88 k	2.04 M	2.16 M	0.40

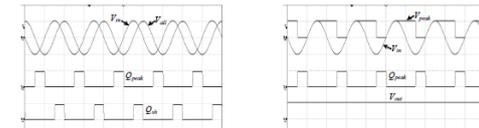


ตัวเก็บประจุที่เหมาะสมของวงจรถ่ายค่าแอมพลิจูด

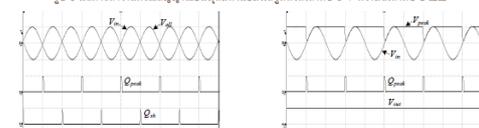
ค่าตัวเก็บประจุ (nF)	ช่วงความถี่ใช้งาน (kHz)	$f_{cutoff}$	$f_{max}$
0.1	70	170	
0.143	10	110	
1	0.3	30	
10	0.1	1.5	
20	0.001	0.1	

รูป 4 ผลตอบสนองทางความถี่ของวงจรถ่ายค่าแอมพลิจูด

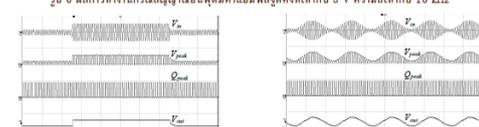
เมื่อกำหนด  $f_c = \omega_c / 2\pi = 1/(2\pi C_1 R_1) = 100$  Hz



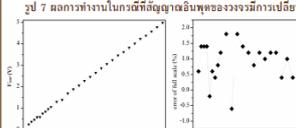
รูป 5 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 1 kHz



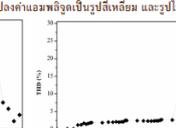
รูป 6 ผลการทำงานกรณีสัญญาณอินพุตมีค่าแอมพลิจูดคงที่เท่ากับ 5 V ความถี่เท่ากับ 10 kHz



รูป 7 ผลการทำงานในกรณีสัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดเป็นรูปสี่เหลี่ยม และรูปไซน์



รูป 8 ผลการแปรค่าแอมพลิจูดของสัญญาณอินพุต



รูป 9 ผลการวัดค่า THD

ติดต่อขอรายละเอียด : โทรสารวิจัยที่ได้รับทราบมีข้อมูลระบุประเภทจากมหาวิทยาลัยนเรศวร (ข้อมูลถูกเข้ารหัสจากระบบความปลอดภัย ประจำวิจัยประเภท 2555)



ที่ ศธ 0527.04/ว 137

คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร  
อำเภอเมืองฯ พิษณุโลก 65000

22 กุมภาพันธ์ 2554

เรื่อง ตอบรับการนำเสนอผลงาน การประชุมวิชาการ “วิทยาศาสตร์วิจัย” ครั้งที่ 3

เรียน ดร.อนุชา แก้วพูลสุข

ตามที่ท่านได้ส่งผลงานวิจัยเพื่อนำเสนอในการประชุมวิชาการ “วิทยาศาสตร์วิจัย” ครั้งที่ 3 ระหว่างวันที่ 14-15 มีนาคม 2554 ณ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร และทางคณะกรรมการ ได้พิจารณาผลงานของท่านเรียบร้อยแล้ว นั้น ในกรณีนี้ จึงใคร่ขอแจ้งผลการตอบรับการนำเสนอผลงานทางวิชาการฯ ดังนี้ ท่านได้รับคัดเลือกให้นำเสนอผลงาน

ชื่อผลงาน “การสังเคราะห์วงจรแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัลสำหรับสัญญาณไซบัสซอซด์”

รูปแบบ Poster Presentation

ซึ่งรายละเอียดเกี่ยวกับกำหนดการนำเสนอผลงานท่านสามารถดูได้ทางเว็บไซต์ <http://www.sci.nu.ac.th/src3>

จึงเรียนมาเพื่อโปรดทราบ และขอขอบคุณท่านเป็นอย่างยิ่งที่ให้เกียรติส่งผลงานเข้าร่วมการประชุมวิชาการฯ คราวนี้

ขอแสดงความนับถือ

(ศาสตราจารย์ ดร.สมยศ พลับเที่ยง)

รองคณบดีฝ่ายวิชาการและวิจัย ปฏิบัติราชการแทน  
คณบดีคณะวิทยาศาสตร์

งานบริการการศึกษา หน่วยวิจัย

โทรศัพท์ 0-5596-3171

โทรสาร 0-5596-3145



# การสังเคราะห์วงจรแปลงค่าแอมพลิจูด เป็นสัญญาณดิจิทัลสำหรับสัญญาณไซน์ซอซด์

## Synthesis of Amplitude-to-Digital Converter for Sinusoidal Signals

อนุชา แก้วพุดสุข และ รัชฎู กัดมัน

ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนครสวรรค์ จ.พิจิตร 65000 anuchak@nu.ac.th



**บทคัดย่อ**

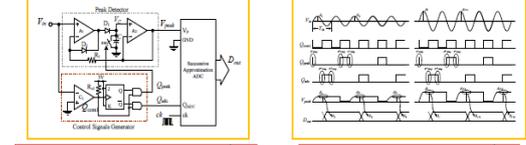
โครงการนี้เป็นการพัฒนาออกแบบวงจรค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลสองวงจร โดยเทคนิคการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ในวงจรแบบแรกนั้นเป็นการอาศัยเทคนิคแบบการประมาณค่าสี่บิตเนื่อง วงจรแบบที่สองเป็นการอาศัยเทคนิคการติดตามค่า แนวคิดการออกแบบเป็นการใช้เทคนิคฟลิปฟล็อปสำหรับพัฒนาเป็นวงจรตรรกะเพื่อใช้ควบคุมการทำงานของวงจรตรวจจับค่ายอดสัญญาณและวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล เอาต์พุตของแต่ละวงจรจะอยู่ในรูปแบบของสัญญาณดิจิทัลขนาด 12 บิต ซึ่งมีค่าแปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุต การทดสอบสมบัติการทำงานของวงจรทั้งสองด้วยสัญญาณอินพุตที่มีความถี่ตั้งแต่ 1 เฮิรตซ์ ถึง 125 กิโลเฮิรตซ์ พบว่าวงจรสามารถทำงานได้อย่างถูกต้อง โดยมีช่วงปฏิบัติการทางขนาดเท่ากับ 500 มิลลิโวลต์ ถึง 5 โวลต์

**ที่มาและความสำคัญ**

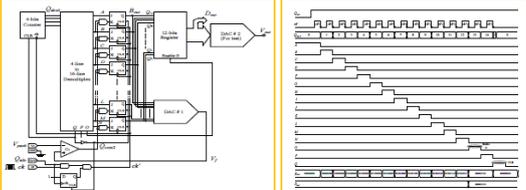
วงจรค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ เป็นวงจรที่มีประโยชน์และสำคัญมากวงหนึ่งในระบบอิเล็กทรอนิกส์ หน้าทีของวงจรถ่ายค่าแอมพลิจูดคือการใช้สัญญาณเอาต์พุตที่เป็นสัดส่วนโดยตรงกับค่าแอมพลิจูดของอินพุตซึ่งเป็นสัญญาณรูปไซน์ ที่นำมาได้มีการศึกษาวิจัยเพื่อพัฒนาออกแบบวงจรถ่ายค่าแอมพลิจูดอย่างต่อเนื่อง ต่อมาคณะผู้วิจัยได้พัฒนาออกแบบวงจรถ่ายค่าแอมพลิจูดที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลขนาด 8 บิต เพื่อนำไปประยุกต์ใช้ร่วมกับตัวประมวลผลหรือภาคแสดงแบบดิจิทัล เทคนิคการแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลเป็นการอาศัยหลักการนับ ซึ่งมีจุดคืออยู่ที่มีความสำคัญในการทำงานโดยเฉพาะอย่างยิ่งหากต้องการเพิ่มความละเอียดให้มีค่าสูงขึ้น ในโครงการนี้คณะผู้วิจัยได้แสดงถึงการพัฒนารับปรุงการออกแบบวงจรถ่ายค่าแอมพลิจูดสำหรับสัญญาณไซน์ซอซด์ที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลแบบใหม่สองวงจร โดยใช้เทคนิคการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล เอาต์พุตของแต่ละวงจรจะอยู่ในรูปของสัญญาณดิจิทัลขนาด 12 บิต ซึ่งมีค่าแปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุต

**วัสดุอุปกรณ์และวิธีการ**

**วงจรแบบที่หนึ่ง** วงจรค่าแอมพลิจูดสำหรับสัญญาณไซน์ซอซด์ โดยใช้เทคนิคการประมาณค่าสี่บิตเนื่อง

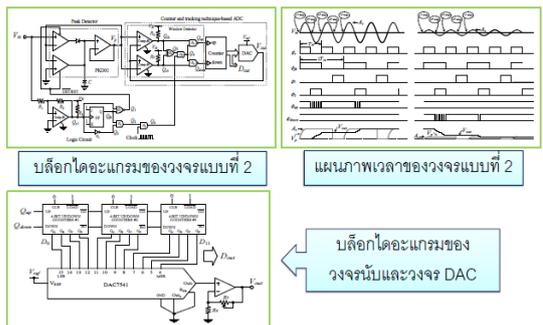


บล็อกไดอะแกรมของวงจรแบบที่ 1      แผนภาพเวลาของวงจรแบบที่ 1



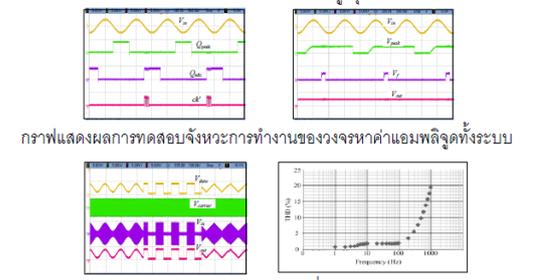
โครงสร้างวงจร ADC      แผนภาพเวลาของวงจร ADC

**วงจรแบบที่สอง** วงจรหาค่าแอมพลิจูดสำหรับสัญญาณไซน์ซอซด์ โดยใช้เทคนิคการติดตามค่า



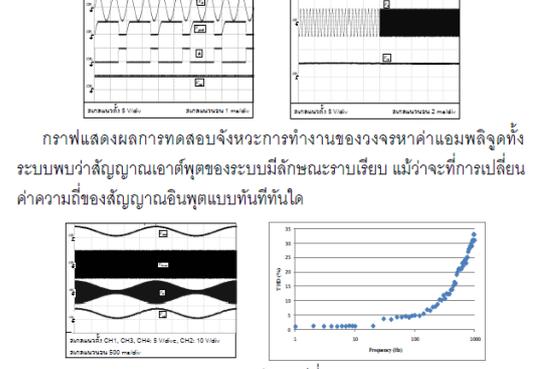
**ผลการทดสอบการทำงานและการวิเคราะห์ผล**

**ผลการทดสอบการทำงานของวงจรแบบที่หนึ่ง**  
จากผลการทดสอบวงจรตรวจจับค่ายอดสัญญาณพบว่าเมื่อสัญญาณอินพุตมีค่าความถี่ต่ำจะต้องใช้ตัวเก็บประจุที่มีค่าสูง และเมื่อสัญญาณอินพุตมีความถี่สูงขึ้นต้องใช้ตัวเก็บประจุที่มีค่าต่ำลง และจากผลการทดสอบสมบัติการทำงานของวงจร ADC ค่าผิดพลาดในการทำงานของวงจรมีค่าสูงสุดประมาณ  $\pm 13$  มิลลิโวลต์



กราฟแสดงผลการทดสอบประสิทธิภาพการทำงานของวงจรถ่ายค่าแอมพลิจูดทั้งระบบ  
กราฟแสดงผลการทำงานของวงจรในกรณีที่อินพุตของวงจรเกิดการมอดูเลตกันทางขนาดระหว่าง  $V_{carrier}$  ความถี่ 50 กิโลเฮิรตซ์กับ  $V_{data}$  ที่มีรูปร่างต่าง ๆ และกราฟแสดงผลการวัดค่ารวมความผิดพลาดเพี้ยนฮาร์โมนิก

**ผลการทดสอบการทำงานของวงจรแบบที่สอง**



กราฟแสดงผลการทดสอบประสิทธิภาพการทำงานของวงจรถ่ายค่าแอมพลิจูดทั้งระบบพบว่าสัญญาณเอาต์พุตของระบบมีลักษณะราบเรียบ แม้ว่าจะมีการเปลี่ยนค่าความถี่ของสัญญาณอินพุตแบบทันทีทันใด



**ภาคผนวก ค**  
**ประวัติหัวหน้าโครงการวิจัย**



1. ชื่อ - นามสกุล  
นายอนุชา แก้วพูลสุข (Mr.Anucha Kaewpoonsuk)
2. ตำแหน่งปัจจุบัน  
อาจารย์
3. หน่วยงานและสถานที่อยู่ติดต่อได้สะดวก  
ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร  
ต.ท่าโพธิ์ อ.เมือง จ.พิษณุโลก 65000  
หมายเลขโทรศัพท์ 081-8906733, 055-963501-2 และ 055-963548  
โทรสาร 055-963502 e-mail : anuchak@nu.ac.th
4. ประวัติการศึกษา  
2551 : วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
2544 : วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
2540 : วิทยาศาสตร์บัณฑิต สาขาวิชาฟิสิกส์-คอมพิวเตอร์และ -  
อิเล็กทรอนิกส์ มหาวิทยาลัยนเรศวร
5. สาขาวิชาการที่มีความชำนาญพิเศษ
  - การพัฒนางจรอิเล็กทรอนิกส์สำหรับระบบควบคุมและเฝ้าตรวจวัดด้วย -  
คอมพิวเตอร์
  - การออกแบบและการประยุกต์ใช้เซนเซอร์สำหรับการพัฒนาเครื่องมือวัด
  - การออกแบบและพัฒนาชุดปฏิบัติการทดลองด้านฟิสิกส์