



รายงานวิจัยฉบับสมบูรณ์

โครงการ การสังเคราะห์วงจรหาค่าแอมพลิจูดของสัญญาณไซน์ซอชยด์

Synthesis of Amplitude Detector for Sinusoidal Signals

โดย อรุชา แก้วพูลสุข และคณะ

ธันวาคม 2554

รายงานวิจัยฉบับสมบูรณ์

โครงการ การสังเคราะห์วงจรถ้าแอมพลิจูดของสัญญาณไซน์ชอยด์

Synthesis of Amplitude Detector for Sinusoidal Signals

คณะผู้วิจัย สังกัด

- อนุชา แก้วพลสุข¹ (หัวหน้าโครงการ)
- ธวัชชัย คำศรี²

¹ อาจารย์ ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร

² นักวิจัย สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ

สนับสนุนโดยกองทุนวิจัยมหาวิทยาลัยนเรศวร

กิตติกรรมประกาศ

โครงการวิจัยนี้สำเร็จลุล่วงได้ คณะผู้วิจัยขอขอบคุณกองทุนวิจัย (ทุนงบประมาณแผ่นดิน) มหาวิทยาลัยนเรศวร ที่ได้ให้การสนับสนุนงบประมาณดำเนินงาน ขอขอบคุณคณะวิทยาศาสตร์ ขอขอบคุณภาควิชาฟิสิกส์ ซึ่งเป็นต้นสังกัดของผู้วิจัยที่ได้ให้การส่งเสริมการดำเนินการวิจัยของบุคลากรด้วยดี ขอขอบคุณรองศาสตราจารย์ ดร.วันชัย ธีรจุฑา ที่ได้ให้คำปรึกษา คำแนะนำตลอดการดำเนินการวิจัย

อนุชา แก้วพูลสุข
(หัวหน้าโครงการวิจัย)

บทคัดย่อ

จุดประสงค์หลักของโครงการวิจัยนี้เป็นการพัฒนาออกแบบวงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์แบบแปรค่าความถี่ของสัญญาณอินพุตได้ 2 ลักษณะคือแบบที่ให้เอาต์พุตเป็นสัญญาณดิจิทัลและแบบที่ให้เอาต์พุตเป็นสัญญาณแอนะล็อก นอกจากนี้ยังเป็นการเพิ่มพูนประสบการณ์การวิจัยให้กับผู้ช่วยนักวิจัยในโครงการซึ่งเป็นนักศึกษาระดับบัณฑิตศึกษาคณะวิทยาศาสตร์ มหาวิทยาลัยนเรศวร ผลการดำเนินงานคณะผู้วิจัยได้ร่วมกันพัฒนาออกแบบวงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ขึ้นทั้งหมด 3 วงจร โดยแต่ละวงจรจะให้สัญญาณเอาต์พุตที่แปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุตซึ่งเป็นสัญญาณแบบแอนะล็อก นอกจากนี้ยังได้พัฒนาออกแบบวงจรที่เกี่ยวข้องกับงานหลักอีก 2 วงจร คือวงจรเชื่อมต่อการสำหรับการตรวจวัดค่าแอมพลิจูดของสัญญาณรูปไซน์ และวงจรตีมอดูเลเตอร์สำหรับตัวแปลงสัญญาณรีโซลเวอ์ จากผลการทดสอบคุณสมบัติการทำงานเป็นการยืนยันว่าแต่ละวงจรที่ได้พัฒนาออกแบบขึ้นสามารถทำงานได้อย่างสอดคล้องกับหลักการที่นำเสนอ

ABSTRACT

The main objective of this research is to propose the design of the digital-output and analog-output amplitude detector for variable frequency sinusoidal signals. Moreover, this work is used to enhance experience for, researcher-assistant of project, graduate students of faculty of science, Neresuan University. Three implementation circuits are proposed. All circuits can produce the output signal proportionally to the amplitude of the analog input signals. In addition, two related circuits, an interface circuit for measuring amplitude of sinusoidal signals and an amplitude detector-based demodulator for resolver converter, are implemented. Experimental results verifying the performances of each proposed circuit are in agreement with the expected values.