บทที่ 4
วงจรตรวจวัดค่าแอมพลิจูดโดยใช้เทคนิคการนับและติดตามค่า

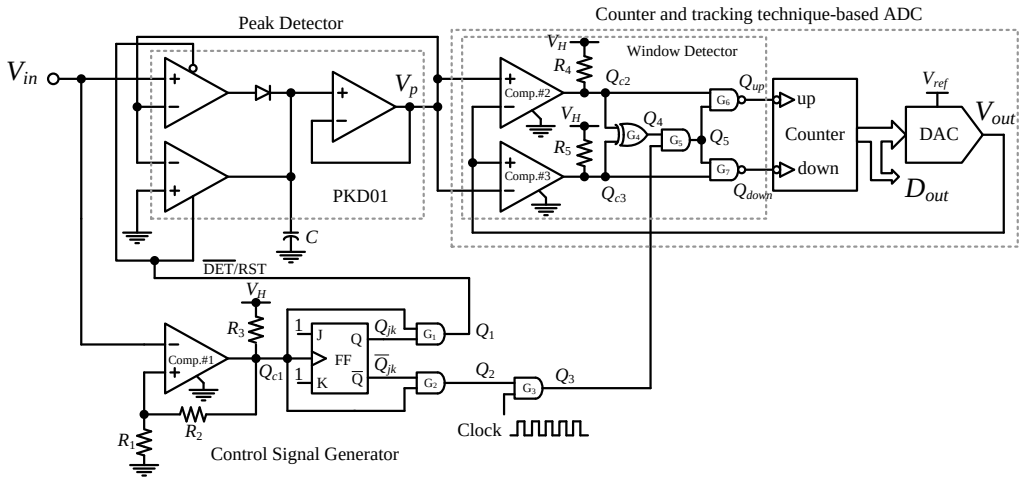
ภายในบทนี้อธิบายถึงการออกแบบและพัฒนาวงจรตรวจวัดค่าแอมพลิจูดที่มีโครงสร้างเรียบง่ายสำหรับสัญญาณอินพุตรูปไซน์ หลักการของวงจรเป็นการอาศัยความสามารถในการนับขึ้น–นับลง และการจดจำค่าของวงจรนับโดยไม่จำเป็นต้องใช้วงจรกรองความถี่ต่ำผ่านหรือวงจรสุ่มและคงค่าสัญญาณต่อร่วม โครงสร้างทั้งหมดของวงจรที่ได้พัฒนาขึ้นประกอบด้วยวงจรกลุ่มย่อยดังนี้คือ วงจรสร้างสัญญาณควบคุม วงจรตรวจจับค่ายอดสัญญาณ วงจรเปรียบเทียบแบบวินโดวส์ วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก และวงจรนับขึ้น–นับลง โดยในส่วนสามวงจรหลังทำหน้าที่ร่วมกันเป็นวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่อาศัยหลักการนับและติดตามค่าขนาด 12 บิต เอาต์พุตที่ได้จากวงจรมีทั้งสัญญาณที่เป็นแบบแอนะล็อกและที่เป็นแบบดิจิทัล โดยสัญญาณทั้งสองจะเป็นค่าที่แปรผันตรงกับค่าแอมพลิจูดของสัญญาณอินพุต ซึ่งมีอัตราการกระเพื่อมต่ำ

4.1 วงจรและหลักการทำงานของวงจรที่ได้พัฒนาออกแบบขึ้น

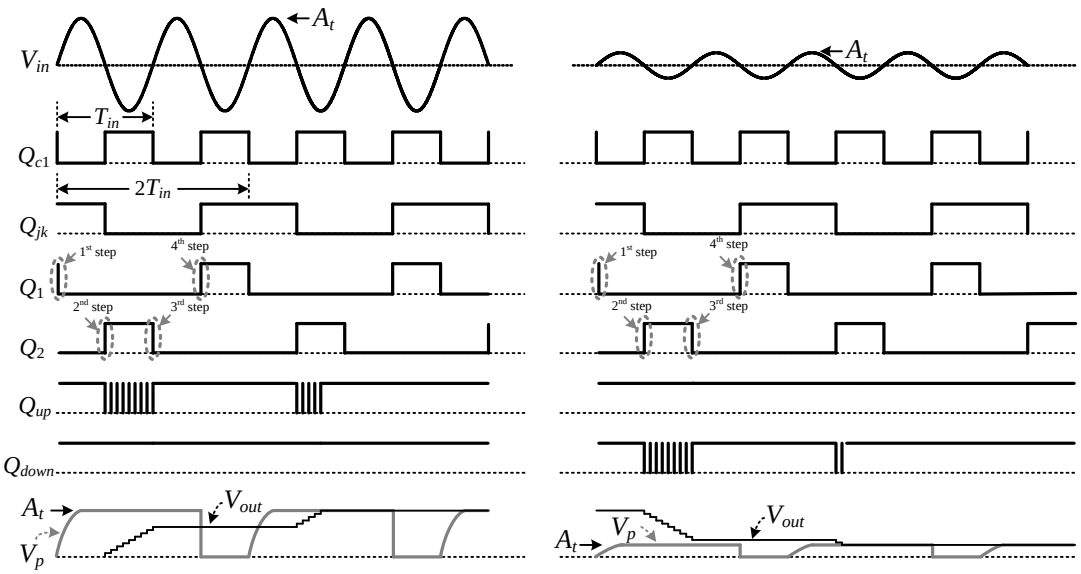
ภาพ 4.1 แสดงวงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ได้พัฒนาขึ้นในบทนี้ โครงสร้างของวงจรประกอบด้วยวงจรสร้างสัญญาณควบคุม (Control Signal Generator) วงจรตรวจจับค่ายอดสัญญาณ (Peak Detector) วงจรเปรียบเทียบแบบวินโดวส์ (window detector) วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Digital–to–Analog Converter; DAC) และวงจรนับขึ้น–นับลง (Up/Down Counter) โดยในส่วนสามวงจรหลังทำหน้าที่ร่วมกันเป็นวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่อาศัยหลักการนับและติดตามค่า (Counter and Tracking ADC) สมมุติให้อินพุตของวงจรเป็นสัญญาณแรงดันที่มีค่าเท่ากับ

$$V_{in} = A_t \sin 2\pi f_{in} t = A_t \sin(2\pi t / T_{in}) \qquad (4.1)$$

เมื่อ A_t, f_{in} และ T_{in} คือค่าแอมพลิจูด ค่าความถี่ และค่าคาบเวลาของสัญญาณอินพุตตามลำดับ



ภาพ 4.1 วงจรตรวจวัดค่าแอมพลิจูดใช้เทคนิคการนับและติดตามค่าที่ได้พัฒนาขึ้น



(ก) ภาวะเริ่มต้น $V_{out} < A_t$ (ข) ภาวะเริ่มต้น $V_{out} > A_t$

ภาพ 4.2 แผนภาพสัญญาณที่สำคัญของวงจรภาพ 4.1

ภาพ 3.2 แสดงแผนภาพเวลาของสัญญาณที่สำคัญของวงจรในภาพ 4.1 ซึ่งการทำงานในแต่ละรอบนั้นจะใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต โดยสามารถแบ่งจังหวะการทำงานออกได้เป็น 4 จังหวะ ดังนี้คือ

จังหวะที่ 1: สัญญาณควบคุม Q_1 เปลี่ยนสถานะจากตรรกะ 1 เป็นตรรกะ 0 เพื่ออนุญาตให้วงจรตรวจจับค่ายอดสัญญาณเริ่มทำงาน ซึ่งหลังจากเวลา $T_{in}/4$ จะได้เอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณเป็น

$$V_p = A_t \tag{4.2}$$

จังหวะที่ 2: สัญญาณควบคุม Q_2 เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก1 (สัญญาณ Q_1 ยังคงมีสถานะเป็นลอจิก 0) เพื่ออนุญาตให้สัญญาณนาฬิกาภายนอก (clock) สามารถผ่านเข้าไปยังวงจร ADC ได้ วงจรเปรียบเทียบแรงดัน Comp # 2 และ Comp # 3 จะทำหน้าที่เปรียบเทียบค่าแรงดัน V_p และค่าแรงดันเอาต์พุต V_{out} เดิมของวงจร การทำงานของวงจรในส่วนของวงจรเปรียบเทียบแบบวินโดวส์จะแบ่งออกได้เป็นสามกรณีคือ กรณีแรก) $V_p > V_{out}$ ซึ่งจะมีผลทำให้สัญญาณ Q_{up} เป็นสัญญาณที่มีความถี่เท่ากับนาฬิกา เพื่อกระตุ้นให้วงจรนับทำการนับขึ้น โดยที่เอาต์พุต (D_{out}) ของวงจรวงจรนับจะเป็นสัญญาณดิจิทัล ขนาด 12 บิต ซึ่งจะถูกแปลงกลับเป็นสัญญาณแอนะล็อก V_{out} เพื่อนำกลับไปเปรียบเทียบกับแรงดัน V_p, กรณีที่สอง) $V_p < V_{out}$ ซึ่งจะมีผลทำให้สัญญาณ Q_{down} เป็นสัญญาณที่มีความถี่เท่ากับนาฬิกาเพื่อกระตุ้นให้วงจรนับทำการนับลง, กรณีที่สาม) $V_p = V_{out}$ ซึ่งจะมีผลทำให้สัญญาณ Q_{up} และ Q_{down} มีค่าคงที่เป็นลอจิก 1 สำหรับเอ็กซ์คลูซีฟออร์เกต G4 จะทำหน้าป้องกันความผิดพลาดในการทำงานในกรณีที่สัญญาณเอาต์พุตของ Comp # 2 และ Comp # 3 (Q_{c2} และ Q_{c3}) มีสถานะเหมือนกัน

การทำงานของวงจรนับจะหยุดนับเมื่อ $V_{out} = V_p$ หรือเกิดจากสัญญาณ Q_2 เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 ตัววงจรนับจะทำการเก็บรักษาสถานะของสัญญาณเอาต์พุต D_{out} ของตัวเองไว้ ซึ่งจะมีผลทำให้ได้สัญญาณ V_{out} ที่มีขนาดคงที่ ก่อนที่จะมีการทำงานในรอบการทำงานใหม่ถัดไป สำหรับกรณีที่สัญญาณ Q_2 เปลี่ยนสถานะเป็นลอจิก 0 ก่อนที่สัญญาณ V_{out} จะมีค่าเท่ากับ V_p สัญญาณเอาต์พุต D_{out} ของวงจรนับจะถูกเก็บรักษาไว้เช่นเดียวกัน โดยในรอบการทำงานใหม่ตัววงจรนับจะเริ่มนับจากค่าเดิมที่ได้ทำการเก็บรักษาไว้

จังหวะที่ 3: สัญญาณควบคุม Q_2 เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 เพื่อหยุดการทำงานของวงจรนับ โดยสัญญาณนาฬิกาจะไม่สามารถผ่านเข้าไปยังวงจร ADC ได้

จังหวะที่ 4: สัญญาณควบคุม Q_1 เปลี่ยนสถานะจากตรรกะ 0 เป็นตรรกะ 1 เพื่อรีเซ็ตค่าเอาต์พุต V_p เดิมของวงจรตรวจจับค่ายอดสัญญาณ ทั้งนี้เป็นการเตรียมความพร้อมสำหรับรอบการทำงานใหม่ถัดไป

4.2 การวิเคราะห์พารามิเตอร์ที่เกี่ยวข้องกับวงจร

การพัฒนาออกแบบวงจรหาค่าแอมพลิจูดที่ได้ดำเนินการในครั้งนี้อาศัยหลักการที่เหมือนและแตกต่างกับวิธีการเดิมที่ได้เคยพัฒนาขึ้นดังนี้คือ

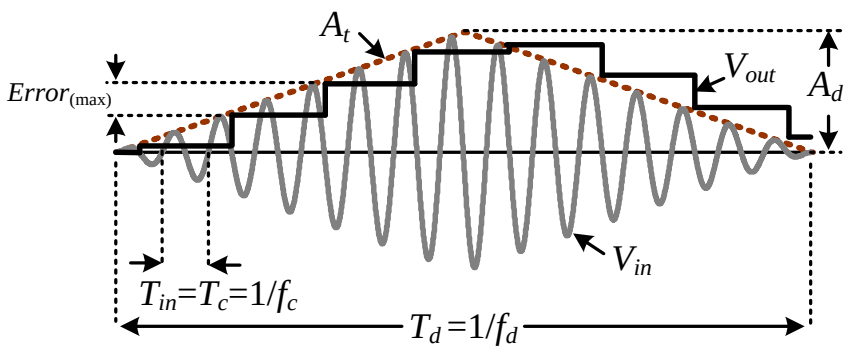
พารามิเตอร์ที่ตรงกับหลักการเดิม :

1. แต่ละรอบการทำงานนั้นจะใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต

2. ค่าผิดพลาดในการทำงานของวงจรในกรณีที่แรงดันอินพุต (V_{in}) ของวงจรเกิดจากการมอดูเลตทางขนาดของสัญญาณที่ต้องการตรวจวัด (A_t) กับสัญญาณความถี่สูงที่เป็นคลื่นพาห์ (carrier) ดังแสดงในภาพ 4.3 โดยเมื่อสมมุติให้ A_t เป็นสัญญาณซ้ำคาบรูปสามเหลี่ยมที่มีขนาดสูงสุดเท่ากับ A_d มีความถี่เท่ากับ f_d คลื่นพาห์มีความถี่เท่ากับ f_d และวงจร ADC สามารถติดตามค่าแอมพลิจูดของสัญญาณ V_{in} ได้ภายใน 1 รอบการทำงาน จะสามารถคำนวณค่าความผิดพลาดสูงสุด ($Error_{(max)}$) ในการทำงานของวงจรได้ดังนี้คือ

$$Error_{(max)} = 4f_d A_d / 2f_c \qquad (4.3)$$

จากสมการที่ (4.3) จะเห็นได้ว่าหากต้องการลดขนาดของค่า $Error_{(max)}$ สามารถทำได้โดยกำหนดให้ $f_c >> f_d$



ภาพ 4.3 ค่าผิดพลาดอันเนื่องมาจากการเปลี่ยนแปลงค่าแอมพลิจูดของสัญญาณอินพุต

3. ค่าความกว้างขั้น (Step Width) หรือขั้นการควอนไทซ์ (Quantizationp Step; *QS*) ของวงจร ADC ซึ่งมีค่าเท่ากับ

$$QS = FS / 2^n \qquad (4.4)$$

เมื่อ n คือจำนวนบิตของวงจรนับภายในวงจร ADC และFS คือค่าเต็มสเกล (Full Scale) ของสัญญาณแอนะล็อกอินพุต จากสมการที่ (4.4) ได้กำหนดให้ n = 12 และ FS = 5 V จะสามารถคำนวณค่า QS ได้เท่ากับ 1.22 mV

พารามิเตอร์ที่แตกต่างกับหลักการเดิม : ทั้งนี้เกิดจากข้อจำกัดในการทำงานของวงจรในส่วนวงจร ADC ซึ่งในที่นี้ได้นิยามเป็นพารามิเตอร์ต่าง ๆ ดังนี้คือ

1. ค่าอัตราสลูว์ (*slew rate*) ของวงจร ADC ซึ่งเป็นค่าอัตราการเปลี่ยนแปลงสูงสุดของสัญญาณ V_{out} ที่วงจรสามารถทำได้ มีค่าดังนี้คือ

$$slew\ rate = f_{ck} FS / 2^n \qquad (4.5)$$

เมื่อ f_{ck} คือค่าความถี่ของสัญญาณนาฬิกาที่ใช้

2. ค่าอัตราการเปลี่ยนแปลงสูงสุดของสัญญาณ V_{out} ภายใน 1 รอบการทำงาน มีค่าเท่ากับ

$$\Delta V_{out(\max)} = slew\ rate(T_{in} / 2) = f_{ck} FS / (2 f_{in} 2^n) \qquad (4.6)$$

3. ค่าเวลา (T_{con}) ที่ใช้สำหรับการเปลี่ยนแปลงค่าของสัญญาณ V_{out} เพื่อไล่ติดตามค่าแรงดัน V_p มีค่าเท่ากับ

$$T_{con} = 2^n \Delta V / (f_{ck} FS) + T_{in} / 2 \quad for \quad |\Delta V| \le \Delta V_{out(\max)} \qquad (4.7a)$$

$$T_{con} = 2^n \Delta V_n / (f_{ck} V_{ref}) + T_{in} / 2 + 2mT_{in} \quad for\ |\Delta V| > \Delta V_{out(\max)} \qquad (4.7b)$$

เมื่อ

$$\Delta V = V_p - V_{out} \quad (4.7c)$$

$$m = \text{int}\,|\Delta V| / \Delta V_{out(\max)} \quad (4.7d)$$

$$\Delta V_n = \Delta V - m\Delta V_{out(\max)} \quad (4.7e)$$

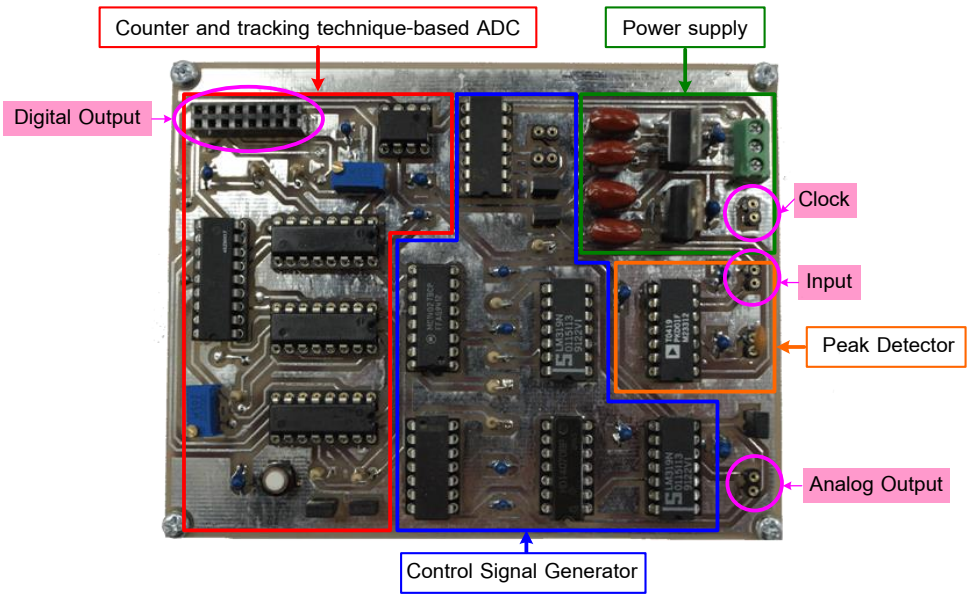
จากสมการที่ (4.5) ถึงสมการที่ (4.7) สมมุติให้ ΔV = 1 V, f_{ck} = 1 MHz, f_{in} = 1 kHz, n=12 และ FS = 5 V จะสามารถคำนวณค่าอัตราสลูว์ได้เท่ากับ 1.2207 V/s ได้ค่า $\Delta V_{out(\max)}$ เท่ากับ 0.61 V และได้ค่า T_{con} เท่ากับ 2.819 ms พิจารณาสมการที่ (4.6) และสมการที่ (4.7) จะเห็นได้ว่าหากต้องการให้ T_{con} มีค่าน้อย ๆ ควรกำหนดให้ $f_{ck} >> f_{in}$

4. ค่าความถี่ของสัญญาณอินพุต เมื่อต้องการให้สัญญาณ V_{out} สามารถไล่ติดตามค่าแรงดัน V_p ได้ภายใน 1 รอบการทำงาน

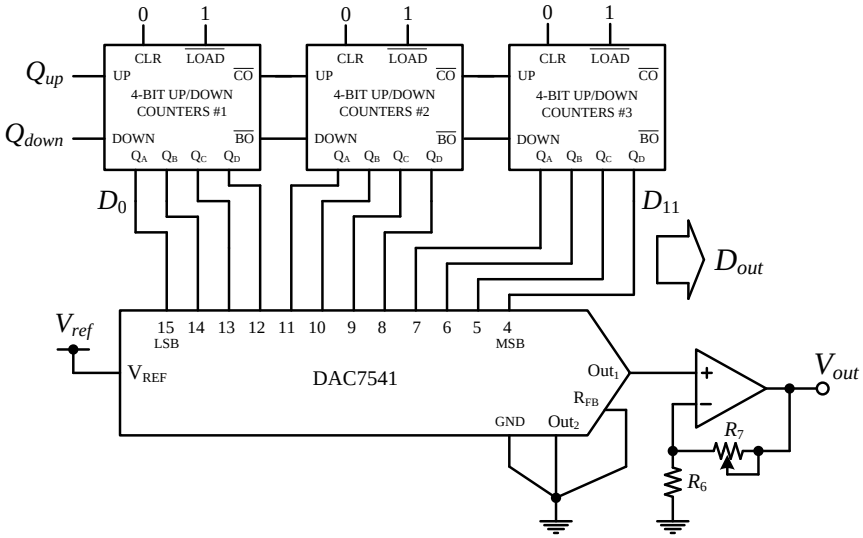
$$f_{in} \leq f_{ck}FS/(2\Delta V_{out(\max)}2^n) \leq f_{ck}FS/(2A_t 2^n) \quad (4.8)$$

4.3 การทดสอบการทำงานของวงจร

จากวงจรในภาพ 4.1 เพื่อเป็นการทดสอบสมบัติการทำงานของวงจรที่ได้ออกแบบขึ้น ผู้วิจัยได้พัฒนาวงจรขึ้นบนแผ่นวงจรพิมพ์ (printed circuit board; PCB) ดังแสดงในภาพ 4.4 โดยวงจรในส่วนของวงจรนับและวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกมีการเชื่อมต่อกันดังแสดงในภาพ 4.5 โดยไอซีของวงจรนับ ไอซีวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก และออปแอมป์ที่ที่ใช้คือเบอร์ 74LS193 เบอร์ DAC7541 และเบอร์ OP37 ตามลำดับ กำหนดแหล่งจ่ายไฟเลี้ยงวงจรเท่ากับ ± 7 V ความถี่ของสัญญาณนาฬิกาเท่ากับ 1MHz ไอซีของวงจรเปรียบเทียบแรงดันทุกตัวที่ใช้คือเบอร์ LM319 ไอซีวงจรตรวจจับค่ายอดสัญญาณเบอร์ PKD01 ใช้ไอซีเจเคฟลิปฟลอปเบอร์ MC14027BCP ไอซีแอนด์เกต เอ็กซ์คลูซีพออร์เกต และแนนด์เกตที่ใช้คือเบอร์ HEF4081BP เบอร์HD14070BP และเบอร์ CD4011BCN ตามลำดับ กำหนดขนาดค่าความต่าง ๆ ดังนี้คือ R_1=R_3=R_4=R_5=R_6=1 kΩ, R_2 = 100 kΩและ R_7 = 5 kΩ (เป็นชนิดปรับค่าได้) ตัวเก็บประจุ C ที่ใช้มีค่าเท่ากับ 100 pF



ภาพ 4.4 วงจรหาค่าแอมพลิจูดบนแผ่นวงจรพิมพ์ที่ได้พัฒนาขึ้น



ภาพ 4.5 วงจรในส่วนของวงจรนับและวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก

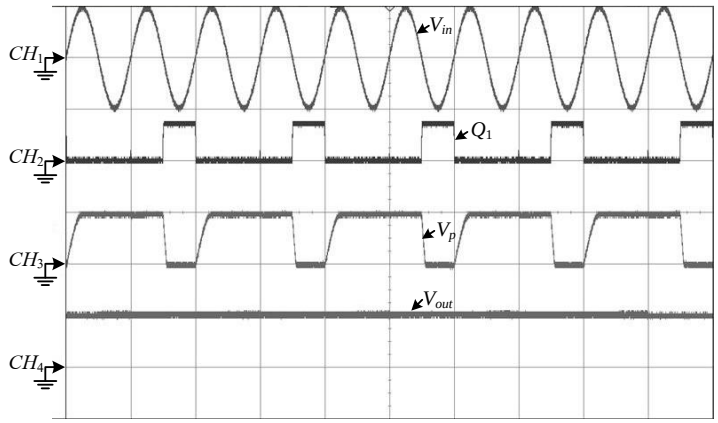
ลำดับการทดสอบการทำงานของวงจรที่ได้พัฒนาขึ้นเริ่มจากการสอบจังหวะการทำงานของวงจรโดยการป้อนสัญญาณแรงดันอินพุตที่มีค่าแอมพลิจูดคงที่ ความถี่เท่ากับ 1 kHz ต่อมาทำการทดลองเพิ่มและลดค่าแอมพลิจูดของสัญญาณอินพุตซึ่งได้ตัวอย่างผลการทำงานดังแสดงในภาพ 4.6 ลำดับที่สองเป็นการทดสอบความถูกต้องในการทำงานโดยการแปรค่า

แอมพลิจูดของสัญญาณอินพุตจาก 0.5 V ถึง 5 V โดยจะได้ผลการวัดขนาดของสัญญาณแรงดันเอาต์พุต V_{out} ดังแสดงในภาพ 4.7 สำหรับในส่วนของสัญญาณเอาต์พุตที่เป็นแบบดิจิทัล D_{out} สามารถแสดงได้ดังตารางที่ 4.1

ลำดับที่สามเป็นการทดลองเปลี่ยนค่าความถี่ของสัญญาณแรงดันอินพุตอย่างทันทีทันใดระหว่างค่าความถี่ 1 kHz และค่าความถี่ 100 kHz ซึ่งได้ผลการทำงานดังแสดงในภาพ 4.8 ลำดับที่สี่เป็นการทดลองป้อนแรงดันอินพุตของวงจรซึ่งเกิดจากการมอดูเลตสัญญาณทางขนาด (amplitude modulation) ระหว่างสัญญาณรูปไซน์ (V_{data}) ความถี่ 1 Hz กับสัญญาณรูปไซน์ ($V_{carrier}$) ความถี่ 50 kHz โดยได้ผลการทำงานดังภาพ 4.9 ต่อจากนั้นทำการแปรค่าความถี่ของสัญญาณ V_{data} และทำการวัดค่าผลรวมความเพี้ยนฮาร์โมนิก (total harmonic distortion; THD) ดังแสดงในภาพ 4.10

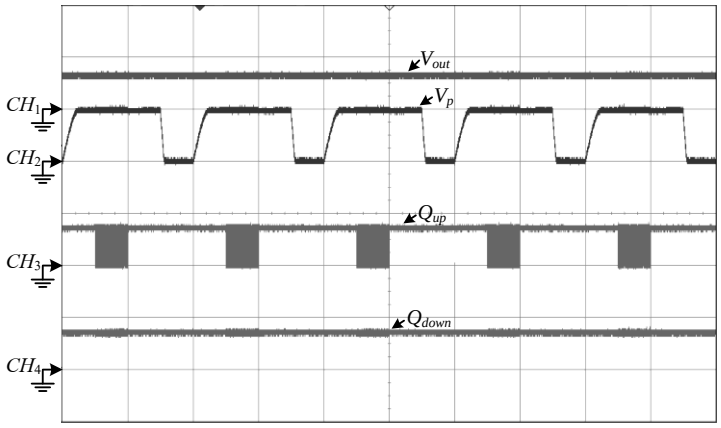
4.4 ผลการทดสอบการทำงานของวงจรและการอภิปรายผล

จากรูปตัวอย่างผลการทดสอบจังหวะการทำงานของวงจรดังภาพ 4.6(ก) จะเห็นได้ว่าสัญญาณ Q_1 จะมีค่าความถี่เป็นครึ่งหนึ่งของสัญญาณแรงดันอินพุต V_{in} และทุกครั้งที่สัญญาณ Q_1 มีสถานะเป็นลอจิก 1 สัญญาณแรงดันเอาต์พุต V_p ของวงจรตรวจจับค่ายอดสัญญาณจะถูกรีเซตค่าให้กลับเป็น 0 V โดยค่าความสูงของสัญญาณแรงดันเอาต์พุต V_{out} ในสภาวะคงตัว (steady state) จะมีค่าเท่ากับความสูงของสัญญาณ V_p ซึ่งมีค่าเท่ากับค่าแอมพลิจูดของสัญญาณแรงดันอินพุต V_{in} พิจารณาภาพ 4.6(ข) ซึ่งเป็นผลจากการปรับค่าแอมพลิจูดของสัญญาณแรงดันอินพุตที่เข้ามาใหม่มีค่ามากกว่าแรงดันเอาต์พุตเดิมของวงจร ผลที่ได้คือค่าความสูงของสัญญาณ V_p (มีค่าเท่ากับค่าแอมพลิจูดของสัญญาณแรงดันอินพุต) มีค่าสูงกว่าสัญญาณ V_{out} เป็นผลทำให้สัญญาณ Q_{up} มีค่าความถี่เท่ากับค่าความถี่ของสัญญาณนาฬิกาภายนอกที่ใช้ ทุก ๆ รอบการทำงาน เพื่อทำให้วงจรนับทำการนับขึ้นจนกว่า V_{out} จะมีค่าเท่ากับ V_p สำหรับภาพ 4.6(ค) การทำงานจะตรงข้ามกับภาพ 4.6(ข) เนื่องจากได้กำหนดให้ค่าแอมพลิจูดของสัญญาณอินพุตที่ป้อนให้กับวงจรมีค่าน้อยกว่าเดิม ดังนั้นสัญญาณตัวที่มีค่าความถี่เท่ากับสัญญาณนาฬิกาภายนอกจึงกลายเป็นสัญญาณ Q_{down}



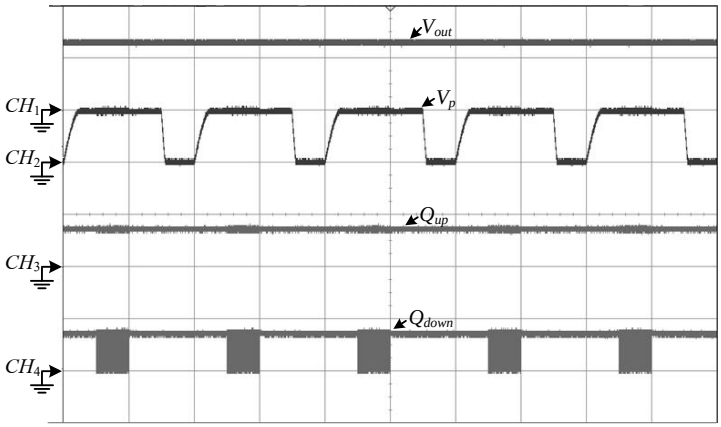
(สเกลแนวตั้ง CH_1: 5V/div., CH_2: 10V/div., CH_3: 5V/div., CH_4: 5V/div.; สเกลแนวนอน: 1 ms/div.)

(ก) ขณะ $V_p = V_{out}$



(สเกลแนวตั้ง CH_1: 5V/div., CH_2: 5V/div., CH_3: 10V/div., CH_4: 10V/div.; สเกลแนวนอน: 1 ms/div.)

(ข) ขณะ $V_p > V_{out}$

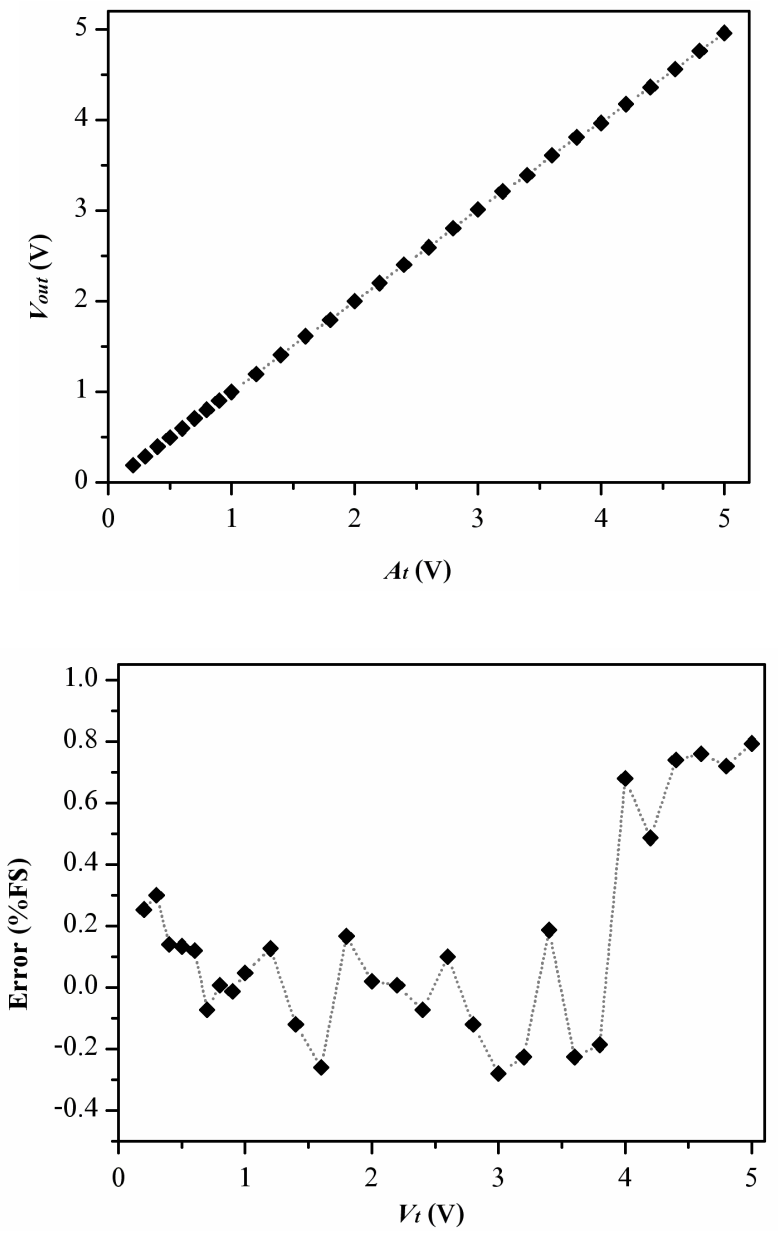


(สเกลแนวตั้ง CH_1: 1V/div., CH_2: 1V/div., CH_3: 10V/div., CH_4: 10V/div.; สเกลแนวนอน: 1 ms/div.)

(ค) ขณะ $V_p < V_{out}$

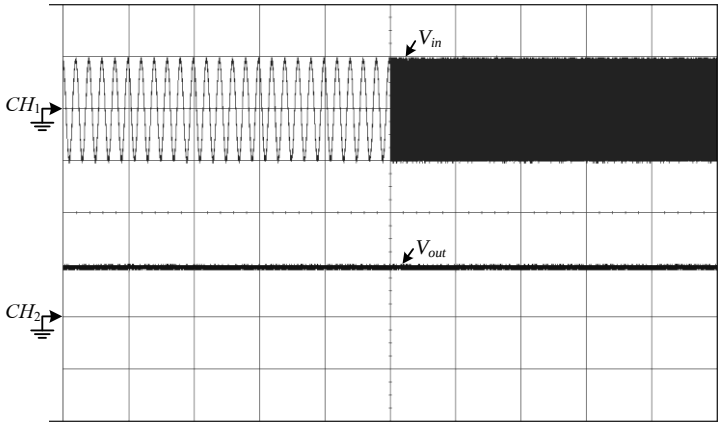
ภาพ 4.6 ผลการทดสอบจังหวะการทำงานของวงจร

จากผลการทดลองแปรค่าแอมพลิจูดของสัญญาณอินพุตซึ่งได้ผลการทำงานดังแสดงในภาพ 4.7 และตารางที่ 4.1 พบว่าวงจรสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดต่ำสุดประมาณเท่ากับ 250 mV มีค่าผิดพลาดสูงสุดตลอดช่วงทำงาน (250 mV ถึง 5 V) ประมาณเท่ากับ 0.8 % ของค่าเต็มสเกล



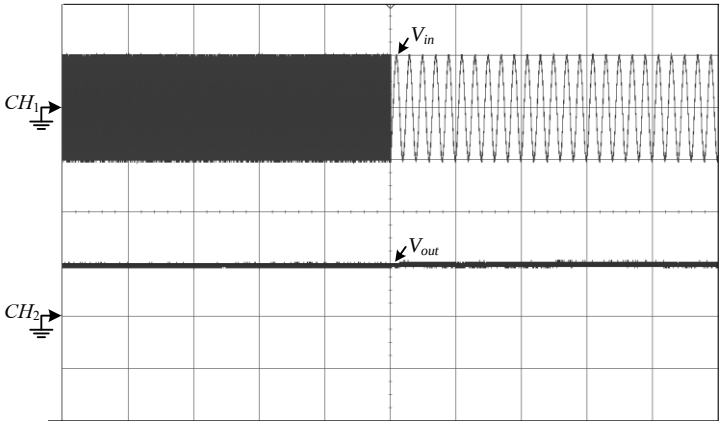
ภาพ 4.7 ผลการแปรค่าขนาดแอมพลิจูด (A_t) ของสัญญาณอินพุต

จากผลการทดสอบการทำงานดังแสดงในภาพ 4.8 จะเห็นได้ว่าขนาดของแรงดันเอาต์พุต V_{out} ของวงจรยังคงมีค่าคงที่เท่ากับค่าแอมพลิจูดของสัญญาณแรงดันอินพุตไม่ว่าจะเป็นกรณีที่ความถี่มีการเปลี่ยนแปลงแบบเพิ่มขึ้นหรือแบบลดลง



(สเกลแนวตั้ง: 5V/div.; สเกลแนวนอน: 5 ms/div.)

(ก) เปลี่ยนจาก 1 kHz เป็น 100 kHz



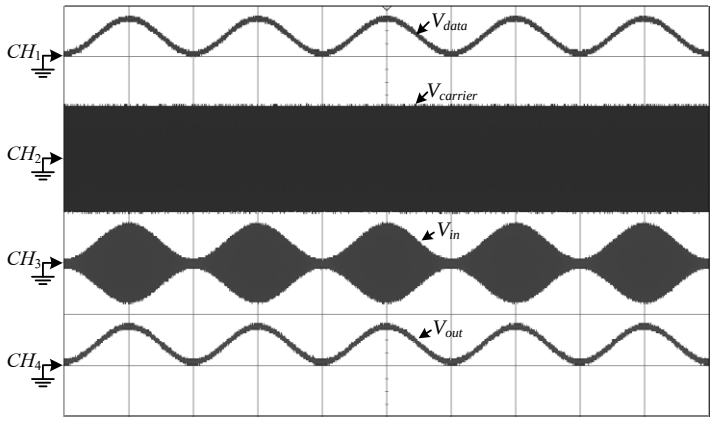
(สเกลแนวตั้ง: 5V/div.; สเกลแนวนอน: 5 ms/div.)

(ข) เปลี่ยนจาก 100 kHz เป็น 1 kHz

ภาพ 4.8 ผลการเปลี่ยนความถี่ของสัญญาณอินพุต

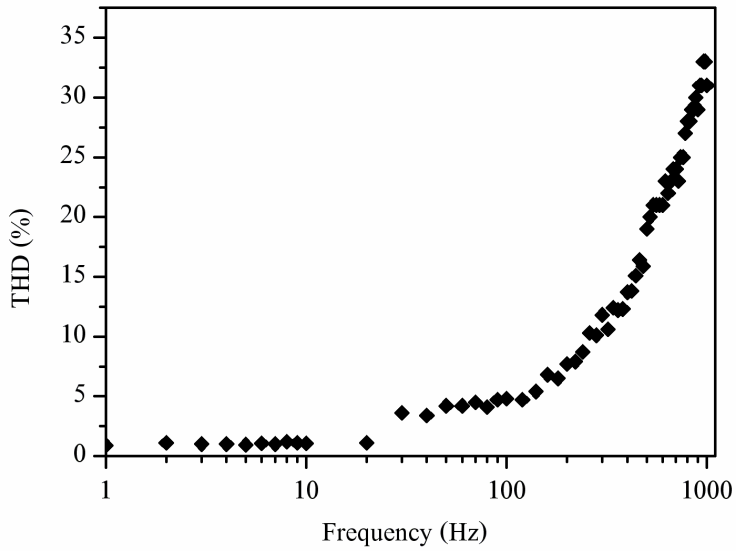
ตารางที่ 4.1 สัญญาณเอาต์พุตแบบดิจิทัล

แอมพลิจูดอินพุต (V)	ดิจิทัลเอาต์พุต เลขฐานสองขนาด 12 บิต	ค่าแรงดันเอาต์พุต ที่คำนวณได้ (V)	ค่าความผิดพลาด (V)
0.5	0001 1001 1111	0.507	0.007
1.0	0011 0100 1111	1.034	0.034
1.5	0100 1101 1111	1.522	0.022
2.0	0110 0111 1111	2.030	0.030
2.5	0111 1101 1111	2.460	–0.040
3.0	1001 1011 1111	3.046	0.046
3.5	1011 0011 1111	3.514	0.014
4.0	1100 1101 1111	4.022	0.022
4.5	1110 0101 1111	4.491	–0.009
5.0	1111 1111 1011	4.994	–0.006



(สเกลแนวตั้ง: 5V/div.; สเกลแนวนอน: 0.5 s/div.)

ภาพ 4.9 ผลการทำงานของวงจร เมื่อสัญญาณอินพุตเกิดจากการมอดูเลตทางขนาด



ภาพ 4.10 ผลการวัดค่า THD

จากภาพ 4.9 แสดงให้เห็นว่าวงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถนำมาประยุกต์ใช้งานเป็นวงจรดีมอดูเลต (demodulator) สำหรับสัญญาณที่ได้จากทรานส์ดิวเซอร์ซึ่งมีลักษณะเป็นการมอดูเลตแบบช่องสัญญาณคู่พร้อมตัวพาห์ (double sideband full carrier; DSB–FC) ที่มีข้อมูล V_{data} ความถี่ต่ำ ๆ ได้ โดยเมื่อทดลองแปรค่าความถี่ของสัญญาณ V_{data} ดังแสดงในภาพ 4.10 จะเห็นได้ว่าเมื่อค่าความถี่ของสัญญาณ V_{data} มีค่าเพิ่มขึ้น ค่า THD ที่วัดได้ก็จะมีค่ามากขึ้น และเมื่อเปรียบเทียบกับวิธีการที่อาศัยหลักการประมาณค่าสืบเนื่อง (บทที่ 3) พบว่าวิธีการภายในงานนี้ให้ค่า THD สูงกว่าเมื่อพิจารณาที่ความถี่ของสัญญาณ V_{data} เดียวกัน อย่างไรก็ตามโครงสร้างของวงจรที่ได้พัฒนาขึ้นใหม่ภายในงานนี้จะมีความซับซ้อนกว่าหลักการเดิมดังกล่าวมาก เหมาะสำหรับการนำประยุกต์ใช้งานกับสัญญาณอินพุตที่มีความถี่สูงแต่ความเร็วในการเปลี่ยนแปลงค่าแอมพลิจูดไม่มาก จากผลการทดลองแปรค่าความถี่ของสัญญาณอินพุต พบว่าสามารถใช้งานกับสัญญาณอินพุตที่มีค่าความถี่สูงสุดประมาณเท่ากับ 100 kHz ซึ่งเป็นค่าที่สูงกว่าวิธีการใช้หลักการนับขึ้นและรีเซ็ตค่าทุกครั้งในแต่ละรอบทำงาน [15] โดยหลักการดังกล่าวสามารถใช้งานกับสัญญาณที่มีความถี่โดยประมาณเพียง 3 kHz

4.5 สรุป

วงจรตรวจวัดค่าแอมพลิจูดสำหรับสัญญาณรูปไซน์ที่ได้พัฒนาขึ้นในครั้งนี้ เป็นการอาศัยความสามารถในการนับขึ้น–นับลง และการจดจำค่าของวงจรนับแทนวิธีการใช้วงจรกรองความถี่ต่ำผ่านหรือการใช้วงจรสุ่มและคงค่าสัญญาณแบบแอนะล็อก นอกจากการได้สัญญาณเอาต์พุตที่เป็นแบบแอนะล็อกแล้วผลพลอยได้ของวงจรคือการได้สัญญาณเอาต์พุตที่เป็นแบบดิจิทัลขนาด 12 บิต ทั้งนี้จะเหมาะสมสำหรับการประมวลผลสัญญาณที่ได้จากทรานส์ดิวเซอร์บางชนิดที่มีลักษณะเป็นการมอดูเลตแบบแอมพลิจูดระหว่างสัญญาณกระตุ้นทรานส์ดิวเซอร์กับปริมาณที่ต้องการตรวจวัด ผลจากการทดสอบการทำงานพบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอโดยมีสมบัติที่สำคัญดังนี้คือ เวลาที่ใช้ในแต่ละรอบการทำงานมีค่าเท่ากับ 2 คาบของสัญญาณอินพุต วงจรสามารถใช้งานกับสัญญาณรูปไซน์ความถี่สูงสุดประมาณเท่ากับ 100 kHz ช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 0.25 V ถึง 5 V ค่าผิดพลาดสูงสุดของวงจรที่วัดได้มีค่าโดยประมาณเท่ากับ 0.8 %