บทที่ 3
วงจรแปลงค่าแอมพลิจูดเป็นสัญญาณดิจิทัล โดยใช้เทคนิคการประมาณค่าสืบเนื่อง

ภายในบทนี้อธิบายถึงวงจรหาค่าแอมพลิจูดที่ให้เอาต์พุตเป็นสัญญาณดิจิทัล ขนาด 12 บิตที่ได้พัฒนาออกแบบขึ้น ซึ่งเป็นการออกแบบโดยใช้วงจรตรวจจับค่ายอด ต่อร่วมกับวงจรสร้างสัญญาณลอจิกควบคุม และวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่อาศัยหลักการประมาณค่าสืบเนื่อง (Successive Approximation)

3.1 วงจรและหลักการทำงานของวงจรที่ได้พัฒนาออกแบบขึ้น

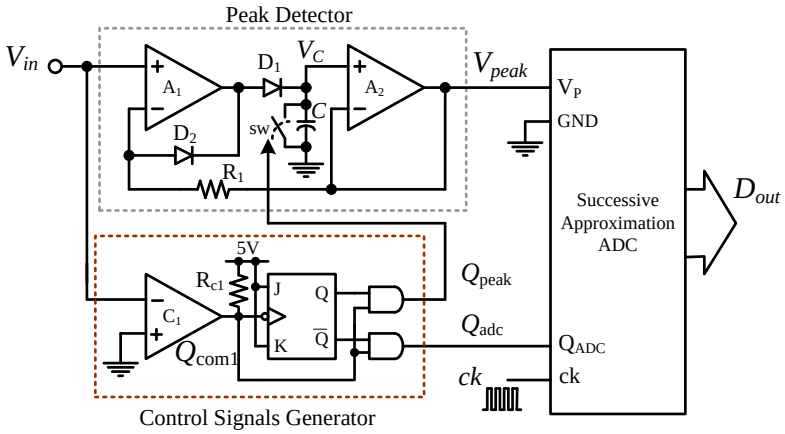
บล็อกไดอะแกรมของวงจรหาค่าแอมพลิจูดที่ได้พัฒนาออกแบบขึ้นแสดงได้ดังภาพ 3.1 ซึ่งจะเห็นได้ว่าโครงสร้างของวงจรประกอบด้วย วงจรตรวจจับค่ายอดสัญญาณ (Peak Detector; PD) ต่อร่วมกับวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter; ADC) และวงจรสร้างสัญญาณควบคุม (Control Signals Generator) ภาพ 3.1(ข) แสดงแผนภาพเวลาของสัญญาณต่างๆ ที่สำคัญเปรียบเทียบกับสัญญาณแรงดันอินพุตของวงจร หนึ่งรอบของกระบวนการตรวจวัดและแปลงค่าแอมพลิจูดไปเป็นสัญญาณดิจิทัลจะใช้เวลาเท่ากับ 2 คาบของสัญญาณอินพุต การทำงานในแต่ละรอบแบ่งออกได้เป็น 4 ลำดับการทำงานดังนี้คือ

ลำดับที่ 1: Q_{peak} เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 เพื่ออนุญาตให้วงจรตรวจจับค่ายอดสัญญาณเริ่มทำงาน สมมุติให้อินพุตของวงจรมีค่าเท่ากับ

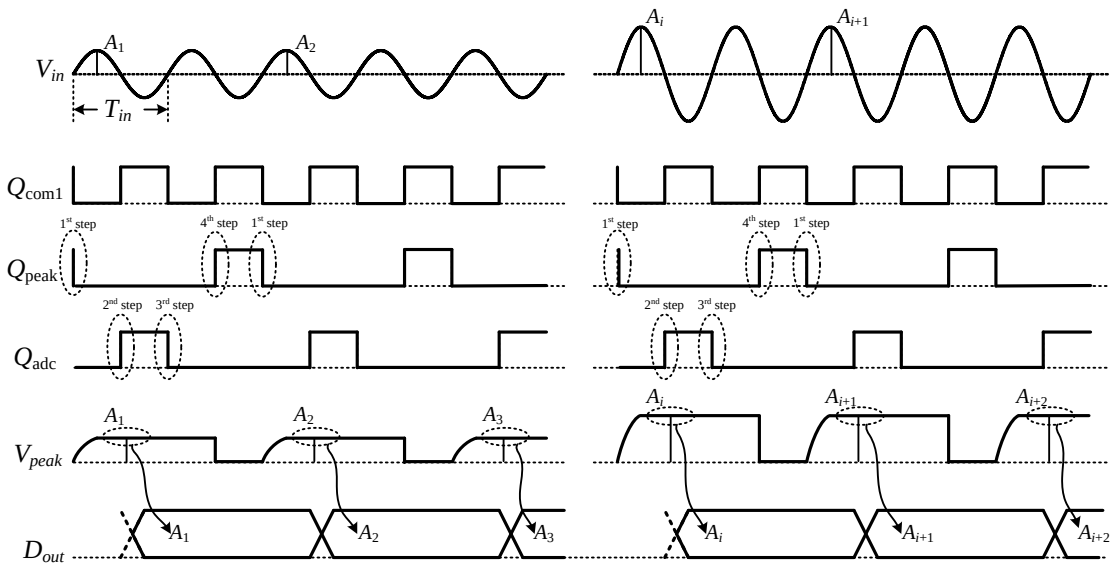
$$V_{in} = A_1 \sin(2\pi f_{in} t) = A_1 \sin(2\pi t / T_{in}) \qquad (3.1)$$

เมื่อ A_1, f_{in} และ T_{in} คือค่าแอมพลิจูด ค่าความถี่ และค่าคาบเวลาของสัญญาณอินพุตตามลำดับ หลังจากช่วงเวลา T_{in} /4 เป็นต้นไปค่าแรงดันเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณ (V_{peak}) จะมีค่าเท่ากับ

$$V_{peak} = A_1 \qquad (3.2)$$



(ก) บล็อกไดอะแกรมของวงจร



(ข) แผนภาพเวลา

ภาพ 3.1 บล็อกไดอะแกรมของวงจรและแผนภาพเวลา

ลำดับที่ 2: Q_{adc} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่ออนุญาตให้วงจร ADC เริ่มทำงาน ตัววงจร ADC จะทำการเปิดรับสัญญาณนาฬิกาภายนอก (*ck*) เพื่อนำมาสร้างเป็นสัญญาณควบคุมภายในวงจร ADC โดยตัววงจรจะทำการแปลงค่าแรงดัน V_{peak} ซึ่งมีลักษณะเป็นสัญญาณไฟตรงขนาดเท่ากับค่าแอมพลิจูดสัญญาณ V_{in} ให้เป็นสัญญาณดิจิทัลและส่งไปเป็นเอาต์พุตของวงจร (D_{out}) โดยค่าดังกล่าวนี้จะถูกเก็บรักษาไว้ด้วยรีจิสเตอร์ภายในวงจร ADC ทั้งนี้การทำงานของวงจร ADC นี้จะเสร็จก่อนที่ Q_{adc} จะเปลี่ยนสถานะกลับเป็นลอจิก 0 เมื่อทำงานเสร็จตัว ADC จะทำการตัดสัญญาณนาฬิกาภายนอกออกอย่างอัตโนมัติ

ลำดับที่ 3: Q_{adc} เปลี่ยนสถานะจากลอจิก 1 เป็นลอจิก 0 ซึ่งเป็นการปิดสัญญาณควบคุมหลักของ ADC ทั้งนี้เป็นการเตรียมความพร้อมและหลีกเลี่ยงความผิดพลาดของการแปลงสัญญาณก่อนที่จะมีการรีเซ็ตค่าเอาต์พุตของวงจรตรวจจับค่ายอดสัญญาณ

ลำดับที่ 4: Q_{peak} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 เพื่อรีเซ็ตค่าแอมพลิจูดเดิมของวงจรตรวจจับค่ายอดสัญญาณ ทั้งนี้เป็นการเตรียมความพร้อมสำหรับการตรวจวัดค่าแอมพลิ–จูด (ค่ายอดสัญญาณ) ของสัญญาณอินพุตที่จะเข้ามาใหม่

สำหรับการทำงานของวงจรย่อยในแต่ละส่วนสามารถแยกอธิบายได้ดังนี้ คือ วงจรสร้างสัญญาณควบคุม: เป็นการนำสัญญาณอินพุต V_{in} ไปผ่านวงจรตรวจจับผ่านศูนย์ (Zero–crossing detector) แบบกลับเฟสของสัญญาณเพื่อเปลี่ยนระดับของสัญญาณให้เป็นแบบดิจิทัล (Q_{com1}) จากนั้นอาศัยเจเคฟลิปฟลอป (JK Flip Flop) สำหรับการหารค่าความถี่ของสัญญาณดังกล่าวซึ่งจะได้เอาต์พุตของเจเคฟลิปฟลอปเป็น Q_{jk} การสร้างสัญญาณควบคุม Q_{peak} และ Q_{adc} สามารถทำได้โดย

$$Q_{peak} = Q_{com1} \text{ and } Q_{jk} \tag{3.3}$$

$$Q_{adc} = Q_{com1} \text{ and } \overline{Q}_{jk} \tag{3.4}$$

ข้อดีของวิธีการดังกล่าวนี้คือความกว้างของสัญญาณควบคุมทั้งสองจะสามารถปรับตัวเองให้ใช้งานได้กับสัญญาณอินพุตแต่ละความถี่ได้อย่างอัตโนมัติ (เท่ากับ $T_{in}/2$) โดยไม่จำเป็นต้องใช้วงจรเลื่อนเฟส 90 องศาต่อร่วม

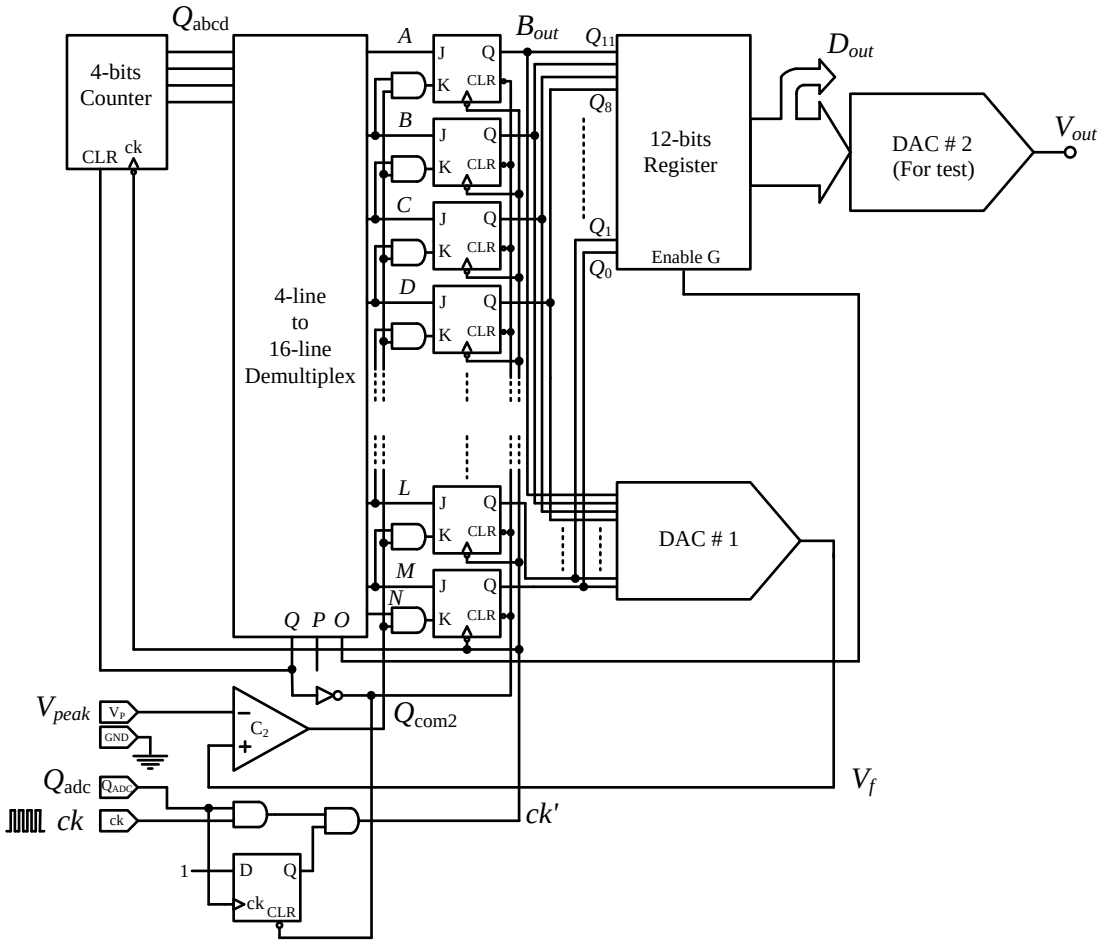
การพัฒนาวงจรตรวจจับค่ายอดสัญญาณ: เป็นการพัฒนาขึ้นโดยใช้ออปแอมป์ 2 ตัว (A_1 และ A_2) ต่อร่วมกับไดโอด (D_1 และ D_2) ตัวต้านทาน (R_1) ตัวเก็บประจุ (C) และสวิตช์อิเล็กทรอนิกส์ (sw) ซึ่งสามารถอธิบายการทำงานได้ดังนี้คือสมมุติให้เริ่มต้นสวิตช์อิเล็กทรอนิกส์อยู่ในสภาวะเปิดวงจร เมื่อสัญญาณอินพุต V_{in} ที่เข้ามาใหม่มีค่ามากกว่าแรงดันเอาต์พุต V_{peak} เดิม แรงดันเอาต์พุตของออปแอมป์ A_1 จะมีค่าสูงขึ้น ไดโอด D_1 จะได้รับการไบอัสตรง (ไดโอด D_2 ได้รับการไบอัสกลับ) โดยจะเกิดกระแสไหลผ่านไดโอด D_1 เพื่อชาร์จประจุให้กับตัวเก็บประจุ แรงดันตกคร่อมตัวเก็บประจุ (V_C) จะมีค่าสูงขึ้น ซึ่งจะถูกส่งออกไปเป็นเอาต์พุต (V_{peak}) รวมทั้งถูกส่งกลับไปเปรียบเทียบกับแรงดันอินพุต ค่าแรงดัน V_{peak}=V_C จะมีค่าเพิ่มขึ้นจนกระทั่งมีค่าเท่ากับแรงดันอินพุต V_{in} และถ้าในเวลาต่อมาแรงดัน V_{in} มีค่าต่ำกว่าค่าเดิม หรือ $V_{in} < V_{peak}$ แรงดันเอาต์พุตของออปแอมป์ A_1 จะมีค่าลดลง ไดโอด D_1จะได้รับการ

ไบอัสกลับ (ไดโอด D_2 ได้รับการไบอัสตรง) ซึ่งจะไม่มีกระแสไหลเข้าหรือไหลออกจากตัวเก็บประจุ ค่าแรงดันตกคร่อมตัวเก็บประจุ V_C รวมทั้งแรงดันเอาต์พุต V_{peak} จึงมีค่าคงที่เท่าเดิมกับสภาวะก่อนหน้า

ในกรณีที่อินพุตของวงจรตรวจจับค่ายอดเป็นสัญญาณแรงดันรูปไซน์ที่มีค่าแอมพลิจูดคงที่จะได้เอาต์พุตของวงจรมีลักษณะเป็นสัญญาณไฟตรงที่มีขนาดเท่ากับค่าแอมพลิจูดของสัญญาณแรงดันอินพุตดังกล่าว ซึ่งจะถูกคงค่าไว้ตราบเท่าที่สัญญาณอินพุตที่เข้ามาใหม่มีขนาดใหญ่กว่าเดิมหรือสวิตช์อิเล็กทรอนิกส์ sw ได้รับสัญญาณควบคุมให้ปิดวงจร

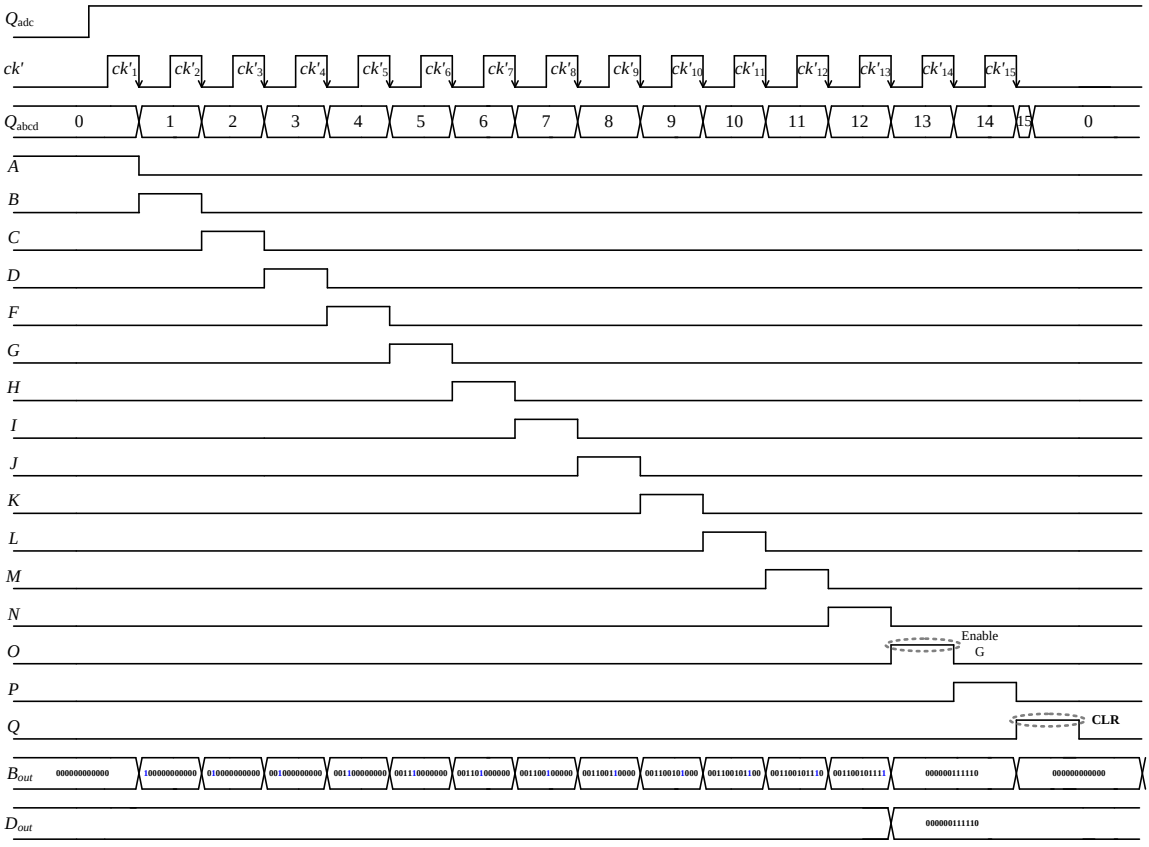
ในส่วนของวงจร ADC: ภายในโครงงานนี้เป็นการออกแบบโดยอาศัยหลักการประมาณค่าสืบเนื่องดังแสดงในรูปที่ 2(ก) และแผนภาพเวลาของสัญญาณที่สำคัญสำหรับการอธิบายการทำงานของวงจรแสดงได้ดังภาพ 3.2(ข) โดยสถานะของ B_{out} และ D_{out} เกิดจากการสมมุติให้แรงดันอินพุตมีค่าเท่ากับ (814/4096) V_{ref} ซึ่งจะสามารถแปลงเป็นสัญญาณดิจิทัลขนาด 12 บิต ได้เป็น 0011 00101110 การทำงานของ ADC จะเริ่มหลังจาก Q_{adc} เปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1 ดีฟลิปฟลอปจะทำการเปิดรับลอจิก 1 ไปเป็นเอาต์พุต ซึ่งจะนำมาแอนด์ (AND) กับสัญญาณ Q_{adc} และ *ck* เพื่อสร้างเป็นสัญญาณนาฬิกา *ck'* สำหรับการสร้างจังหวะควบคุมภายใน ADC วงจรนับขนาด 4 บิตจะทำการนับสัญญาณ *ck'* จาก 0000 ถึง 1111 (เท่ากับ 0 ถึง 15 สำหรับเลขฐานสิบ) วงจรดีมัลติเพล็กซ์ (Demultiplex) แบบ 16 ช่องเอาต์พุตทำหน้าที่ถอดรหัสของสัญญาณจากวงจรนับเพื่อส่งสัญญาณลอจิก 1 ไปให้กับขาเจของเจเคฟลิปฟลอปแต่ละตัวตามลำดับ ทั้งนี้จะเริ่มต้นจากบิตบนสุด (บิตอื่นในขณะนั้นมีค่าเป็นศูนย์) ต่อจากนั้นวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกตัวที่ 1 (DAC#1) จะทำหน้าที่แปลงสัญญาณดิจิทัล B_{out} ให้เป็นสัญญาณแอนะล็อก V_f กลับมาเปรียบเทียบกับแรงดัน V_{peak} พิจารณาขณะที่สัญญาณ *ck'* ลูกที่สองเข้ามาขาเจของเจเคฟลิปฟลอปตัวที่ 2 ได้รับการกระตุ้นด้วยลอจิก 1 การทำงานของเจเคฟลิปฟลอปตัวแรก (ควบคุมบิตบนสุด) จะแบ่งออกได้เป็น 2 กรณีคือ กรณีแรก $V_{peak}>V_B$ ซึ่งทั้งขาเจและขาเคของเจเคฟลิปฟลอปตัวแรกจะถูกกระตุ้นด้วยลอจิก 0 ทั้งคู่มีผลทำให้เอาต์พุตของเจเคฟลิปฟลอปตัวแรกมีสถานะคงเดิมนั่นคือลอจิก 1 กรณีที่สอง $V_{peak}<V_B$ ขาเคของเจเคฟลิปฟลอปตัวแรกจะถูกกระตุ้นด้วยลอจิก 1 (ขาเจถูกกระตุ้นด้วยลอจิก 0) เอาต์พุตของเจเคฟลิปฟลอปดังกล่าว จะกลายเป็นลอจิก 0 ซึ่งการทำงานของเจเคฟลิปฟลอปแต่ละตัวในลำดับถัดไปจะมีหลักการตัดสินใจเช่นเดียวกันนี้จนถึงบิตต่ำสุด จากรูปแผนภาพเวลาจะเห็นได้ว่าการทำงานของเจเคฟลิปฟลอปทั้ง 12 ตัวจะใช้สัญญาณนาฬิกา *ck'* ทั้งหมดเท่ากับ 13 ลูก ลำดับต่อไปคือจังหวะที่สัญญาณ O มีสถานะเป็นลอจิก 1 (Enable G) ซึ่งถูกใช้เป็นตัวกำหนดจังหวะการทำงานของรีจิสเตอร์ให้เปิดรับข้อมูล ดิจิทัล B_{out} ไปเป็น

สัญญาณเอาต์พุต D_{out} ของวงจร ลำดับสุดท้ายคือจังหวะที่สัญญาณ Q มีสถานะเป็นลอจิก 1 (CLR) ถูกใช้สำหรับการเคลียร์ค่าข้อมูลของวงจรนับและข้อมูลภายในเจเคฟลิปฟลอปแต่ละตัวให้กลายเป็นศูนย์ นอกจากนี้ยังถูกใช้สำหรับการเคลียร์ค่าข้อมูลภายในดีฟลิปฟลอปให้กลายเป็นศูนย์ เพื่อหยุดการทำงานของ *ck'* ก่อนที่สัญญาณควบคุมหลัก Q_{adc} จะเปลี่ยนสถานะจากลอจิก 1 กลับเป็นลอจิก 0 โดยกระบวนการทั้งหมดที่กล่าวมานี้จะใช้สัญญาณนาฬิกา *ck'* ทั้งหมด 15 ลูก ในส่วนของ DAC#2 นั้นถูกต่อไว้สำหรับการทดสอบผลการทำงานของวงจรในกรณีที่ต้องการแปลงค่าสัญญาณดิจิทัลเอาต์พุตให้เป็นสัญญาณแอนะล็อกกลับไปเปรียบเทียบกับสัญญาณอินพุต V_{in}



(ก) โครงสร้างวงจร

ภาพ 3.2 วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล



(ข) แผนภาพเวลา

ภาพ 3.2 (ต่อ) วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล

3.2 การวิเคราะห์พารามิเตอร์ที่เกี่ยวข้องกับวงจร

การวิเคราะห์พารามิเตอร์ที่สำคัญของวงจร : ประการแรกที่ได้นำมาพิจารณาคือค่าความจุไฟฟ้าของตัวเก็บประจุ (*C*) ที่ใช้ภายในวงจรตรวจจับค่ายอดสัญญาณ ซึ่งจะต้องมีค่าไม่มากเกินไปเพราะจะทำให้วงจรไม่สามารถทำงานกับสัญญาณอินพุตที่มีความถี่สูงได้ทัน และจะต้องมีค่าไม่น้อยเกินไปจนเกิดสภาวะแรงดันตก (*Droop*) ขณะทำงานในโหมดคงค่าข้อมูล จากทั้งสองเงื่อนไขสามารถสรุปได้ดังนี้คือ

$$\left(\frac{I_L}{Droop}\right) < C < \left(\frac{T_{in} I_{o1(\max)}}{4A_{in}}\right) \qquad (3.5)$$

เมื่อ $Droop = (2)\Delta V/T_{in}$ คือค่าขนาดของแรงดันที่ลดลงที่ยอมรับได้ (ΔV) ในช่วงเวลา $T_{in}/2$ สำหรับ A_{in} และ T_{in} คือค่าแอมพลิจูดและค่าคาบเวลาของสัญญาณอินพุต ตามลำดับ I_L คือค่ากระแสรั่วรวมของอุปกรณ์ที่ต่ออยู่กับตัวเก็บประจุ และ $I_{o1(max)}$ คือค่ากระแสเอาต์พุตสูงสุดของออปแอมป์ A_1 โดยในที่นี้พิจารณาว่าค่าอัตราสลูว์ (slew rate) ของออปแอมป์ (A_1) ที่เลือกใช้มีค่ามากกว่า $I_{o1(max)}/C$

ประการที่สองซึ่งได้นำมาพิจารณาคือค่าความถี่ (f_{ck}) ของสัญญาณนาฬิกา (ck) ที่ใช้ภายในวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ทั้งนี้มีวิธีพิจารณาคือ 1 รอบการทำงานจะใช้สัญญาณนาฬิกาทั้งหมด 15 ลูก และหากต้องการออกแบบให้การแปลงสัญญาณของวงจรเสร็จสิ้นภายใน 1 รอบการทำงานจะต้องใช้เวลาน้อยกว่า $T_{in}/2$ ดังนั้นจะต้องกำหนดให้

$$f_{ck} > 30 f_{in} \tag{3.6}$$

ในกรณีที่ใช้ f_{ck} มีค่าน้อยกว่าค่าดังกล่าวนี้การแปลงสัญญาณจะใช้เวลามากกว่า 1 รอบการทำงานปกติ (2 คาบของสัญญาณอินพุต) ซึ่งถือว่าเป็นกรณีพิเศษโดยวงจรจะยังคงสามารถทำงานได้ เนื่องจากค่าเอาต์พุตของวงจรนับยังคงมีค่าเท่าเดิม (ยังไม่ได้ถูกตั้งใหม่ (reset)) การแปลงสัญญาณในครั้งต่อไปจะเริ่มในตำแหน่งหรือบิตที่ถัดจากเดิมจนกระทั้งครบ 12 บิต และวงจรนับได้รับสัญญาณตั้งใหม่ กรณีดังกล่าวนี้สามารถนำไปประยุกต์ใช้งานกับสัญญาณอินพุตที่มีค่าความถี่สูงแต่มีค่าแอมพลิจูดคงที่หรือมีอัตราในการเปลี่ยนแปลงค่าแอมพลิจูดต่ำได้ โดยภายใน 1 รอบการทำงาน (ทั้งการตรวจจับค่าแอมพลิจูดและการแปลงสัญญาณ) จะใช้เวลา (t) ทั้งหมดเท่ากับ

$$t = \frac{(2T_{in})30 f_{in}}{f_{ck}} = n(2T_{in}) \tag{3.7}$$

เมื่อ $n = 30 f_{in}/f_{ck}$ จากสมการที่ (3.7) ยกตัวอย่างการคำนวณเช่นสมมุติให้ f_{in} = 100 kHz f_{ck} = 1 MHz จะได้ n = 3 นั่นคือจะต้องใช้เวลาทั้งหมดเท่ากับ $6T_{in}$ (เท่ากับ 3 เท่าของเวลาที่ใช้สำหรับการทำงานปกติ)

สิ่งที่พิจารณาประการต่อมาคือค่าความผิดพลาดของวงจร เมื่อแอมพลิจูดของสัญญาณอินพุตเกิดการเปลี่ยนแปลงอย่างเป็นเชิงเส้น โดยสมมุติให้สัญญาณอินพุต(V_{in}) ของวงจรเกิดจากการมอดูเลตทางขนาดกันระหว่างสัญญาณพาห์ (Carrier) (เป็นสัญญาณความถี่สูงที่ใช้

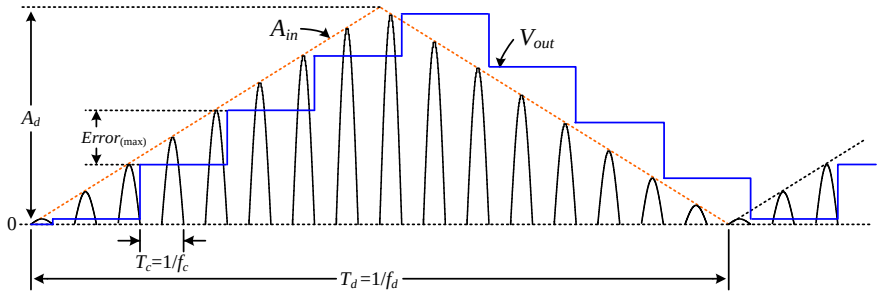
กระตุ้นการทำงานของเซนเซอร์) กับสัญญาณที่เป็นข้อมูล A_{in} (ปริมาณที่ต้องการตรวจวัดจากเซนเซอร์) ซึ่งเปลี่ยนแปลงขนาดเป็นรูปสามเหลี่ยมดังแสดงในภาพ 3.3 เพื่อให้ง่ายต่อการวิเคราะห์จะพิจารณาเฉพาะช่วงเวลาภายใน 1 รอบของการเปลี่ยนแปลงค่าแอมพลิจูดดังนี้คือ

$$V_{in} = A_{in}\sin 2\pi f_c t = 2A_d f_d t \begin{cases} (+1)\sin 2\pi f_c t & \text{for } 0 < t \le T_d/2 \\ (-1)\sin 2\pi f_c t & \text{for } T_d/2 < t \le T_d \end{cases} \qquad (3.8)$$

เมื่อ A_d f_d และ T_d คือค่ายอด ค่าความถี่ และค่าคาบเวลาของสัญญาณ A_{in} ตามลำดับ และ f_c คือค่าความถี่ของสัญญาณพาห์ ($\sin 2\pi f_c t$) กำหนดให้ $f_c > f_d$ เนื่องจากแต่ละรอบของการตรวจวัดจะใช้เวลาเท่ากับ $2/f_c$ ดังนั้นจะสามารถคำนวณหาขนาดความผิดพลาดสูงสุด ($Error_{(max)}$) ในแต่ละรอบการทำงานได้เท่ากับ

$$\left|Error_{(max)}\right| = \frac{4A_d f_d}{f_c} \qquad (3.9)$$

จากสมการที่ (3.9) สมมุติให้ให้ A_d = 5 V f_d = 100 Hz และ f_c = 100 kHz จะได้ค่า $Error_{(max)}$ = 20 mV แต่ถ้า f_d มีค่าเปลี่ยนเป็น 1 kHz จะได้ค่า $Error_{(max)}$ = 200 mV



ภาพ 3.3 การวิเคราะห์ค่า $Error_{(max)}$

ประการสุดท้ายคือค่าความกว้างขั้น (Step Width) หรือขั้นการควอนไทซ์ (Quantization Step; *QS*) ของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล ซึ่งมีขนาด 12 บิต ดังนั้นจะได้

$$QS = \frac{FS}{2^{12}} \qquad (3.10)$$

เมื่อ *FS* คือค่าเต็มสเกล (Full Scale) ของสัญญาณแอนะล็อกอินพุต จากสมการที่ (3.10) ได้กำหนดให้ *FS* = 5 V ซึ่งจะได้ค่า *QS* ของวงจรเท่ากับ 1.22 mV

3.3 การทดสอบการทำงานของวงจร

สำหรับการทดสอบหลักการทำงานเบื้องต้นของวงจรที่ได้พัฒนาออกแบบขึ้นภายในงานนี้ได้ใช้วิธีต่อวงจรลงบนบอร์ดทดลองโดยใช้ไอซีสำเร็จรูปและอุปกรณ์สำคัญต่างๆ ดังนี้คือ ใช้ออปแอมป์เบอร์ LM319 ทำหน้าที่เป็นวงจรตรวจจับผ่านศูนย์ (C_1) และวงจรเปรียบเทียบแรงดันไฟฟ้า (C_2) ใช้ไอซีเจเคฟลิปฟลอปเบอร์ HD74LS76AP ไอซีดีฟลิปฟลอปเบอร์ DM74LS74AN ไอซีแอนด์เกตเบอร์ SN74LS08N ไอซีน็อตเกตเบอร์ SN74LS04 ไอซีวงจรนับเบอร์ HD74LS93P ไอซีวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกเบอร์ DAC7541A วงจรดีมัลติเพล็กซ์ใช้ไอซีเบอร์ DM74LS154N ต่อร่วมกับน็อตเกต รีจีสเตอร์ใช้ไอซีวงจรแลตช์เบอร์ DM74LS373N สำหรับไอซีออปแอมป์ A_1 และ A_2 คือเบอร์ LF351 ไดโอดเบอร์ 1N4148 และสวิตช์อิเล็กทรอนิกส์เบอร์ MC14066BCP กำหนดค่าแรงดันเต็มสเกลสำหรับ DAC#1 และ DAC#2 เท่ากับ 5 V แหล่งจ่ายไฟเลี้ยงวงจรในส่วนที่เป็นแอนะล็อกเท่ากับ ±12 V แหล่งจ่ายไฟเลี้ยงวงจรในส่วนที่เป็นดิจิทัลเท่ากับ 5 V

ลำดับแรกผู้วิจัยได้ทำการทดลองแปรค่าขนาดของตัวเก็บประจุที่ใช้ในส่วนของวงจรตรวจจับค่ายอดสัญญาณ เพื่อการใช้งานกับสัญญาณอินพุตที่ความถี่ต่าง ๆ โดยได้กำหนดเงื่อนไขให้สัญญาณอินพุตมีค่าแอมพลิจูดเท่ากับ 5 V และภายในช่วงเวลา 1 คาบของสัญญาณอินพุตวงจรตรวจจับค่ายอดสัญญาณจะต้องสามารถตรวจจับและคงค่าแอมพลิจูดดังกล่าวได้โดยมีค่าผิดพลาดสูงสุดได้ไม่เกิน ±0.1 V ซึ่งจะได้ผลการทดลองดังแสดงในตารางที่ 3.1

ลำดับที่ 2 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานเฉพาะวงจร ADC โดยได้กำหนดให้สัญญาณ $V_{in(adc)}$ เป็นสัญญาณอินพุตของวงจร โดยที่ $V_{in(adc)}$ เป็นสัญญาณรูปสามเหลี่ยมความถี่ต่ำ (เท่ากับ 0.1 Hz) ขนาดเท่ากับ 5 V ใช้สัญญาณนาฬิกาเท่ากับ 100 kHz ทั้งนี้อาศัยวงจร DAC#2 (ถือว่าสมบัติตรงกับ DAC#1) สำหรับแปลงสัญญาณดิจิทัลเอาต์พุต D_{out} กลับ

เป็นสัญญาณแอนะล็อก V_{out} เพื่อเปรียบเทียบกับสัญญาณอินพุต $V_{in(adc)}$ ซึ่งจะได้ผลการทำงานดังแสดงในภาพ 3.4

ลำดับที่ 3 ผู้วิจัยได้ทำการทดสอบสมบัติการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ โดยได้ทดลองกับสัญญาณอินพุตรูปไซน์ที่มีค่าแอมพลิจูดคงที่เท่ากับ 2.49 V มีค่าความถี่เท่ากับ 1 kHz กำหนดค่าความถี่ของสัญญาณนาฬิกา (*ck*) เท่ากับ 100 kHz ทั้งนี้เป็นการทดสอบว่าวงจรมีจังหวะหรือลำดับการทำงานสอดคล้องกับหลักการที่ได้ออกแบบไว้เพียงใด รวมทั้งเป็นการทดสอบว่าวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงานหรือไม่ ซึ่งได้ผลทดลองดังแสดงในภาพ 3.5 และภาพ 3.6

ลำดับที่ 4 ผู้วิจัยได้ทำการทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ($V_{carrier}$) ความถี่ 50 kHz กับสัญญาณความถี่ต่ำ (V_{data}) รูปร่างต่าง ๆ (กำหนดค่าความถี่ของสัญญาณนาฬิกาเท่ากับ 1.5 MHz) ซึ่งได้ผลทดลองดังแสดงในภาพ 3.7

ลำดับที่ 5 ผู้วิจัยได้ทดลองป้อนสัญญาณแรงดันอินพุตที่เกิดจากการมอดูเลตกันทางขนาดเช่นเดียวกับลำดับที่ 4 แต่สัญญาณความถี่ต่ำที่ใช้ได้กำหนดให้มีรูปร่างเฉพาะรูปไซน์ความถี่ 10 Hz ซึ่งได้ผลทดลองดังแสดงในภาพ 3.8 นอกจากนี้ได้ทดลองแปรค่าความถี่ของสัญญาณความถี่ต่ำรูปไซน์จาก 1 Hz ถึง 1 kHz และทำการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก (Total Harmonic Distortion; THD) ของสัญญาณ V_{out} โดยจะได้ผลการวัดดังแสดงในภาพ 3.9

สำหรับขั้นตอนในลำดับที่ 4 และลำดับที่ 5 นี้เป็นการทดสอบว่าวงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถนำไปประยุกต์ใช้งานกับทรานส์ดิวเซอร์ที่ให้เอาต์พุตออกมาในรูปสัญญาณรูปไซน์ซึ่งมีการเปลี่ยนแปลงค่าแอมพลิจูดไปได้หรือไม่

ลำดับสุดท้ายผู้วิจัยได้ทดสอบว่าวงจรหาค่าแอมพลิจูดที่ได้พัฒนาขึ้นสามารถใช้งานกับสัญญาณอินพุตที่มีค่าแอมพลิจูดคงที่โดยมีค่าความถี่สูงที่สุดเท่ากับเท่าใด ทั้งนี้ได้ใช้สัญญาณนาฬิกาความถี่เท่ากับเท่ากับ 1.5 MHz

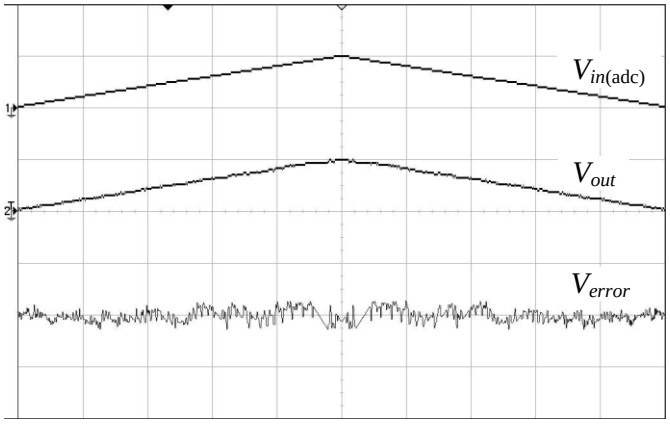
3.4 ผลการทดสอบการทำงานของวงจรและการอภิปรายผล

ตารางที่ 3.1 แสดงผลการทดลองหาค่าขนาดของตัวเก็บประจุที่เหมาะสมสำหรับวงจรตรวจจับค่ายอดสัญญาณเพื่อใช้งานสัญญาณอินพุตในช่วงความถี่ต่าง ๆ ซึ่งจากตารางจะเห็นได้ว่าเมื่อสัญญาณอินพุตมีค่าความถี่ต่ำจะต้องใช้ตัวเก็บประจุที่มีค่าสูง และเมื่อสัญญาณอินพุตมีค่าความถี่สูงขึ้นต้องใช้ตัวเก็บประจุที่มีค่าต่ำลง

ตารางที่ 3.1 ค่าความจุไฟฟ้าที่เหมาะสมสำหรับสัญญาณอินพุตแอมพลิจูด 5 V ในแต่ละช่วงความถี่ใช้งาน

ค่าตัวเก็บประจุ (nF)	ช่วงความถี่ใช้งาน (kHz)	
	$f_{in(min)}$	$f_{in(max)}$
0.33	120	200
1	10	120
10	0.4	10
100	0. 04	4
1,000	0.004	0.4

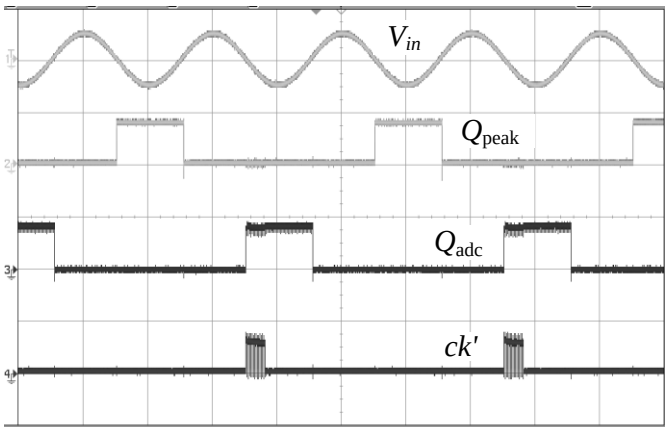
พิจารณาภาพ 3.4 ซึ่งแสดงผลการทดสอบสมบัติการทำงานของวงจร ADC เมื่อ $V_{in(adc)}$ เป็นสัญญาณอินพุต ของวงจร V_{out} เป็นสัญญาณแรงดันเอาต์พุตที่ได้จากวงจร DAC#2 และ $V_{error}=V_{out}-V_{in(adc)}$ ถือว่าเป็นค่าผิดพลาดในการทำงานของวงจร ซึ่งมีค่าสูงสุดประมาณเท่ากับ ±13 mV โดยค่าผิดพลาดดังกล่าวนี้มีค่าสูงกว่าค่าขั้นการควอนไทซ์ตามสมการที่ (3.10) ประมาณ 11 เท่า ทั้งนี้ผู้วิจัยจะได้ปรับปรุงแก้ไขต่อไป



(สเกลแนวตั้งสำหรับ $V_{in(adc)}$ และ V_{out} เท่ากับ 5 V/div., สเกลแนวตั้งสำหรับ V_{error} เท่ากับ 50 mV/div. สเกลแนวนอนเท่ากับ 1s/div.)

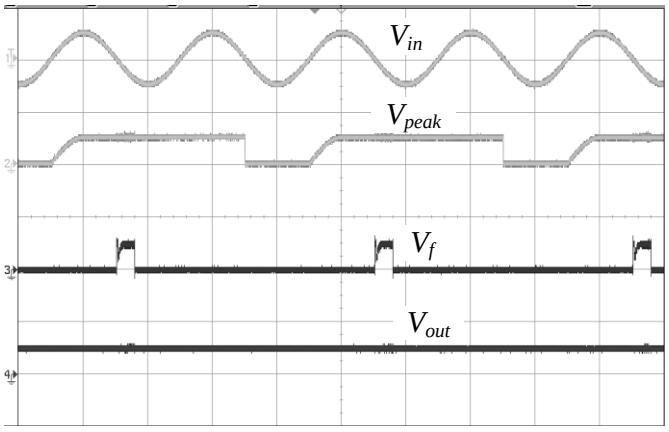
ภาพ 3.4 ผลการทดสอบการทำงานของวงจร ADC

สำหรับภาพ 3.5 และภาพ 3.6 ซึ่งเป็นการทดสอบจังหวะการทำงานของวงจรหาค่าแอมพลิจูดทั้งระบบ เมื่อสัญญาณอินพุตของวงจรมีค่าแอมพลิจูดคงที่โดยในภาพ 3.5 แสดงสัญญาณแรงดันอินพุต (V_{in}) สัญญาณควบคุมวงจรตรวจจับค่ายอด (Q_{peak}) สัญญาณควบคุมวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Q_{adc}) และสัญญาณนาฬิกา (ck') ที่ส่งไปให้วงจรนับภายในวงจร ADC โดยจะเห็นได้ว่าค่าความถี่ของสัญญาณ Q_{peak} และ Q_{adc} นั้นจะมีค่าเป็นครึ่งหนึ่งของค่าความถี่ของสัญญาณอินพุต โดยมีช่วงที่มีสภาวะลอจิก 1 ไม่พร้อมกัน (ทำงานสลับกันเว้นระยะเวลาเท่ากับ $T_{in}/2$) สัญญาณ ck' นั้นมีเฉพาะในช่วงเวลาที่ Q_{adc} มีสถานะเป็นลอจิก 1 และจะหมดไปเมื่อทำงานเสร็จ ซึ่งเป็นการยืนยันว่าวงจรสามารถทำงานได้ทันภายใน 1 รอบการทำงาน นอกจากนี้จะสังเกตได้ว่าความกว้างของช่วงเวลาที่มีสัญญาณ ck' จะใช้เวลาเท่ากับ 15 คาบของสัญญาณนาฬิกา ck หรือเท่ากับ (30/100) ของช่วงเวลา ($T_{in}/2$) ซึ่งตรงกับหลักการที่ได้ออกแบบไว้ ในภาพ 3.6 แสดงสัญญาณอินพุต V_{in} สัญญาณ V_{peak} สัญญาณ V_f และสัญญาณ V_{out} โดยจะเห็นได้ว่าสัญญาณ V_{peak} นั้นจะถูกรีเซ็ตให้มีค่าเป็น 0 ช่วงเวลาเท่ากับ $T_{in}/2$ ทุกๆ 2 คาบของสัญญาณอินพุต สัญญาณ V_f เป็นเอาต์พุตของ DAC#1 ที่ถูกป้อนกลับมาเปรียบเทียบกับสัญญาณ V_{peak} ซึ่งวงจร ADC จะทำการแปลงสัญญาณเฉพาะช่วงเวลาที่มีสัญญาณนาฬิกา ck' เท่านั้น สำหรับสัญญาณ V_{out} เกิดจากการนำ DAC#2 ไปต่อเพื่อรับข้อมูลจากรีจิสเตอร์สำหรับการแสดงผลการทำงานเปรียบเทียบกับสัญญาณอินพุต ซึ่งในกรณีที่แอมพลิจูดของสัญญาณอินพุตมีค่าคงที่สัญญาณ V_{out} จะมีลักษณะเป็นสัญญาณไฟตรงที่มีค่าขนาดประมาณเท่ากับค่าแอมพลิจูดของสัญญาณอินพุต



(สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500 μs/div.)

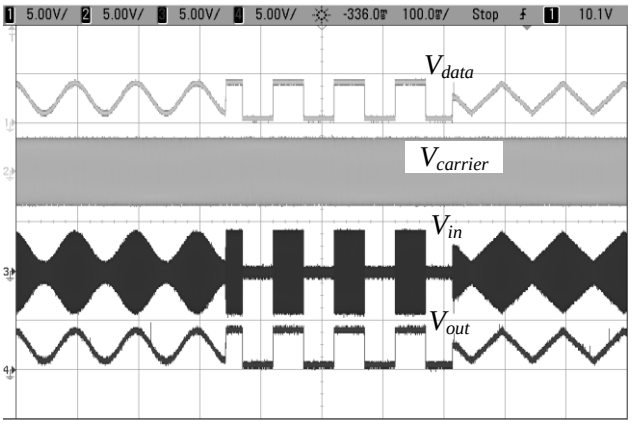
ภาพ 3.5 สัญญาณ V_{in} สัญญาณ Q_{peak} สัญญาณ Q_{adc} และ สัญญาณ ck'



(สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 500 μs/div.)

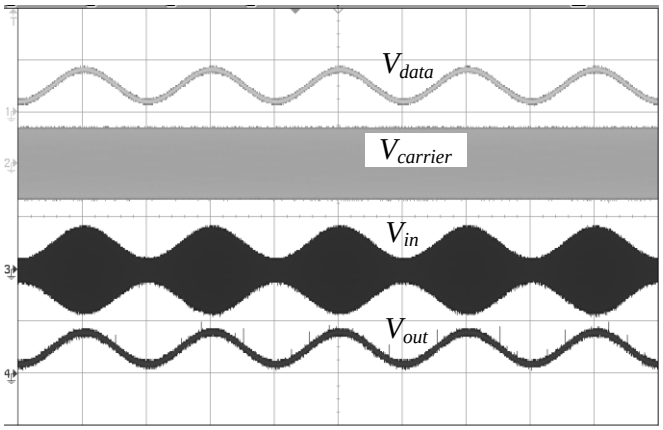
ภาพ 3.6 สัญญาณ V_{in} สัญญาณ V_{peak} สัญญาณ V_f และสัญญาณ V_{out}

ภาพ 3.7 และภาพ 3.8 แสดงตัวอย่างการทำงานของวงจรในกรณีที่อินพุตของวงจรเกิดจากการมอดูเลตกันทางขนาดระหว่างสัญญาณรูปไซน์ความถี่สูง ($V_{carrier}$) ความถี่ 50 kHz กับสัญญาณความถี่ต่ำ (V_{data}) ที่มีรูปร่างต่างๆ ดังรูป โดยจะเห็นได้ว่าสัญญาณ V_{out} ที่ได้จะมีรูปร่างเหมือนสัญญาณ V_{data} ซึ่งเป็นค่าแอมพลิจูดของสัญญาณ Vin และจากผลการวัดค่า THD ของสัญญาณ V_{out} จากการแปรค่าความถี่ของสัญญาณ V_{data} ที่เป็นรูปไซน์ดังแสดงผลการวัดในภาพ 3.9 จะเห็นได้ว่าเมื่อความถี่ของสัญญาณ V_{data} มีค่าสูงขึ้น ค่า THD ของสัญญาณ V_{out} ก็จะมีค่าสูงขึ้น ดังนั้นในกรณีที่สัญญาณอินพุตของวงจรมีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างช้าๆ (ความถี่ของการเปลี่ยนแปลงแอมพลิจูดมีค่าต่ำ) วงจรที่ได้พัฒนาออกแบบขึ้นจะมีผลการทำงานที่ดีกว่าแบบที่มีการเปลี่ยนแปลงค่าแอมพลิจูดอย่างรวดเร็ว และผลจากการตรวจสอบค่าความถี่สูงที่สุดของสัญญาณอินพุตที่วงจรหาค่าแอมพลิจูดสามารถทำงานได้พบว่ามีค่าสูงสุดประมาณเท่ากับ 125 kHz เมื่อใช้สัญญาณนาฬิกาเท่ากับ 1.5 MHz ทั้งนี้มีค่าสูงกว่าแบบอาศัยหลักการนับแบบเดิมที่ผู้วิจัยได้เคยพัฒนาออกแบบไว้ (ขนาด 8 บิต) ซึ่งหลักการดังกล่าวนั้นสามารถใช้งานกับสัญญาณอินพุตที่มีความถี่สูงสุดได้เพียงประมาณ 3 kHz [15] เมื่อใช้สัญญาณนาฬิกาความถี่เท่ากัน จากสมบัติการทำงานที่สำคัญต่าง ๆ ของวงจรสามารถนำมาสรุปได้ดังแสดงในตารางที่ 3.2



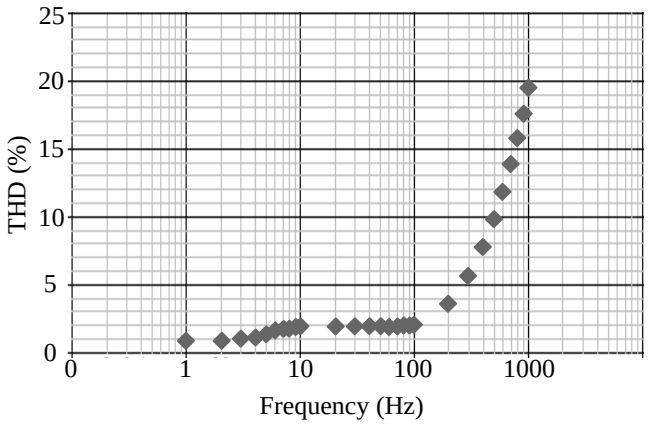
(สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 100 ms/div.)

ภาพ 3.7 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดเป็นสัญญาณรูปต่างๆ



(สเกลแนวตั้งเท่ากับ 5 V/div. สเกลแนวนอนเท่ากับ 50 ms/div.)

ภาพ 3.8 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงค่าแอมพลิจูดแบบเป็นรูปไซน์



ภาพ 3.9 ผลการวัดค่าผลรวมความผิดเพี้ยนฮาร์มอนิก

ตารางที่ 3.2 ผลการตรวจสอบสมบัติการทำงานของวงจร

สมบัติการทำงาน	**ผลการตรวจสอบ**
เวลาที่ใช้ในแต่ละรอบการทำงาน	$2T_{in}$
ช่วงปฏิบัติการทางขนาดด้านอินพุต	0.5 V ถึง 5 V
ช่วงความถี่ใช้งาน	4 Hz ถึง 125 kHz
ค่าผิดพลาดสูงสุด	± 13 mV

3.5 สรุป

วงจรแปลงค่าแอมพลิจูดของสัญญาณรูปไซน์ให้เป็นสัญญาณดิจิทัลขนาด 12 บิตที่ได้พัฒนาขึ้นภายในบทนี้เป็นการพัฒนาวงจรอิเล็กทรอนิกส์สำหรับอำนวยความสะดวกและลดขั้นตอนการประมวลผลสัญญาณที่ได้จากทรานส์ดิวเซอร์บางชนิดที่มีลักษณะเป็นการมอดูเลตแบบแอมพลิจูดระหว่างสัญญาณกระตุ้นทรานส์ดิวเซอร์กับปริมาณที่ต้องการตรวจวัดโดยวงจรที่ได้พัฒนาขึ้นจะทำการตรวจวัดค่าแอมพลิจูดและแปลงให้เป็นสัญญาณดิจิทัลโดยอัตโนมัติ ผลจากการทดสอบการทำงานเบื้องต้นด้วยวิธีการต่อวงจรบนบอร์ดทดลองพบว่าวงจรสามารถทำงานได้สอดคล้องกับหลักการที่ได้นำเสนอโดยมีสมบัติที่สำคัญดังนี้คือ เวลาที่ใช้ในแต่ละรอบการทำงานมีค่าเท่ากับ $2T_{in}$ ซึ่งวงจรสามารถใช้งานกับสัญญาณรูปไซน์ความถี่สูงสุดประมาณเท่ากับ 125 kHz ช่วงปฏิบัติการทางขนาดด้านอินพุตเท่ากับ 0.5 V ถึง 5 V ค่าผิดพลาดสูงสุดของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่วัดได้มีค่าโดยประมาณเท่ากับ ± 13 mV โดยค่าผิดพลาดดังกล่าวนี้ยังเป็นค่าที่สูงกว่าค่าขั้นการควอน-ไทซ์ที่ควรจะเป็นประมาณ 11 เท่า ซึ่งจะต้องปรับปรุงต่อไป