

ในงานวิจัยนี้ได้นำเสนอ Framework สำหรับวิธีการสำรวจการออกแบบที่เหมาะสมซึ่งพิจารณาปัจจัยความไม่แน่นอน (Impreciseness) ในข้อกำหนดของการออกแบบ ในการสังเคราะห์วงจรระดับสถาปัตยกรรมนั้น มักจะมีความไม่แน่นอนเกี่ยวกับข้อมูลของข้อกำหนดในงานวิจัยนี้ ผู้วิจัยได้พิจารณาประเภทของความไม่แน่นอนของประเภท ได้แก่ ความไม่แน่นอนในด้านข้อกำหนดของหน่วยคำนวณ และความไม่แน่นอนในข้อกำหนดด้านเงื่อนไขด้านเวลาและเงื่อนไขด้านจำนวนรีจิสเตอร์ ใน Framework นี้ จะอ้างอิงรูปแบบ iterative และอ้างอิงกับวิธีการจัดลำดับอันได้แก่ Register-Constrained Inclusion Scheduling ในบทความนี้ได้นำเสนอตัวอย่างถึงวิธีการทำงานของการจัดลำดับแบบนี้ และได้ทดลองการใช้ Framework การออกแบบนี้กับตัวอย่าง benchmark อันได้แก่ Discrete Cosine Transform และ Volterra Filter แนวทางการออกแบบที่เลือกสำหรับการออกแบบทั้งสองนี้ได้เหมาะสมกับระดับการยอมรับได้ (Acceptability Criteria) และประหยัดจำนวนรีจิสเตอร์ทั้งหมดโดยประมาณด้วย

Abstract

TE164815

We propose a design exploration framework which consider impreciseness in design specification. In high-level synthesis, imprecise information is often encountered. We consider two types of impreciseness: impreciseness underlying on functional unit specifications and on constraints: latency and register. The framework is iterative and based on a core scheduling called, *Register-Constrained Inclusion Scheduling*. An example how the scheduling algorithm work is shown. We demonstrate the effectiveness of our framework for imprecise specification by exploring a design solution for a well-known benchmark, *Discrete Cosine Transform*, and *Volterra Filter*. The selected solution meets the acceptability criteria while minimizing the total number of registers.