192968

สุฟียัน สูเด็ง : การออกแบบบัสระบบสำหรับวงจรอสมวาร. (A DESIGN OF SYSTEM BUS FOR ASYNCHRONOUS CIRCUITS) อ. ที่ปรึกษา : ดร. อาทิตย์ ทองทักษ์, 134 หน้า.

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบบัสระบบเพื่อเป็นต้นแบบสำหรับวงจรอสมวาร ประกอบด้วย การออกแบบบัส อินเตอร์รัพท์ ดีเอ็มเอ และ นำเสนอการเชื่อมต่อระหว่างวงจรอสมวาร และอสมวาร, ระบบที่ออกแบบประกอบด้วยไมโครโพรเซสเซอร์แบบอสมวาร ที่ดัดแปลงในส่วน คำสั่ง, โครงสร้าง และส่วนควบคุม ระบบบัสแบบอสมวาร ดีเอ็มเอ ซึ่งออกแบบเป็นวงจรสมวารและอสมวาร ส่วนควบคุมอินพุต/เอาท์พุต สำหรับควบคุมการรับส่งข้อมูลของอินพุต/เอาท์พุตแบบสมวาร

บัสแบบอสมวารออกแบบโดยแบ่งออกเป็น 6 ส่วน ประกอบด้วย ส่วนเชื่อมต่อบัส, ตัวขับบัส, สายสัญญาณบัส, ตัวควบคุมบัส, ตัวรับบัส และส่วนเชื่อมต่อวงจรสมวาร ส่วนเชื่อมต่อบัส ออกแบบสำหรับเชื่อมต่อระหว่างบัส ไมโครโพรเซสเซอร์ และดีเอ็มเอ ตัวขับบัส ออกแบบให้ทำงานในลักษณะสวิทช์ที่ใช้ในการเปิดปิดสัญญาณเข้าสู่บัส เกตผกผัน ต่อกับสายสัญญาณบัสเพื่อให้บัสใช้กับวงจรอสมวารได้ ตัวรับบัส ใช้เพื่อรับสัญญาณจากบัสและส่งต่อไปยังปลายทาง. ตัวควบคุมบัส ออกแบบโดยใช้กราฟบรรยายการเปลี่ยนสัญญาณ ใช้ในการควบคุมการทำงานของบัส

ดีเอ็มเอ ออกแบบเป็นทั้งวงจรสมวาร และวงจรอสมวาร ดีเอ็มเอแบบอสมวารออกแบบโดยใช้เครื่องจักรสถานะ ส่วนดีเอ็มเอแบบอสมวาร ออกแบบโดยใช้การเข้ารหัสแบบโครงสร้าง ส่วนควบคุมอินพุต/เอาท์พุต ออกแบบเพื่อควบคุมการติดต่อกับอินพุต/เอาท์พุตส่วนที่เป็นวงจรสมวารทุกชนิด เช่น จอแสดงผล, แป้นพิมพ์, ปุ่มต่าง ๆ เป็นต้น

วงจรที่ออกแบบทดสอบโดยการจำลองการทำงาน เมื่อได้การทำงานที่ถูกต้องแล้ว จึงนำมาทดสอบการทำงานจริงกับบอร์ดทดลองของบริษัท Xilinx โดยใช้ เอฟพีจีเอ เบอร์ 3S500EFG320 ในการอิมพลีเมนท์จะกำหนดพาติชั่นเพื่อป้องกันไม่ให้ส่วนของวงจรเกิดการเชื่อมสายที่ผิดพลาด หลังจากมีการปรับปรุงวงจรในภายหลัง จากการทดสอบปรากฏว่าวงจรทำงานได้อย่างถูกต้อง และใช้เกตจำนวน 141,063 เกต สำหรับวงจรที่ออกแบบรวมกับดีเอ็มเอแบบอสมวาร และ 141,587 เกต สำหรับวงจรที่ออกแบบรวมกับดีเอ็มเอแบบสมวาร

192968

4670566021 : MAJOR COMPUTER ENGINEERING

KEY WORD: SYSTEM BUS / TRI-STATE / DMA / INTERRUPT / STG/STRUCTURAL ENCODING

SUFIAN SUDENG : A DESIGN OF SYSTEM BUS FOR ASYNCHRONOUS CIRCUITS.

THESIS ADVISOR: ARTHIT THONGTAK, 134 pp.

This thesis proposes a system bus design for asynchronous circuits. Interrupt technique and DMA method are included in the design for bus. Moreover, an interfacing between synchronous and asynchronous circuits with I/O capability is also shown, our proposed system composes of a reference asynchronous processor, which instruction, architecture and control unit have been modified. The asynchronous system bus, DMA controller, both synchronous and asynchronous circuits I/O controller are demonstrated.

The bus structure is divided into six components Bus Interface, Bus Driver, Bus lines, Bus Controller, Bus Receiver, and Synchronous Interface. Bus interface is designed to interface with an asynchronous processor. Bus Driver acts like an on/off switch to enable/disable transition signal on the bus. The weak inverters are added on each bus line to remove high impedance. Bus receiver receives data from bus and transfer to the destination. Bus controller is designed with STG to control the bus synchronization.

Two versions of DMA controller are introduced: synchronous and asynchronous. The state machine model is used for a synchronous version, while structural encoded STG is implemented for an asynchronous version. I/O controller is responsible for arbitrating between two or more I/O modules such as the display, the keyboard and other inputs.

The proposed design has been implemented on Spartan-3E FPGA no. 3S500EFG320 by partitioning each module in order to prevent place and routing conflict. Finally, time simulation and board demonstration are shown. The design consumes 141,063 gates count for system with asynchronous DMA controller and 141,587 gates count for system with synchronous DMA controller.