บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

2.1 บทนำ

ในบทนี้จะอธิบายถึงทฤษฎีพื้นฐานเกี่ยวกับซีพีแอลดี และวงจรลอจิกที่สามารถโปรแกรมได้ชนิดอื่นๆ พร้อมทั้งแนวทางการเลือกใช้ซีพีแอลดี ให้เหมาะสมกับงาน โดยหัวข้อที่จะนำเสนอได้แก่ โครงสร้างและหลักการทำงานของซีพีแอลดี, โครงสร้างทางสถาปัตยกรรมของซีพีแอลดี, การโปรแกรมซีพีแอลดี, ลำดับชั้นความปลอดภัยของการออกแบบ, คุณสมบัติขณะเริ่มทำงาน (Power-Up Characteristics) และภาษาที่ใช้ในการออกแบบ

2.2 หลักการพื้นฐานเกี่ยวกับซีพีแอลดี

2.2.1 โครงสร้างและหลักการทำงานของซีพีแอลดี

ซีพีแอลดี (CPLD) เป็นคำย่อมาจาก Complex Programmable Logic Device หมายถึงไอซีที่สามารถสร้างวงจรลอจิกทั้งแบบกลุ่ม (Combination) และแบบลำดับ (Sequential) ได้โดยการออกแบบโดยใช้คอมพิวเตอร์ และโปรแกรมลงไปบนตัวซีพีแอลดีโดยใช้มาตรฐานการโปรแกรมแบบเจแทค (JTAG Programmer) อุปกรณ์ที่มีลักษณะคล้ายกันนี้ได้แก่

จีเอแอล (GAL: Gate Array Logic) เป็นไอซีที่ใช้โปรแกรมวงจรลอจิกได้เฉพาะวงจร แบบกลุ่ม โปรแกรมโดยเครื่องโปรแกรมโดยเฉพาะ โปรแกรมได้เพียงครั้งเดียว หากผิดไม่สามารถแก้ไขได้ ขาอินพุท และเอาท์พุทถูกกำหนดไว้ตายตัวไม่สามารถเปลี่ยนได้ มีจำนวนลอจิกเกตน้อย ใช้แทนวงจรที่มีขนาดเล็กไม่ซับซ้อน

พีเอแอล (PAL: Programmable Array Logic) เป็นไอซีที่ใช้โปแกรมสร้างวงจรลอจิกที่ซับซ้อนมากขึ้นกว่าจีเอแอลโดยมีทั้งตัวลอจิกเกทต่างๆ และ ฟลิปฟลอป (Flip–flop) ที่สามารถออกแบบวงจรที่ผสมระหว่างวงจรลอจิกแบบกลุ่ม และแบบลำดับ การโปรแกรมมีเครื่องมือที่สามารถออกแบบและโปรแกรมผ่านทางคอมพิวเตอร์ได้ ส่วนขา อินพุต/เอาต์พุต ยังถูกบังคับไม่สามารถใช้สลับกันได้ แต่การโปรแกรมไม่สามารถทำซ้ำได้มากนัก ส่วนซีพีแอลดี เป็นไอซีที่ใช้ออกแบบวงจรขนาดใหญ่ที่สามารถออกแบบโดยเขียนเป็นโปรแกรมภาษา เอชดีแอล (HDL) ได้ ใช้เทคโนโลยีการเก็บรักษาวงจรแบบแฟลช ที่สามารถคงสถานะของวงจรที่ฝังอยู่ประมาณ 20 - 40 ปี สามารถโปรแกรมซ้ำได้ประมาณมากกว่า 10,000 ครั้ง ขา อินพุต/เอาต์พุต เป็นแบบเอนกประสงค์โดยสามารถกำหนดให้เป็นอินพุทและเอาท์พุท

แบบต่างๆได้ มีจำนวนลอจิกเกตที่สามารถกำหนดให้เป็นเกต อะไรก็ได้ เริ่มตั้งแต่ 800 ตัว และ ฟลิปฟลอป36 ตัว ไปจนถึงเป็นแสนๆ เกต และฟลิปฟลอปหลายพันตัว ที่สามารถรองรับการออกแบบวงจรขนาดใหญ่ๆ และซับซ้อนมากๆได้

เอฟพีจีเอ (FPGA: Field-Programmable Gate Array) เป็นไอซีที่ใช้ออกแบบวงจรที่มีขนาดใหญ่มากๆ และมีความซับซ้อนของระบบสูงมากเท่าที่มีอยู่ปัจจุบันที่ใช้ในการพัฒนาออกแบบหน่วยประมวลผล (CPU) ขนาดใหญ่ๆได้ โดยมีจำนวนลอจิกเกตและฟลิปฟลอปนับล้านๆ ตัว มีจำนวนขา อินพุต/เอาต์พุต ตั้งแต่หลายสิบไปจนถึงหลายร้อยขา การโปรแกรมและการรักษาวงจรใช้เทคโนโลยีแบบโวลานไทน์ (Volantine) เช่นเดียวกับโครงสร้างหน่วยความจำแรมคือต้องโปรแกรมแล้วต้องมีไฟเลี้ยงตัวไอซีอยู่ตลอดเวลา หากไฟดับวงจรจะหายไปทันที ดังนั้นในการออกใช้งาน จะต้องมี หน่วยความจำแบบแฟลช (Flash memory) สำหรับเก็บค่าสถานะของวงจรต่อพ่วงอยู่เสมอ โดยขณะที่โปรแกรม เราต้องโปรแกรมการตั้งค่า (Config) ลงใน แฟลชด้วย การทำงานคือ เมื่อเปิดไฟเลี้ยงตัวไอซี ข้อมูลการตั้งค่า วงจรจากแฟลช จะถูกโหลดมาสร้างเป็นวงจรตามที่โปรแกรมไว้และทำงานได้ทันที ด้วยเทคโนโลยีนี้เอฟพีจีเอ จึงสามารถใช้งานได้เหมือนกันกับซีพีแอลดี และที่สำคัญซีพีแอลดีและเอฟพีจีเอ สามารถใช้โปรแกรมที่เป็นเครื่องมือในการพัฒนาออกแบบวงจรตัวเดียวกัน

จากตัวอย่างคุณสมบัติและตารางทั้งสองในรูปที่ 2.1 ของซีพีแอลดี ส่วนที่เป็นสาระสำคัญที่ควรรู้เพื่อนำไปเป็นข้อมูลเบื้องต้นในการออกแบบได้แก่

1. ซีพีแอลดีสามารถใช้งานความถี่สูงถึง 208 เมกะเฮิรตซ์ ใช้งานที่แรงดัน 5 โวลต์ และ 3.3 โวลต์

2. ซีพีแอลดีแต่ละเบอร์สามารถเลือก จำนวน อินพุตเอาต์พุต ตามตัวถัง (Package) ได้ ดังในรูปที่ 2.1

3. เราสามารถเลือกขนาดของซีพีแอลดีได้ตามรูปที่ 2.1 ซึ่งแต่ละเบอร์จะมีจำนวนลอจิกเกตใช้งาน (Usable Gates) และจำนวนรีจิสเตอร์ (Register) หรือจำนวน ฟลิปฟลอป ที่แตกต่างกัน

4. การเชื่อมต่อการใช้งานด้านอินพุท กับเอาท์พุท ที่มีขนาดแรงเคลื่อน 5 โวลต์ เท่ากันตามรูปที่ 2.2(ก) และที่มีแรงเคลื่อน 3.3 โวลต์ ตามรูปที่ 2.2(ข) จะต้องต่อไฟเลี้ยงขา VCCINT และ VCCIO ที่ค่าแตกต่างกัน

XILINX®

XC9500XL High-Performance CPLD Family Data Sheet

DS054 (v2.5) May 22, 2009 **Product Specification**

Features

- Optimized for high-performance 3.3V systems
  - 5 ns pin-to-pin logic delays, with internal system frequency up to 208 MHz
  - Small footprint packages including VQFPs, TQFPs and CSPs (Chip Scale Package)
  - Pb-free available for all packages
  - Lower power operation
  - 5V tolerant I/O pins accept 5V, 3.3V, and 2.5V signals
  - 3.3V or 2.5V output capability
  - Advanced 0.35 micron feature size CMOS FastFLASH technology
- Advanced system features
  - In-system programmable
  - Superior pin-locking and routability with FastCONNECT II switch matrix
  - Extra wide 54-input Function Blocks
  - Up to 90 product-terms per macrocell with individual product-term allocation
  - Local clock inversion with three global and one product-term clocks
  - Individual output enable per output pin with local inversion
  - Input hysteresis on all user and boundary-scan pin inputs
  - Bus-hold circuitry on all user pin inputs
  - Supports hot-plugging capability
  - Full IEEE Std 1149.1 boundary-scan (JTAG) support on all devices
- Four pin-compatible device densities
  - 36 to 288 macrocells, with 800 to 6400 usable gates
- Fast concurrent programming
- Slew rate control on individual outputs
- Enhanced data security features
- Excellent quality and reliability
  - 10,000 program/erase cycles endurance rating
  - 20 year data retention
- Pin-compatible with 5V core XC9500 family in common package footprints

Table 1: **XC9500XL Device Family**

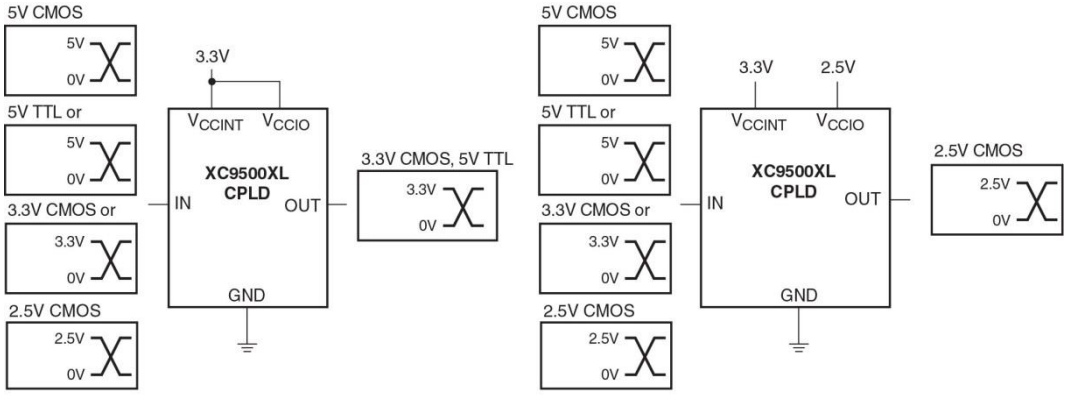
	XC9536XL	XC9572XL	XC95144XL	XC95288XL
Macrocells	36	72	144	288
Usable Gates	800	1,600	3,200	6,400
Registers	36	72	144	288
T_{PD} (ns)	5	5	5	6
T_{SU} (ns)	3.7	3.7	3.7	4.0
T_{CO} (ns)	3.5	3.5	3.5	3.8
f_{SYSTEM} (MHz)	178	178	178	208

Table 2: **XC9500XL Packages and User I/O Pins (not including 4 dedicated JTAG pins)**

Package(1)	XC9536XL	XC9572XL	XC95144XL	XC95288XL
PC44	34	34	-	-
PCG44	34	34		
VQ44	34	34	-	-
VQG44	34	34		
CS48	36	38	-	-
CSG48	36	38		
VQ64	36	52	-	-
VQG64	36	52		
TQ100	-	72	81	-
TQG100		72	81	
CS144	-	-	117	-
CSG144			117	
TQ144	-	-	117	117
TQG144			117	117
PQ208	-	-	-	168
PQG208				168
BG256	-	-	-	192
BGG256				192
FG256	-	-	-	192
FGG256				192
CS280	-	-	-	192
CSG280				192

Notes:
1. The letter "G" as the third character indicates a Pb-free package.

รูปที่ 2.1 ตัวอย่างรายละเอียดคุณสมบัติของซีพีแอลดีตระกูล XC9500XL ของ XILINX [7]



รูปที่ 2.2 การเชื่อมต่อการใช้งานด้านอินพุทและเอาท์พุท [7]

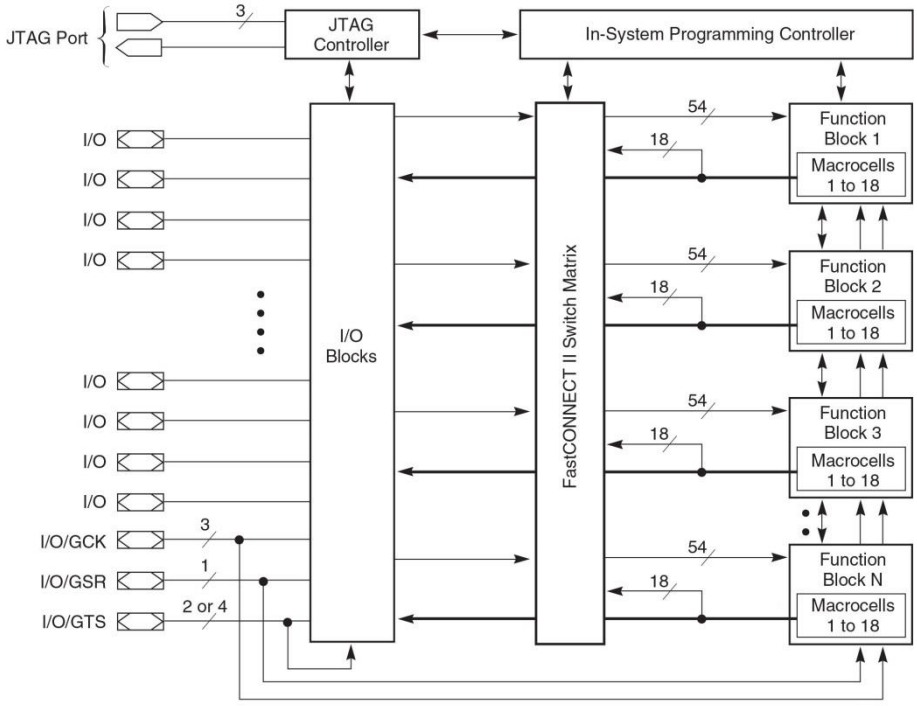
2.2.2 โครงสร้างทางสถาปัตยกรรมของซีพีแอลดี

ในซีพีแอลดี ตระกูล XC9500XL ของ XILINX ทุกตัวประกอบด้วยวงจรที่เป็นส่วนการทำงาน ได้แก่ ฟังก์ชันบล็อก (Function Block(FBs)) และ อินพุต/เอาต์พุต บล็อก (I/O Blocks (IOBs)) ดังรูปที่ 2.3 ซึ่งทั้งสองส่วนจะถูกเชื่อมต่อกันภายในโดยการทำงานในส่วนของวงจรที่เรียกว่า ฟาสท์คอนเนคท์สวิตช์เมทริก (Fast CONNECT switch matrix) ซึ่งวงจรส่วนนี้เป็นลิขสิทธิ์เฉพาะของผู้ผลิต วงจรส่วนนี้จะทำงานโดยข้อมูลโปรแกรมที่มาจากส่วนวงจรควบคุมการโปรแกรมแบบในระบบ (In-System Programming Controller) วงจรส่วนฟาสท์คอนเนคท์สวิตช์เมทริก จะทำงานร่วมกับ ฟังก์ชันบล็อก ทำให้เกิดวงจรลอจิกตามที่ได้ออกแบบและโปรแกรมเข้าไว้ ในซีพีแอลดี แต่ละตัวจะมีฟังก์ชันบล็อก หลายชุด โดยแต่ละชุดจะมีสายสัญญาณการโปรแกรมลอจิกจากฟาสท์คอนเนคท์สวิตช์เมทริก เป็นอินพุท จำนวน 36 เส้น และเอาท์พุทจำนวน 18 เส้น ในแต่ละฟังก์ชันบล็อก ภายในจะประกอบด้วยวงจรส่วนที่เรียกว่ามาโครเซลล์ จำนวน 18 ชุด ภายในวงจรมาโครเซลล์ จะประกอบด้วยวงจรรีจิสเตอร์ หรือ ฟลิป-ฟล็อป ที่สามารถประกอบกันเป็นวงจรรีจิสเตอร์ หรือ เคาเตอร์ได้ ส่วนวงจรในส่วนที่เรียกว่า อินพุต/เอาต์พุต บล็อก จะทำหน้าที่เป็นตัวเชื่อมต่อกับขา อินพุต/เอาต์พุต ของตัวไอซีโดยสามารถโปรแกรมให้แต่ละขาเป็น อินพุต/เอาต์พุต หรือ ไบไดเรคชัน (Bi-direction) และสามารถกำหนดสลูว์เรท (Slew rate) ได้ด้วย

โครงสร้างของฟังก์ชันบล็อก

แต่ละฟังก์ชันบล็อก ประกอบด้วยมาโครเซลล์ จำนวน 18 ชุดโดยแต่ละชุดจะทำงานเป็นอิสระไม่ขึ้นต่อกัน วงจรส่วนนี้สามารถจะโปรแแกรมให้สร้างได้ทั้งแบบกลุ่มหรือแบบลำดับ วงจรแอนด์อาเรย์แบบโปรแกรมได้ (Programmable AND-Array) ทำหน้าที่นำเอาสายสัญญาณที่มาจาก ฟาสท์คอนเนคท์สวิตช์เมทริก มาทำให้เป็นสัญญาณลอจิคสูง (True) และคอมพลีเมนท์ (complement) รวมเป็น

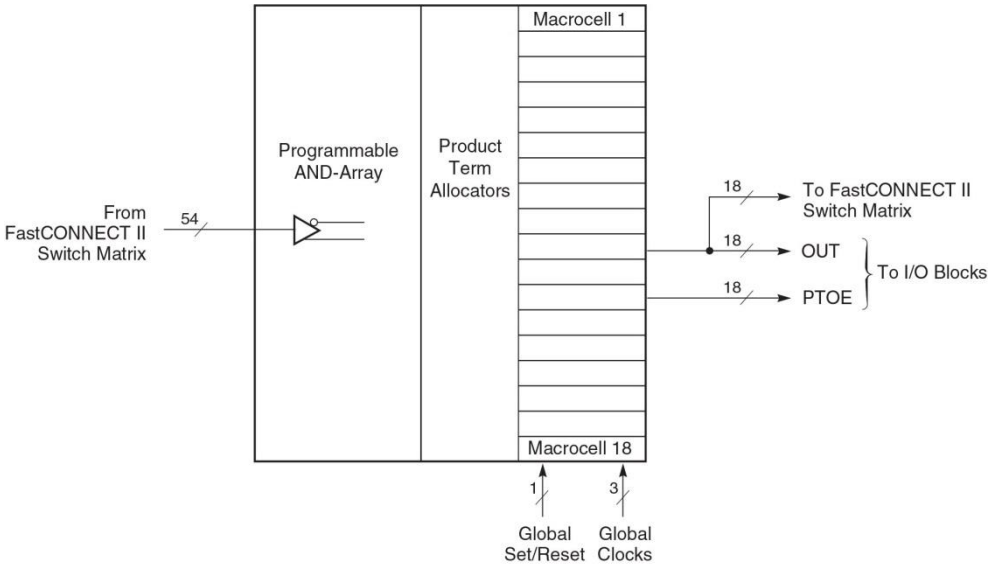
72 เส้นสัญญาณ ส่งไปยังวงจรเทอมผลคูณ (Product Term Allocators) และต่อไปยังมาโครเซลล์ ทั้ง 18 ตัว ตามรูปที่ 2.4



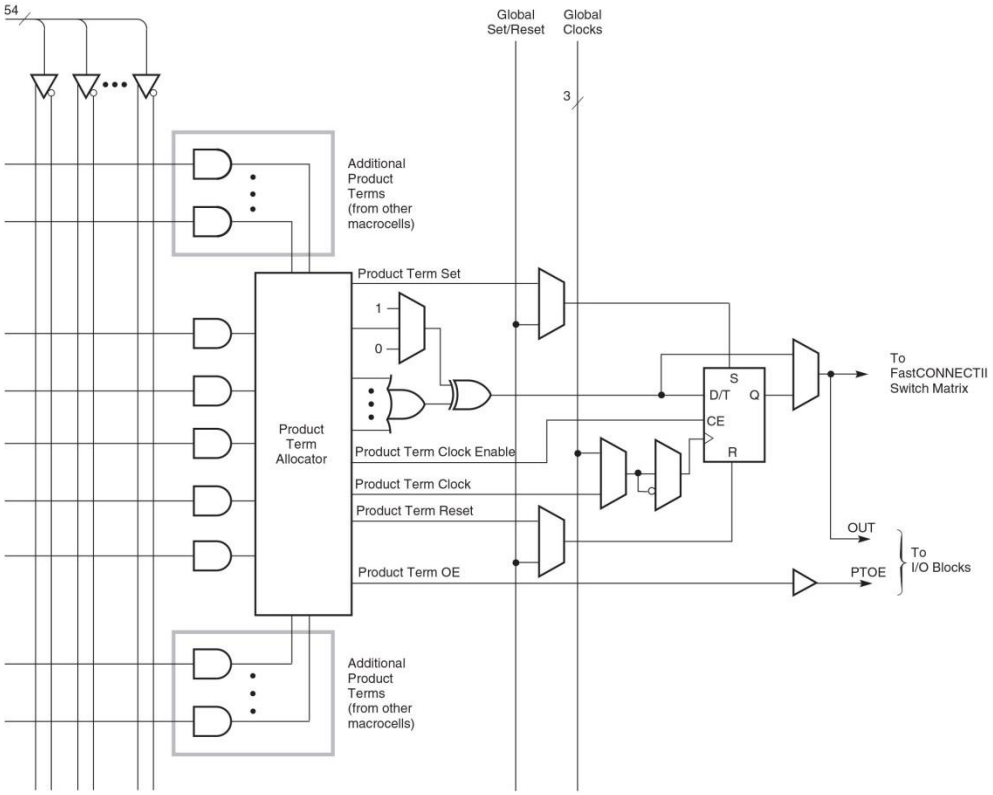
รูปที่ 2.3 โครงสร้างของซีพีแอลดี ตระกูล XC9500XL ของ XILINX [7]

โครงสร้างของมาโครเซลล์

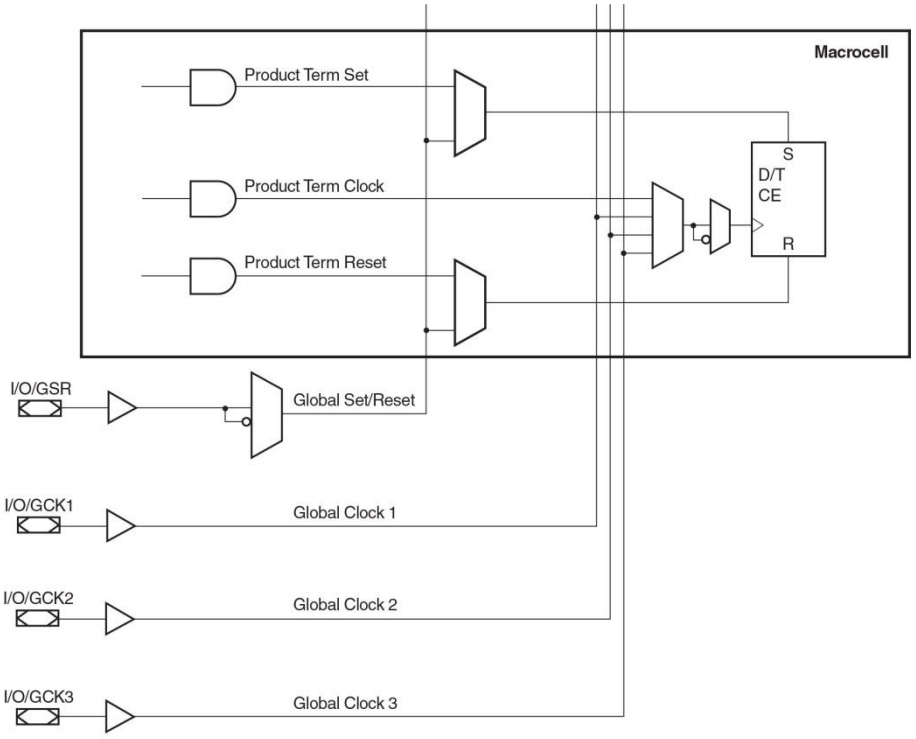
รูปที่ 2.5 แสดงโครงสร้างในแต่ละมาโครเซลล์ ที่อยู่ภายในฟังก์ชันบล็อก ซึ่งประกอบด้วยส่วนการทำงานที่เรียกว่าวงจรเทอมผลคูณ (Product Term) จำนวน 5 ชุดที่ต่อสัญญาณมาจากแอนด์อาเรย์สำหรับใช้เป็นข้อมูลลอจิกปฐมภูมิ (ได้แก่ OR และ XOR Gates) ที่จะนำมาสร้างเป็นวงจรลอจิกประเภทกลุ่ม หรือเป็นวงจรควบคุมทางของวงจรรีจิสเตอร์รวมทั้งสัญญาณ นาฬิกา (Clock), เซต/ รีเซต (Set/ Reset) และสัญญาณ เปิดการทำงาน (Enable) ต่างๆ ในส่วนของมาโครเซลล์รีจิสเตอร์โปรแกรมสามารถจะกำหนดให้เป็นฟลิป-ฟล็อปแบบต่างๆ ได้ เช่น ดี-ฟลิบฟล็อบ, ที-ฟลิบฟล็อบ หรืออาจกำหนดให้เป็นตัวผ่าน กรณีที่เป็นวงจรประเภท กลุ่มในการกำหนดสัญญาณ เซต/ รีเซต ให้ฟลิป-ฟล็อป สามารถกำหนดให้เป็นได้ทั้งแบบซิงโครนัส (Synchronous) และอะซิงโครนัส (Asynchronous) และการทำงานเป็นได้ทั้งแยกเดี่ยว (Individual) และแบบโกลบอล (Global) และการทำงานขณะเริ่มเปิดไฟเข้าเลี้ยงวงจร ฟลิป-ฟล็อป จะถูกกำหนดให้ผู้ใช้พร้อมจะโหลดข้อมูลเข้าได้ (หากไม่ได้กำหนดเป็นอย่างอื่น)



รูปที่ 2.4 โครงสร้างของฟังก์ชันบล็อก [7]



รูปที่ 2.5 โครงสร้างภายในของมาโครเซลล์ ของซีพีแอลดี ตระกูล XC9500XL [7]



รูปที่ 2.6 สายสัญญาณโกลบอลที่ต่อตรงเข้าไปยังมาโครเซลล์ [7]

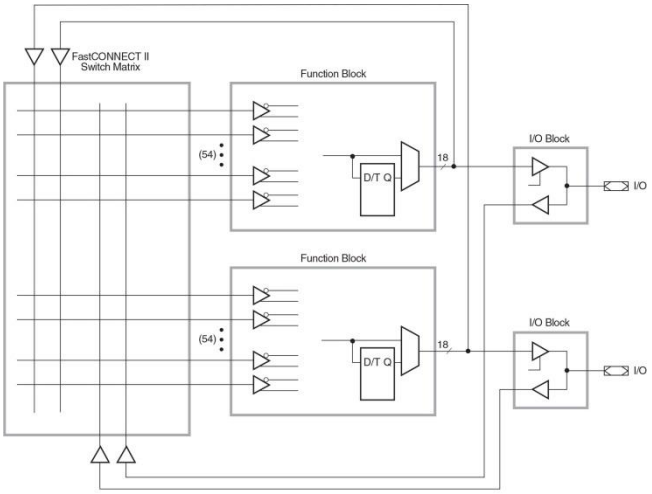
โครงสร้างของฟาสท์คอนเนคท์สวิตช์เมทริก

รูปที่ 2.7 แสดงวงจรของฟาสท์คอนเนคท์สวิตช์เมทริก จะมีสายสัญญาณเชื่อมต่อไปยังฟังก์ชันบล็อก (FB) โดยในฟังก์ชันบล็อก หนึ่งๆ จะมีสายจาก ฟาสท์คอนเนคท์สวิตช์เมทริก จำนวน 36 เส้น วงจรฟาสท์คอนเนคท์สวิตช์เมทริก จะมีลักษณะเป็นวงจรสายแอนด์ (Wired-AND) การทำงานของวงจรจะเป็นตัวป้อนกลับเข้าไปยังวงจรในส่วนฟังก์ชันบล็อก เพื่อสร้างเป็นวงจรลอจิกเมื่อถูกโปรแกรม ตามที่ได้ออกแบบวงจรไว้

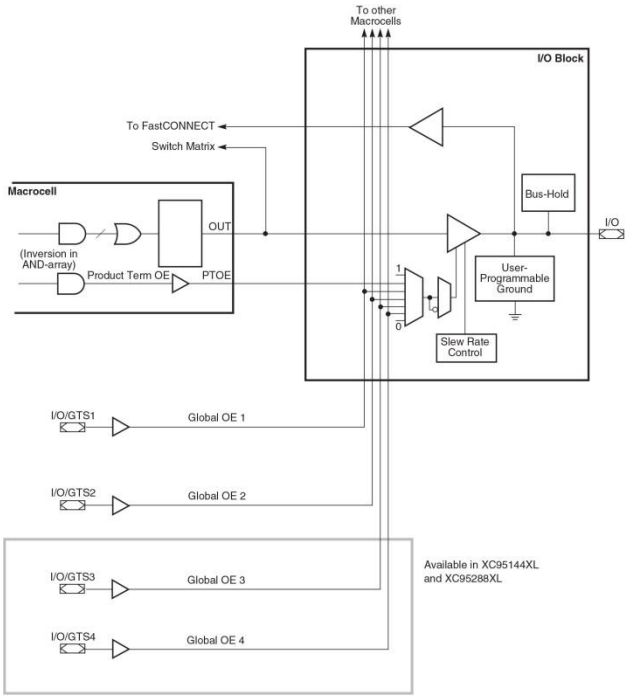
โครงสร้างของวงจรในส่วนของ I/O Block

รูปที่ 2.8 แสดงอินพุต/เอาต์พุต บล็อก (I/O Block (IOB)) ซึ่งเป็นวงจรด่านสุดท้ายที่ต่อเชื่อมจากมาโครเซลล์ ไปยังขา อินพุต/เอาต์พุต ของตัวไอซี วงจรในส่วนของอินพุต/เอาต์พุต บล็อก จะประกอบด้วยส่วนสำคัญ 5 ส่วน คือ อินพุต บัฟเฟอร์ (Input Buffer) ทำหน้าที่รับและปรับสภาพสัญญาณลอจิกที่ป้อนเข้าที่ขา อินพุต/เอาต์พุต ของซีพีแอลดี เอาต์พุตบัฟเฟอร์ (Output Buffer) ทำหน้าที่ควบคุมการส่งค่าสัญญาณลอจิกออกทางขา อินพุต/เอาต์พุต ของซีพีแอลดี วงจรส่วนนี้สามารถควบคุมค่าสลูว์เรท ค่าโกลบอล ไตร-สเตต(Global Tri-state (GTS)) และ เอาต์พุต เอเนเบิล(Output Enable (OE)) ที่ต่อสัญญาณควบคุมมาจากวงจรเทอมผลคูณ ได้โดยตรง ที่ขา อินพุต/เอาต์พุต ยังมีวงจรควบคุมตัวต้านทานพูลอัพซึ่งต่ออยู่กับ V_{CCIO} ซึ่งมีหน้าที่กำหนดให้ขา อินพุต/เอาต์พุต เกิดพูล

อัพให้เป็นลอจิกสูง (High) เพื่อป้องกันสัญญาณรบกวนขณะที่มีการโปรแกรมตัวซีพีแอลดี และวงจรกราวน์ที่สามารถโปรแกรมเองได้โดยผู้ใช้ (User-Programmable Ground) มีไว้เพื่อให้ผู้ใช้งานโปรแกรมให้ลงกราวด์ กรณีที่ขาอินพุต/เอาต์พุตไม่ได้ถูกใช้งาน



รูปที่ 2.7 การทำงานในส่วนของฟาสท์คอนเนคท์สวิตช์เมทริก [7]



รูปที่ 2.8 การทำงานในส่วนของอินพุต/เอาต์พุต บล็อกและ โกลบอล ไตร-สเตต [7]

2.2.3 การโปรแกรมซีพีแอลดี

ซีพีแอลดีตระกูล XC9500XL สามารถทำการโปรแกรมได้ในขณะมีไฟเลี้ยงวงจร และวงจรทำงานอยู่ได้ ซึ่งเรียกว่า การโปรแกรมในระบบ (In-System Programming) โดยใช้มาตรฐานโปโตคอลเจแทค (Protocol JTAG) แบบ 4 ขั้ว เป็นไปตามมาตรฐาน IEEE 1149.1 (Boundary-Scan (JTAG)) โดยสามารถโปรแกรมซ้ำได้มากกว่า 10,000 ครั้ง

2.2.4 ลำดับชั้นความปลอดภัยของการออกแบบ

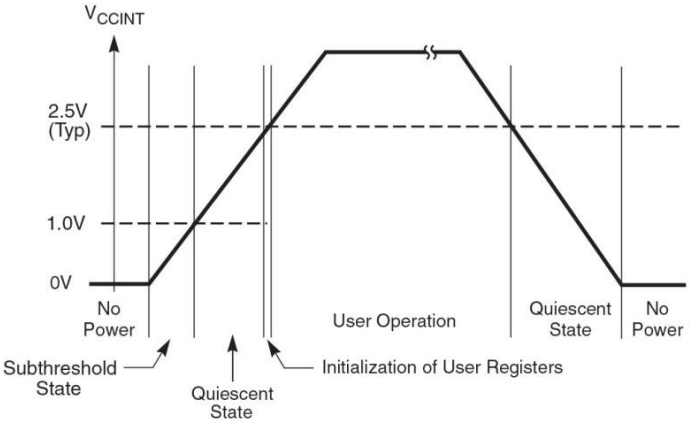
ซีพีแอลดีตระกูล XC9500XL สามารถป้องกันข้อมูลโปรแกรมไว้ได้อย่างสมบูรณ์ ทั้งอ่านและเขียน ซึ่งผู้ใช้สามารถกำหนดได้โดยการตั้งค่า บิตความปลอดภัยในการอ่าน (read security bits) และบิตความปลอดภัยในการเขียน (write security bits) ตามรูปที่ 2.9 ผู้ใช้สามารถกำหนดได้โดยขณะที่อยู่ในโหมดโปรแกรมแบบเจแทค

		Read Security	
		Default	Set
Write Security	Default	Read Allowed Program/Erase Allowed	Read Inhibited Program Inhibited Erase Allowed
	Set	Read Allowed Program/Erase Allowed	Read Inhibited Program/Erase Inhibited

รูปที่ 2.9 ระดับการกำหนดระดับป้องกันข้อมูลโปรแกรมทั้งอ่านและเขียน [7]

2.2.5 คุณสมบัติขณะเริ่มทำงาน (Power-Up Characteristics)

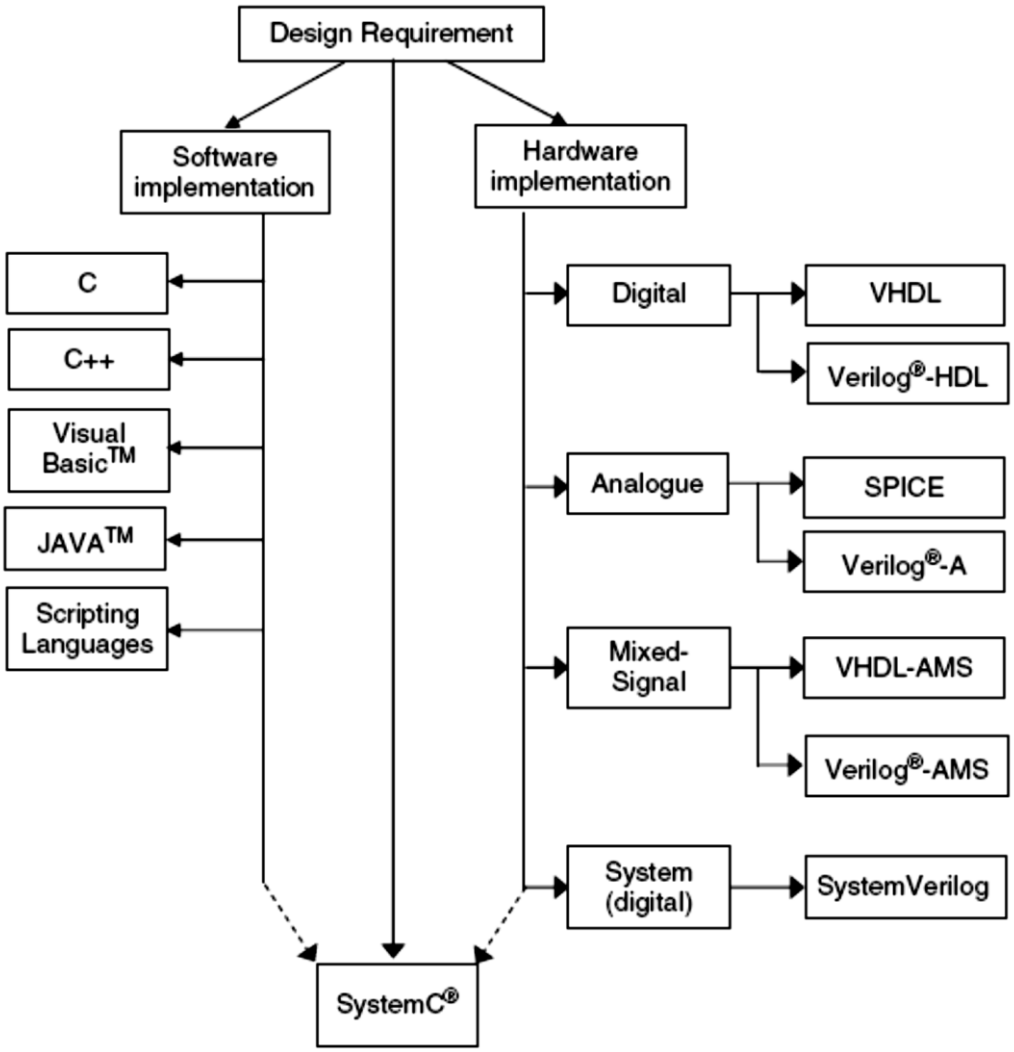
รูปที่ 2.10 แสดงคุณสมบัติขณะเริ่มทำงานของซีพีแอลดี ตระกูล XC9500XL ที่ใช้แรงเคลื่อน 3.3 โวลต์ เมื่อเริ่มจ่ายไฟเข้าเลี้ยงตัวซีพีแอลดี วงจรภายในจะถูกควบคุมให้อยู่ในภาวะสงบจนแรงเคลื่อนมีระดับถึงระดับความปลอดภัย (Safe Level Voltage) ประมาณ 2.5 โวลต์ ในระดับนี้ ค่าตัวต้านทานพูลอัพ จะถูกยกเลิก และรีจิสเตอร์ทุกตัวในวงจรจะถูกกำหนดค่าที่ตั้งไว้ตามที่โปรแกรมไว้ (Initialized) เวลาในการใช้ในการเริ่มทำงานปกติหลังจากเริ่มจ่ายไฟเลี้ยงจะใช้เวลาประมาณ 200 ไมโครวินาที



รูปที่ 2.10 คุณสมบัติภาวะเริ่มทำงาน (Power-Up Characteristics) และภาวการณ์หยุดทำงาน [7]

2.2.6 ภาษาที่ใช้ในการออกแบบ

ภาษาที่ใช้ในการออกแบบ หมายรวมถึงทั้งการออกแบบโปรแกรมซอฟท์แวร์ และการออกแบบวงจรที่เป็นฮาร์ดแวร์ถูกพัฒนาขึ้นมาเพื่อที่จะอธิบายขั้นตอนการทำงานต่าง ๆ ในระบบโดยใช้เครื่องมือนั่นก็คืออักษร (Text) มาประกอบกันเป็นคำสั่ง และกำหนดเป็นรูปแบบการเขียนไวยกรณ์ต่าง ๆ เพื่อที่จะใช้ในการอธิบายการทำงาน หรือสิ่งต่างๆ ที่เกิดขึ้นในระบบ มีภาษาต่าง ๆ มากมายหลาย ๆ ระดับทั้งเป็นภาษาระดับสูงที่เข้าใจได้ง่ายคล้ายกับภาษาที่เราใช้งาน หรือเป็นภาษาระดับต่ำลงมาที่ใกล้เคียงกับภาษาเครื่อง ก็ได้พัฒนาขึ้นมาใช้งานในการออกแบบต่างๆทั้งซอฟท์แวร์และฮาร์ดแวร์ บ้างก็ไม่ได้รับความนิยม จึงสูญหายไป ส่วนที่ได้รับความนิยม ก็ได้พัฒนาปรับปรุงและกำหนดเป็นมาตรฐานร่วมกันภาษาที่ใช้ในการออกแบบซอฟท์แวร์ ถูกเรียกว่า ภาษาทางซอฟต์แวร์ (Software Programming Language (SPL)) ส่วนที่ใช้ในการออกแบบฮาร์ดแวร์ เรียกว่า ภาษาทางงฮาร์ดแวร์ (Hardware Description Language (HDL)) ซึ่งตามลักษณะของการออกแบบระบบโดยทั่วไปที่อาจมีทั้งฮาร์ดแวร์และซอฟท์แวร์แล้ว มักจะแยกกันออกแบบอย่างชัดเจนโดยใช้คนละภาษา ดังนั้นผู้ออกแบบอาจจะต้องแยกกันคนละทีม หรือจำเป็นต้องรู้ทั้ง เอสพีแอล (SPL) และ เอชดีแอล (HDL) ปัจจุบันได้มีความพยายามในการพัฒนาภาษาชั้นสูงขึ้นกว่าเดิม ในระดับที่เป็นระบบ (System Level)เพื่อที่จะสามารถใช้อธิบายได้ทั้งการทำงานของฮาร์ดแวร์ และซอฟท์แวร์ ได้เกิดขึ้น จากความต้องการในการลดความซับซ้อนยุ่งยากในการออกแบบออกแบบในระบบใหญ่ ๆ อีกทั้งยังช่วยให้เวลาในการออกแบบลดลง โดยกำหนดการทำงานโดยรวมทั้ง แล้วอาศัยเครื่องมือหรือซอฟท์แวร์ที่ช่วยในการออกแบบ (Design Tools)ทำหน้าที่ในการสร้างหรือสังเคราะห์วงจรแทนในระดับล่าง เพื่อลดโอกาสผิดพลาดที่เกิดขึ้นในบทนี้จะพูดถึงภาษาต่าง ๆ ที่สำคัญ และได้รับความนิยมในการใช้ออกแบบซอฟท์แวร์ เช่น ซี (C), ซีพลัสพลัส (C++) หรือภาษาฮาร์ดแวร์ เช่น วีเอชดีแอล (VHDL) หรือ เวอริลอก (Verilog) รวมทั้งภาษาที่สามารถใช้ได้ทั้งออกแบบได้ทั้งสองอย่าง เช่น ซิสเตมซี (SystemC) ดังรูป 2.11 เพื่อให้ทราบลักษณะของภาษาโดยคร่าวก่อนที่จะใช้งานจริง



รูปที่ 2.11 ภาษาที่ใช้ในการออกแบบ [7]