ใบรับรองวิทยานิพนธ์

บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

เรื่อง การวิเคราะห์และออกแบบวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรงชนิดชุกด้วยวิธีขนานและใช้เทคนิคการเหลื่อมกระแสด้านเข้า

โดย นายสมศักดิ์ มานมาน

ได้รับอนุมัติให้นับเป็นส่วนหนึ่งของการศึกษาตามหลักสูตร
วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า

_____คณบดีบัณฑิตวิทยาลัย

(อาจารย์ ดร.มงคล หวังสถิตย์วงษ์)

21 พฤษภาคม 2550

คณะกรรมการสอบวิทยานิพนธ์

_____ประธานกรรมการ

(รองศาสตราจารย์ ดร.วิบูลย์ ชื่นแขก)

_____กรรมการ

(รองศาสตราจารย์ ดร.สุขสันติ์ นุ่นงาม)

_____กรรมการ

(ผู้ช่วยศาสตราจารย์ ดร.อิษฎา บุญญาอรุณเนตร)

การวิเคราะห์และออกแบบวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรงชนิดชุกด้วยวิธีขนานและใช้เทคนิคการเหลื่อมกระแสด้านเข้า

นายสมศักดิ์ มานมาน

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร
วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ
ปีการศึกษา 2549
ลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

ชื่อ : นายสมศักดิ์ มานมาน
ชื่อวิทยานิพนธ์ : การวิเคราะห์และออกแบบวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุกด้วยวิธีขนานและใช้เทคนิคการเหลื่อมกระแสด้านเข้า
สาขาวิชา : วิศวกรรมไฟฟ้า
สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ
ที่ปรึกษาวิทยานิพนธ์ : รองศาสตราจารย์ ดร.วิบูลย์ ชื่นแขก
ปีการศึกษา : 2549

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการวิเคราะห์และออกแบบการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรงชนิดชุก เพื่อปรับปรุงกระแสด้านเข้าให้ใกล้เคียงรูปคลื่นไซน์ โดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุกจำนวน 3 โมดูลต่อขนานกัน แต่ละโมดูลทำงานในโมดกระแสไหลต่อเนื่อง ควบคุมกระแสด้วยหลักการสมดุลกำลังไฟฟ้า โดยประยุกต์ใช้งานตัวประมวลสัญญาณแบบดิจิตอลเพื่อสร้างสัญญาณควบคุมการสวิตช์ของแต่ละโมดูล และใช้เทคนิคการเหลื่อม (Interleaved Technique) เพื่อลดการกระเพื่อมของกระแสด้านเข้า

ระบบต้นแบบถูกออกแบบให้ทำงานที่พิกัดแรงดันด้านเข้า 220 V 50 Hz แรงดันด้านออก -48 V และมีกำลังด้านออกสูงสุด 750 W ผลการทดสอบแสดงให้เห็นว่าระบบมีเสถียรภาพดีในการตอบสนองทางพลวัตจากการเปลี่ยนภาระ กระแสด้านเข้าใกล้เคียงรูปคลื่นไซน์ ค่าตัวประกอบกำลังมากกว่า 0.95 ประสิทธิภาพของระบบ 80 % และค่าผิดเพี้ยนของกระแสด้านเข้าต่ำกว่า 5%

(วิทยานิพนธ์มีจำนวนทั้งสิ้น 109 หน้า)

คำสำคัญ : การขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรง เทคนิคการเหลื่อมกระแสด้านเข้า, ตัวประมวลสัญญาณแบบดิจิตอล หลักการสมดุลกำลังไฟฟ้า

_____อาจารย์ที่ปรึกษาวิทยานิพนธ์

Name : Mr. Somsak Manman

Thesis Title : Analysis and Design of Interleaved Input Current Technique for Paralleling Single - phase AC to DC CUK converters

Major Field : Electrical Engineering

King Mongkut's Institute of Technology North Bangkok

Thesis Advisor : Associate Professor Dr. Viboon Chunkag

Academic Year : 2006

Abstract

The purposed of the research aims to analysis and design of Paralleling Single - phase AC to DC CUK converters to improve the input line current to be nearly sinusoidal. The system consist of 3 parallel CUK modules. Each module is operated in continuous conduction mode (CCM) and Power Balance Control method is used to control input current. Digital Signal Processor (DSP) is employed to generate switching control signal among each module and Interleaved technique is applied to reduce ripple input current.

The prototype system was designed to operate at 220 V 50 Hz input voltage, -48 V output voltage and 750 W maximum total output power. The experimental results indicated that the dynamic response of system was effectively, nearly sinusoidal input current. At the maximum power rating, the system gave more than 0.95 power factor, 80 % efficiency and the total harmonic distortion of line – input current less than 5 %.

(Total 109 pages)

Keywords : Paralleling of Single - phase AC to DC converters, Interleaved Technique Digital Signal Processor, Power Balance Control method

_____ Advisor

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงไปได้ด้วยดีเพราะได้รับความสนับสนุนจากบุคคลต่างๆ หลายท่าน ขอกราบขอบพระคุณรองศาสตราจารย์ ดร.วิบูลย์ ชื่นแขก ที่ให้ความช่วยเหลือทางด้านวิชาการและคำแนะนำในการแก้ไขปัญหาต่างๆ มาโดยตลอด ขอขอบคุณอุเทนที่ให้คำแนะนำและเทคนิคต่างๆ ในการปฏิบัติงาน ขอขอบคุณเพื่อนๆ น้องๆ ทุกคนเป็นกำลังให้ตลอดมา และทุนวิจัยบางส่วนได้รับจากทุนอุดหนุนการวิจัยของบัณฑิตวิทยาลัย จึงขอขอบพระคุณบัณฑิตวิทยาลัยที่ได้ให้ทุนอุดหนุนการวิจัยครั้งนี้มา ณ ที่นี้ด้วย

ในการทำวิทยานิพนธ์ในครั้งนี้ข้าพเจ้าขอกราบขอบพระคุณบิดา มารดาที่ได้ให้โอกาสทางการศึกษาและการสนับสนุนในทุกๆ ด้าน จนข้าพเจ้าได้รับความสำเร็จในการศึกษา

สมศักดิ์ มานมาน

สารบัญ

		หน้า
บทคัดย่อภาษาไทย		ข
บทคัดย่อภาษาอังกฤษ		ค
กิตติกรรมประกาศ		ง
สารบัญตาราง		ช
สารบัญภาพ		ซ
บทที่ 1	บทนำ	1
	1.1 ความสำคัญและความเป็นมาของปัญหา	1
	1.2 วัตถุประสงค์	2
	1.3 ขอบเขตของการวิจัย	2
	1.4 วิธีวิจัย	2
	1.5 เครื่องมือที่ใช้	3
	1.6 ประโยชน์ของผลการวิจัย	3
บทที่ 2	ทฤษฎีที่เกี่ยวข้อง	5
	2.1 การทำงานของวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงแบบชุก	4
	2.2 สถาปัตยกรรมของตัวประมวลผลสัญญาณดิจิตอล TMS320LF2407A DSP Controller	18
	2.3 ตัวควบคุมพีไอแบบเวลาไม่ต่อเนื่อง	22
	2.4 การคำนวณแบบทศนิยมคงที่	25
บทที่ 3	การวิเคราะห์และการจำลองการทำงาน	29
	3.1 สมการของวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรงแบบชุก	29
	3.2 การวิเคราะห์สัญญาณขนาดเล็ก	34
	3.3 การออกแบบภาคควบคุม	36
	3.4 การจำลองการทำงาน	37
	3.5 สรุป	41
บทที่ 4	การออกแบบและสร้างระบบต้นแบบ	43
	4.1 การออกแบบฮาร์ดแวร์	44

สารบัญ (ต่อ)

หน้า

4.2 การออกแบบซอฟต์แวร์ 54

4.3 สรุป 58

บทที่ 5 ผลทดสอบการทำงานของระบบ 59

5.1 การทดสอบในสภาวะคงตัว 60

5.2 การทดสอบในสภาวะชั่วครู่ 63

5.3 การทดสอบสมรรถนะของระบบ 66

5.4 สรุป 68

บทที่ 6 สรุปผลและข้อเสนอแนะ 69

6.1 สรุปผลการวิจัย 69

6.2 ข้อเสนอแนะ 70

เอกสารอ้างอิง 71

ภาคผนวก ก การออกแบบวงจร 73

ภาคผนวก ข โปรแกรมควบคุม 83

ภาคผนวก ค บทความวิชาการ 99

ประวัติผู้วิจัย 109

สารบัญตาราง

ตารางที่		หน้า
4-1	รายละเอียดของการทดสอบระบบขนานวงจรเรียงกระแสชนิดชุก	44
4-2	ความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของ DAC	47
4-3	หมายเลขแอดเดรสและเอาต์พุตของ DAC	47

สารบัญภาพ

ภาพที่		หน้า
2-1	วงจรแปลงผันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสตรงแบบชุก	5
2-2	วงจรแปลงผันแบบชุก ขณะสวิตช์ปิดวงจร	6
2-3	วงจรแปลงผันแบบชุก ขณะสวิตช์เปิดวงจร	7
2-4	รูปคลื่นสัญญาณเฉลี่ยของกระแสและแรงดันในสภาวะคงตัว	8
2-5	สัญญาณกระเพื่อมของกระแสตัวเหนี่ยวนำ L_1 , L_2 และแรงดัน v_i	11
2-6	อัตราส่วนการแปลงแรงดันและค่าความต้านทานสมมูลเมื่อแรงดันด้านเข้าเป็นวงจรเรียงกระแส	14
2-7	ฟังก์ชันบล็อกไดอะแกรมของ TMS320LF2407A	19
2-8	การจัดผังหน่วยความจำ (Memory Map)	20
2-9	การจัดผังหน่วยความจำอุปกรณ์รอบข้าง	21
2-10	บล็อกไดอะแกรมของตัวควบคุมพีไอ	22
2-11	โครงสร้างตัวควบคุมแบบพีไอ	23
2-12	โครงสร้างตัวควบคุมแบบพีไอ ที่แก้อินทิเกรทสะสมขณะที่เอาต์พุตติดลิมิต	24
2-13	การคูณระบบจุดทศนิยมคงที่	26
2-14	การวัดค่ากระแสแอนนะลอกแล้วสเกลเป็นค่าต่อหน่วย	27
3-1	วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก	29
3-2	วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก หลังจากลดรูป และค่าโอนย้ายค่าพารามิเตอร์	30
3-3	วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก ขณะปิดสวิตช์	31
3-4	วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก ขณะเปิดสวิตช์	32
3-5	บล็อกไดอะแกรมคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิง	35
3-6	ส่วนควบคุมกระแสแบบฮีสเตอริซีส	35
3-7	บล็อกไดอะแกรมของลูปควบคุมแรงดัน	36
3-8	โบดไดอะแกรมของระบบที่นำเสนอ	37
3-9	แบบจำลองของการขนานโมดูลเรียงกระแสแบบชุกจาก Matlab/Simulink	38

สารบัญภาพ (ต่อ)

ภาพที่		หน้า
3-10	แบบจำลองการคำนวณขนาดสูงสุดของกระแสขดลวดเหนี่ยวนำอ้างอิง	38
3-11	แบบจำลองของการควบคุมกระแส	39
3-12	รูปคลื่นแรงดันและกระแสอินพุต	39
3-13	กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล และกระแสอินพุต	40
3-14	กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล ขณะเปลี่ยนแปลงภาระระหว่าง 1,500 – 750 W	40
3-15	รูปคลื่นแรงดันและกระแสเอาต์พุตขณะเปลี่ยนแปลงภาระระหว่าง 1,500-750 W	41
4-1	ระบบฮาร์ดแวร์ของการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรงชนิดชุก	43
4-2	วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุกในแต่ละโมดูล	44
4-3	บล็อกไดอะแกรมของชุด eZdsp™ LF2407	45
4-4	การเชื่อมต่อของส่วนวงจรแปลงสัญญาณดิจิตอลเป็นแอนนะลอก	46
4-5	วงจรรับสัญญาณจาก Hall Effect Sensor	48
4-6	บล็อกไดอะแกรมชุดตรวจจับแรงดันด้านออก	48
4-7	ชุดวงจร Ground Isolated	49
4-8	ชุดวงจรปรับระดับสัญญาณ	49
4-9	วงจรปรับระดับสัญญาณ และยกระดับสัญญาณ	50
4-10	วงจรสร้างสัญญาณกระแสอ้างอิงด้านเข้า	50
4-11	วงจรเปรียบเทียบสัญญาณแบบฮีสเตอริซีส	53
4-12	วงจรจำกัดความถี่สวิตช์สูงสุด (Lockout Frequency)	53
4-13	วงจรขับนำสวิตช์ IGBT	54
4-14	บล็อกไดอะแกรมการควบคุมของระบบ	55
4-15	ผังการทำงานของโปรแกรมหลัก	56
4-16	การอินเตอร์รัพท์ของดีเอสพี	56
4-17	ผังการทำงานของโปรแกรมย่อย	57
5-1	ระบบการกระจายแหล่งจ่ายกำลังไฟฟ้าแบบขนาน 1 เฟสชนิดชุก	59

สารบัญภาพ (ต่อ)

ภาพที่		หน้า
5-2	กระแสอินพุตและแรงดันอินพุต ที่พิกัดกำลังไฟฟ้า 750 W	60
5-3	กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล ที่พิกัดกำลังไฟฟ้า 750 W	60
5-4	กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล และกระแสอินพุต ที่พิกัดกำลังไฟฟ้า 750 W	61
5-5	กระแสขดลวดเหนี่ยวนำในแต่ละโมดูลเปรียบเทียบกับกระแสอินพุตใน 1 คาบเวลา	62
5-6	แรงดันเอาต์พุตและกระแสเอาต์พุต ที่พิกัดกำลังไฟฟ้า 750 W	62
5-7	แรงดันกระเพื่อมเอาต์พุต ที่พิกัดกำลังไฟฟ้า 750 W	63
5-8	กระแสอินพุตและแรงดันอินพุต เมื่อเปลี่ยนแปลงภาระจาก 750 W ไปที่ 375 W	64
5-9	กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล เมื่อเปลี่ยนแปลงภาระจาก 750 W ไปที่ 375 W	64
5-10	ผลการทดสอบสภาวะชั่วครู่ของแรงดันเอาต์พุตและกระแสเอาต์พุต	65
5-11	ผลการทดลองแรงดันเอาต์พุตและกระแสเอาต์พุตเมื่อภารเปลี่ยนแปลง	65
5-12	ผลการทดสอบสมรรถนะของระบบ กระแสที่วัดได้ในแต่ละโมดูลเปรียบเทียบกับภาระที่เปลี่ยนแปลงไป	66
5-13	คุณสมบัติที่แสดงถึงสมรรถนะหลักของการขนานวงจรเรียงกระแสชนิด 1 เฟส ที่ใช้โมดูลเรียงกระแสแบบชุก (แรงดันอินพุต 220 V)	67
5-14	ฮาร์มอนิกส์ของกระแสอินพุตของระบบที่นำเสนอที่พิกัดแรงดัน 220 V	68
ก-1	โมดูลเรียงกระแสแบบชุก	74
ก-2	วงจรภาคกำลัง	77
ก-3	วงจรภาคควบคุม	77
ก-4	วงจรแปลงผันและวงจรควบคุม	78
ก-5	วงจรแปลงสัญญาณแอนะลอกเป็นดิจิตอล	79
ก-6	วงจรแปลงสัญญาณดิจิตอลเป็นแอนนะลอก1	80
ก-7	วงจรแปลงสัญญาณดิจิตอลเป็นแอนนะลอก2	81

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีในด้านต่างๆ มีการพัฒนาก้าวหน้ามากขึ้น กระบวนการทำงานในระบบไฟฟ้าจึงต้องการแหล่งจ่ายกำลังไฟฟ้าที่มีประสิทธิภาพและคุณภาพสูง การขนานวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรง จึงเป็นวิธีการที่จะเพิ่มความสามารถในการจ่ายกำลังไฟฟ้ามากขึ้น และแพร่กระจายกำลังไฟฟ้าในแต่ละชุด เพื่อลดค่าความเครียดที่เกิดกับตัวอุปกรณ์ และวิธีการปรับปรุงกระแสทางด้านเข้า [1, 2] ที่ใช้วงจรแปลงผันเรียงกระแสแบบชุก (CUK)[3, 4] จะมีข้อได้เปรียบว่าแบบบูสต์ [5, 6] คือ สามารถแยกกันทางไฟฟ้าและสามารถกำหนดแรงดันด้านออกให้มากกว่าหรือน้อยแรงดันด้านเข้าได้ โดยระบบดังกล่าวจะทำหน้าที่ในการแก้ไขตัวประกอบกำลังของระบบและรักษาระดับแรงดันด้านออกด้วย

การขนานวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรง กระแสทางด้านเข้าเท่ากับผลรวมของกระแสในแต่ละโมดูล การเกิดกระเพื่อม (Ripple) ของกระแสทางด้านเข้ามากขึ้น เมื่อมีการสวิตช์พร้อมกันทุกโมดูล ดังนั้นการควบคุมช่วงเวลาการสวิตช์ให้เหลื่อมกันในแต่ละโมดูลด้วยเทคนิคการเหลื่อมของกระแส (Interleaved Technique) [3] มีข้อดีในการลดการกระเพื่อมของกระแสด้านเข้า ทำให้กระแสด้านเข้าเรียบมีรูปคลื่นใกล้เคียงรูปไซน์ และทำให้ประสิทธิภาพของระบบดีขึ้น

งานวิจัยนี้จึงมุ่งที่จะนำเสนอการวิเคราะห์และออกแบบการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรง โดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุก (CUK) ควบคุมกระแสด้วยหลักการสมดุลกำลังไฟฟ้า [7, 8] ทำงานในโมดกระแสไหลต่อเนื่อง เพื่อปรับปรุงกระแสทางด้านเข้าให้มีรูปคลื่นใกล้เคียงรูปไซน์ มีตัวประกอบกำลังใกล้เคียงหนึ่ง และรักษาระดับแรงดันทางด้านเอาต์พุตโดยประยุกต์ใช้งานตัวประมวลสัญญาณแบบดิจิตอล (Digital Signal Processing) [9, 10] ควบคุมการสวิตช์ของโมดูลที่ขนานด้วยเทคนิคการเหลื่อมของกระแส ซึ่งจะส่งผลดีในการลดขนาดของตัวเหนี่ยวนำฟิลเตอร์ด้านอินพุตให้เล็กลงได้

1.2 วัตถุประสงค์

เพื่อวิเคราะห์และออกแบบการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรง โดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุก เพื่อให้กระแสแหล่งจ่ายมีรูปคลื่นใกล้เคียงรูปไซน์และมีตัวประกอบกำลังใกล้เคียงหนึ่ง และควบคุมการสวิตช์ของโมดูลที่ขนานในแต่ละโมดูลโดยใช้ เทคนิคการเหลื่อมของกระแส เพื่อลดการกระเพื่อมของกระแสด้านเข้า

1.3 ขอบเขตการวิจัย

วิเคราะห์และออกแบบวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรงโดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุก ควบคุมกระแสด้วยหลักการสมดุลกำลังไฟฟ้า ทำงานในโมดกระแสไหลต่อเนื่อง เพื่อปรับปรุงกระแสทางด้านเข้าให้มีรูปคลื่นใกล้เคียงรูปไซน์ มีตัวประกอบกำลังใกล้เคียงหนึ่งและรักษาระดับแรงดันด้านออก โดยประยุกต์ใช้งานตัวประมวลสัญญาณแบบดิจิตอล ควบคุมการสวิตช์ของโมดูลที่ขนานด้วยเทคนิคการเหลื่อมของกระแสโดยอัตโนมัติตามจำนวนโมดูลที่ทำงาน เพื่อลดการกระเพื่อมของกระแสด้านเข้า มีรายละเอียดของระบบดังนี้

แรงดันอินพุต	220 V AC (±5%)
ความถี่	50 Hz (±1%)
แรงดันไฟฟ้ากระแสตรงเอาต์พุต	-48 VDC
กำลังไฟฟ้ารวมทางด้านเอาต์พุต	750 W
จำนวนโมดูลที่ต่อขนาน	3 โมดูล

1.4 วิธีวิจัย

1.4.1 ศึกษาค้นคว้า และสำรวจงานวิจัยต่าง ๆ ที่เกี่ยวข้อง ศึกษาหลักการทำงานและทฤษฎีของการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรง โดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุก

1.4.2 ศึกษาการใช้งานตัวประมวลสัญญาณดิจิตอล และการเขียนโปรแกรมควบคุมการสวิตช์ของโมดูลที่ขนานโดยใช้เทคนิคการเหลื่อมของกระแสด้านเข้า

1.4.3 ออกแบบแบบจำลองทางคณิตศาสตร์ ของการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรง โดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุกเพื่อจำลองการทำงานตามขอบเขตที่กำหนด

1.4.4 สร้างเครื่องแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรง 1 เฟส โดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุกตามที่ได้ออกแบบไว้ และแก้ไขปัญหาที่เกิดขึ้น เพื่อควบคุมการทำงานให้เป็นไปตามขอบเขตที่กำหนด

1.5 เครื่องมือที่ใช้

1.5.1 เครื่องคอมพิวเตอร์แบบพกพาและแบบตั้งโต๊ะ

1.5.2 ดิจิตอลออสซิลโลสโคป

1.5.3 ชุดโพรบวัดแรงดันและกระแส

1.5.4 เครื่องกำเนิดสัญญาณ

1.5.5 หม้อแปลงกำลังปรับค่าได้ 1 เฟส

1.5.6 ดิจิตอลวัตต์มิเตอร์วัดค่าประสิทธิผลจริง 1 เฟส

1.6 ประโยชน์ของผลการวิจัย

1.6.1 ได้แนวทางในการออกแบบการควบคุมวิธีการใหม่ๆ ของการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรง

1.6.2 ได้แนวทางในการพัฒนาการควบคุม โดยใช้ตัวประมวลสัญญาณแบบดิจิตอล (Digital Signal Processing) เพื่อทำให้ประสิทธิภาพของระบบดีขึ้น

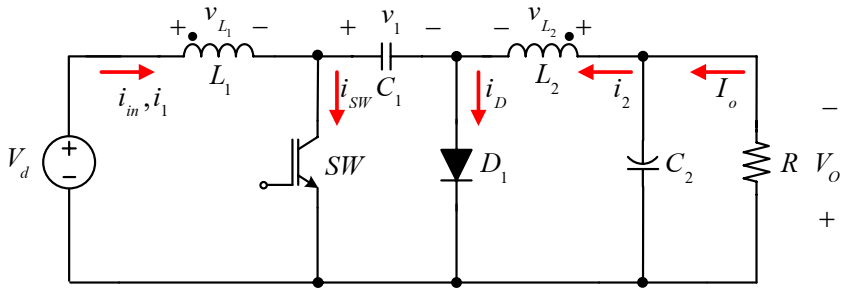
1.6.3 กระตุ้นให้เกิดการวิจัยในเรื่องใหม่ๆ ที่มีการพัฒนาวิธีการที่ดีขึ้น

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

บทนี้จะกล่าวถึงหลักการทำงานพื้นฐานของวงจรแปลงผันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสตรงแบบชุกซึ่งทำงานในโมดกระแสต่อเนื่อง สถาปัตยกรรมของตัวประมวลผลสัญญาณดิจิตอลที่ใช้ควบคุม ตัวควบคุมพีไอแบบเวลาไม่ต่อเนื่อง และการคำนวณแบบทศนิยมคงที่

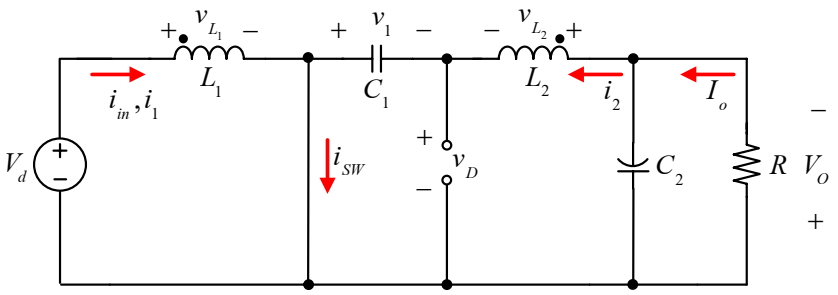
2.1 การทำงานของวงจรแปลงผันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสตรงแบบชุก [11]

ภาพที่ 2-1 แสดงวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงแบบชุก ที่มีความเหมาะสมในการปรับปรุงรูปคลื่นกระแสด้านเข้าของวงจรและให้แรงดันด้านออกสูงกว่าหรือต่ำกว่าแรงดันด้านเข้า พื้นฐานการทำงานทำได้หลายโมดขึ้นอยู่กับการควบคุมกระแสที่ไหลผ่านขดลวดเหนี่ยวนำ วิทยานิพนธ์ฉบับนี้พิจารณาเฉพาะโมดกระแสต่อเนื่องดังนี้



ภาพที่ 2-1 วงจรแปลงผันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสตรงแบบชุก

2.1.1 โมดกระแสต่อเนื่องช่วงที่ 1 ในช่วงเวลา t_{on} เมื่อสวิตช์เริ่มนำกระแสที่เวลา t_0 และหยุดนำกระแสที่เวลา t_1 ลักษณะของวงจรแปลงผันจะแสดงดังภาพที่ 2-2



ภาพที่ 2-2 วงจรแปลงผันแบบชุก ขณะสวิตช์ปิดวงจร

พิจารณาภาพที่ 2-2 พบว่าแรงดันตกคร่อม v_{L_1} จะมีค่าเท่ากับแหล่งจ่าย ไดโอด D_1 จะถูกไบอัสกลับ ส่งผลให้กระแสที่ไหลผ่าน C_1 และ L_2 มีค่าเท่ากันเมื่อกำหนดให้ $v_o \cong V_o$ จึงสามารถเขียนสมการแสดงความสัมพันธ์ได้ดังนี้

$$v_{L_1} = V_d = L_1 \frac{di_1}{dt} \tag{2-1}$$

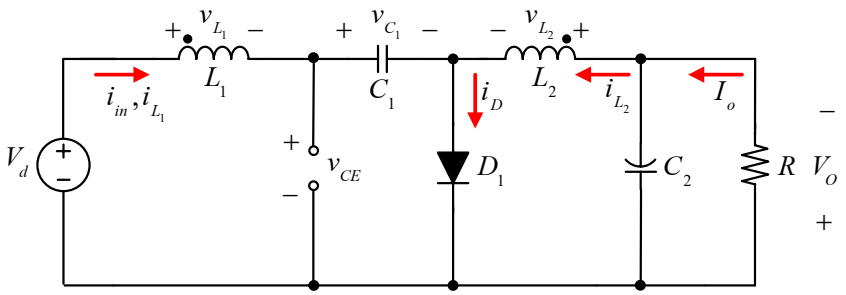
$$v_{L_2} = v_1 - V_o = L_2 \frac{di_2}{dt} \tag{2-2}$$

$$i_{C_1} = i_2 \tag{2-3}$$

$$i_{C_2} = i_2 - \frac{V_o}{R} \tag{2-4}$$

เมื่อ i_1 คือกระแสที่ไหลผ่านตัวเหนี่ยวนำ L_1 , i_2 คือกระแสที่ไหลผ่านตัวเหนี่ยวนำ L_2 , v_1 คือแรงดันตกคร่อมตัวเก็บประจุ C_1 และ v_o คือแรงดันด้านออกโดยให้มีค่าประมาณ V_o ส่วน di_1 และ di_2 คือการเปลี่ยนแปลงของ i_1 และ i_2 ตามลำดับ

2.1.2 โมดกระแสต่อเนื่องช่วงที่ 2 ในช่วงเวลา t_{off} เมื่อสวิตช์เริ่มหยุดนำกระแสที่เวลา t_1 และเริ่มนำกระแสที่เวลา ลักษณะของวงจรแปลงผันจะแสดงดังภาพที่ 2-3



ภาพที่ 2-3 วงจรแปลงผันแบบชุก ขณะสวิตช์เปิดวงจร

พิจารณาภาพที่ 2-3 พบว่าแรงดันตกคร่อม v_{L_1} จะมีศักย์เสริมกับแรงดัน v_1 เมื่อรวมกันทางพีชคณิตจึงมีค่าเท่ากับแหล่งจ่าย แรงดัน v_{L_2} มีค่าเท่ากับแรงดันด้านออกแต่มีศักย์ตรงกันข้าม กระแส i_1 มีค่าเท่ากับกระแส i_{C_1} ส่วนสมการกระแสทางออกยังคงเหมือนกันกับช่วงสวิตช์ปิด ซึ่งสามารถเขียนสมการแสดงความสัมพันธ์ได้ดังนี้

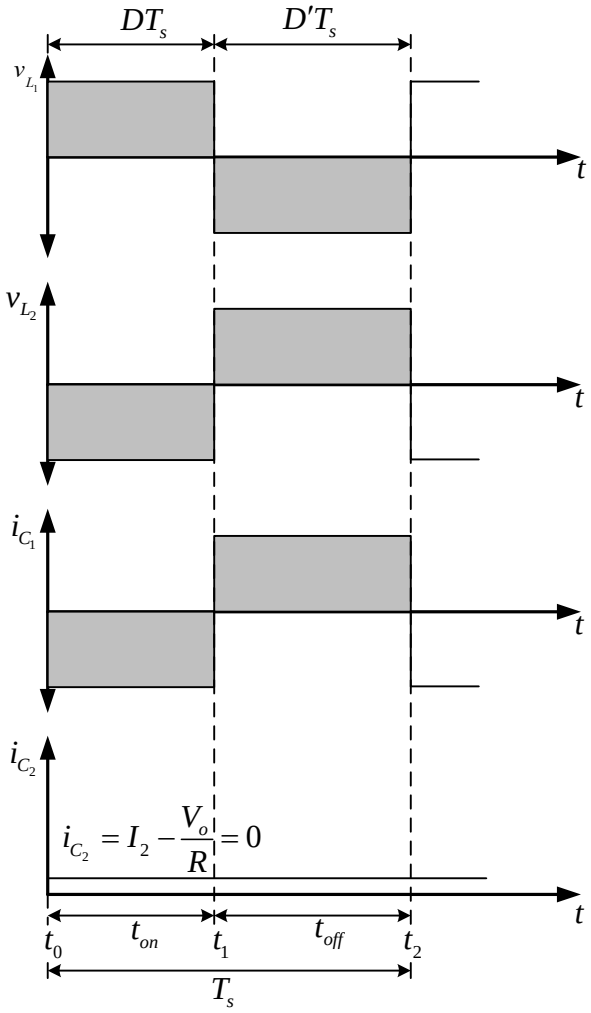
$$v_{L_1} = V_o - v_1 = L_1 \frac{di_1}{dt} \tag{2-5}$$

$$v_{L_2} = -V_o = L_2 \frac{di_2}{dt} \tag{2-6}$$

$$i_{C_1} = i_1 \tag{2-7}$$

$$i_{C_2} = i_2 - \frac{V_o}{R} \tag{2-8}$$

กำหนดให้ T_s เป็นคาบเวลาการสวิตช์ใน 1 คาบเวลาการทำงาน D คือวัฏจักรงานหรือช่วงเปอร์เซ็นต์เวลาของ T_s ขณะสวิตช์ปิด และ $1-D$ หรือ D' คือช่วงเวลาของ T_s ขณะสวิตช์เปิดวงจร เมื่อระบบเข้าสู่สภาวะสมดุล จากสมการที่ 2-1 ถึงสมการที่ 2-8 สามารถนำมาเขียนรูปคลื่นแสดงความสัมพันธ์ได้ดังภาพที่ 2-4



ภาพที่ 2-4 รูปคลื่นสัญญาณเฉลี่ยของกระแสและแรงดันในสภาวะคงตัว

พิจารณาภาพที่ 2-4 พบว่าผลรวมค่าเฉลี่ยของสัญญาณใน 1 คาบเวลาจะมีค่าเท่ากับศูนย์เมื่อระบบทำงานในสภาวะคงตัว และสามารถเขียนสมการได้ดังนี้

$$V_{L_1} = DV_d + (1-D)(V_d - V_1) = 0 \tag{2-9}$$

$$V_{L_2} = D(-V_1 - V_o) + (1-D)(-V_o) = 0 \tag{2-10}$$

$$I_{C_1} = DI_2 + (1-D)I_1 = 0 \tag{2-11}$$

$$I_{C_2} = I_2 - \frac{V_o}{R} = 0 \tag{2-12}$$

พิจารณาภาพที่ 2-9 และสมการที่ 2-10 จัดรูปใหม่เพื่อหาค่าความสัมพันธ์ของอัตราส่วนการแปลงผันแรงดัน ได้ดังนี้

$$V_1 = \frac{V_d}{1-D} \tag{2-13}$$

$$V_1 = -\frac{V_o}{D} \tag{2-14}$$

แทนสมการที่ 2-14 ลงในสมการที่ 2-13 แล้วจัดรูปใหม่จะได้

$$\frac{V_o}{V_d} = -\frac{D}{1-D} = M \tag{2-15}$$

จัดรูปสมการที่ 2-11 ใหม่จะได้ความสัมพันธ์ระหว่างกระแสกับ วัฏจักรงาน D

$$\frac{I_1}{I_2} = -\frac{D}{1-D} = M \tag{2-16}$$

เมื่อ M คือ อัตราส่วนการแปลงผัน

สำหรับค่าความกระเพื่อมของกระแสขดลวดเหนี่ยวนำ L_1 , L_2 คือ และ Δi_2 ตามลำดับ และแรงดันตกตร่อมคาปาซิเตอร์ C_1 คือ Δv_1 โดยคิดที่ค่ายอดถึงยอด เขียนเป็นสมการได้ดังนี้

เมื่อสวิตช์ปิด

$$\frac{di_1}{dt} = \frac{v_{L_1}}{L_1} = \frac{V_d}{L_1} \tag{2-17}$$

$$\frac{di_2}{dt} = \frac{v_{L_2}}{L_2} = \frac{-v_1 - V_o}{L_2} \tag{2-18}$$

$$\frac{dv_1}{dt} = \frac{i_{C_1}}{C_1} = \frac{i_2}{C_1} \tag{2-19}$$

เมื่อสวิตช์เปิด

$$\frac{di_1}{dt} = \frac{v_{L_1}}{L_1} = \frac{V_d}{L_1} \tag{2-20}$$

$$\frac{di_2}{dt} = \frac{v_{L_2}}{L_2} = \frac{-v_1 - V_o}{L_2} \tag{2-21}$$

$$\frac{dv_1}{dt} = \frac{i_{C_1}}{C_1} = \frac{i_2}{C_1} \tag{2-22}$$

เพื่อหาค่าความกระเพื่อมดังกล่าวโดยใช้หลักการทางเรขาคณิต [12] จากสมการที่ 2-17 ถึงสมการที่ 2-22 สามารถนำมาเขียนเป็นภาพเพื่ออธิบายได้ดังภาพที่ 2-5

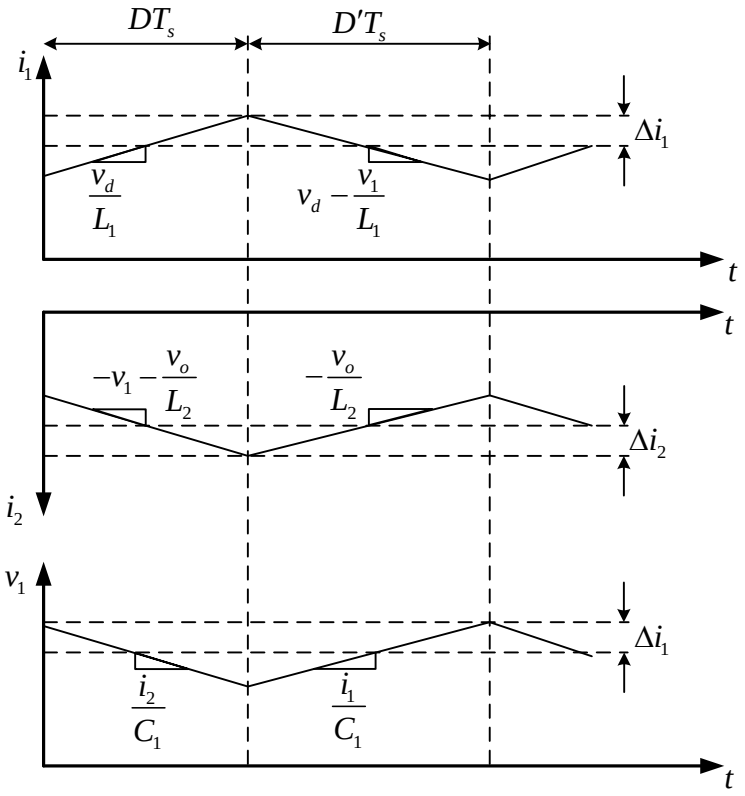
เมื่อพิจารณาความชันของกระแสด้านเข้า Δi_1 กระแสด้านออก Δi_2 และความชันของแรงดันในช่วงสวิตช์ปิด สามารถเขียนได้ดังสมการที่ 2-23 ถึงสมการที่ 2-26 ตามลำดับ

$$\Delta i_1 = \frac{V_d D}{L_1 f_s} \tag{2-23}$$

$$\Delta i_2 = \frac{-D(v_1 + V_o)}{L_2 f_s} \tag{2-24}$$

$$\Delta v_1 = \frac{i_2 D}{C_1 f_s} \tag{2-25}$$

$$\Delta v_o = \frac{1}{C_2} \int_0^{DT} I_o dt = \frac{I_o D T_s}{C_2} = \frac{D V_o}{f_s R C_2} \tag{2-26}$$



ภาพที่ 2-5 สัญญาณกระเพื่อมของกระแสตัวเหนี่ยวนำ L_1, L_2 และแรงดัน v_i

2.1.3 กรณีที่แรงดันด้านเข้าของวงจรแปลงผันเป็นแรงดันที่ได้จากวงจรเรียงกระแสแบบบริดจ์ เพื่อทำการควบคุมเป็นวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงที่มีการควบคุมประกอบกำลัง มีการวิเคราะห์ [1], [13] ได้ดังนี้

แรงดันด้านเข้าของวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงคือ

$$|v_s| = \hat{V}_s |\sin(\omega t)| \tag{2-27}$$

เมื่อ $|v_s|$ คือแรงดันด้านเข้าของวงจรแปลงผันที่เป็นไฟฟ้ากระแสสลับซึ่งผ่านวงจรเรียงกระแสแล้ว $\hat{V}_s$ คือ ค่ายอดของแหล่งจ่าย และเมื่อแทนลงในสมการที่ 2-27 จะได้

$$\frac{V_o}{|v_s|} = m(\omega t) \tag{2-28}$$

ดังนั้นอัตราส่วนการแปลงผันแรงดันในช่วงครึ่งไซเกิลคือ

$$m(\omega t) = \frac{V_o}{\hat{V}_s \left|\sin(\omega t)\right|} = \frac{M}{\left|\sin(\omega t)\right|} \tag{2-29}$$

สำหรับค่าความต้านทานสมมูลของภาระปรากฏ (Apparent Load) ที่ด้านออกเมื่อมองจากด้านไฟฟ้ากระแสสลับพิจารณาดังนี้ [1]

$$r(\omega t) = \frac{V_o}{i_o(\omega t)} \tag{2-30}$$

เมื่อพิจารณาด้านเข้ากำหนดให้ $v_s = \hat{V}_s \left|\sin(\omega t)\right|$ เมื่อตัวประกอบกำลังด้านเข้าเป็นหนึ่งจะได้ $i_s = \hat{I}_s \left|\sin(\omega t)\right|$ ดังนั้น

$$p_i = v_s i_s = \hat{V}_s \hat{I}_s \sin^2(\omega t) \tag{2-31}$$

กำลังไฟฟ้าด้านออก

$$p_i = v_o i_o = \hat{V}_o \hat{I}_o \sin^2(\omega t) \tag{2-32}$$

โดยกำหนดให้ $v_o \cong V_o$ และเมื่อระบบมีประสิทธิภาพ 100 เปอร์เซ็นต์ $p_i = p_o$ ดังนั้นจะได้

$$i_o(\omega t) = \frac{\hat{I}_s \hat{V}_s \sin^2(\omega t)}{V_o} \tag{2-33}$$

นำสมการที่ 2-33 แทนลงในสมการที่ 2-30

$$r(\omega t) = \frac{V_o^{\,2}}{\hat{I}_s \hat{V}_s \sin^2(\omega t)} \tag{2-34}$$

เมื่อคิดเฉพาะค่าเฉลี่ยของกำลังไฟฟ้าทั้งด้านเข้าและด้านออกบนหลักการสมดุลกำลังไฟฟ้าเมื่อตัวประกอบกำลังด้านเข้าเป็นหนึ่งคือ

$$P_i = P_o = V_s I_s = V_o I_o \tag{2-35}$$

และจากสมการที่ 2-33 แทนค่า $\hat{V}_s = \sqrt{2}V_s$ และ $\hat{I}_s = \sqrt{2}I_s$ กำลังไฟฟ้าด้านออกคือ

$$i_o(\omega t) = \frac{2V_s I_s \sin^2(\omega t)}{V_o} \tag{2-36}$$

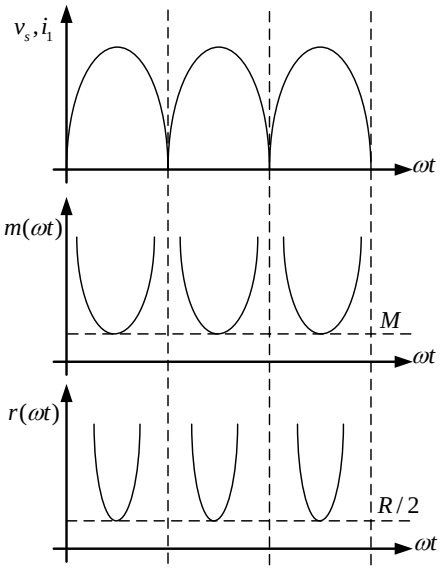
และจากสมการที่ 2-35 แทนค่าลงในสมการที่ 2-36 ในรูปของกระแสและแรงดันด้านออก จากนั้นแทน I_o ด้วย $\frac{V_o}{R}$ จะได้

$$i_o(\omega t) = \frac{2V_s I_s \sin^2(\omega t)}{V_o} \tag{2-37}$$

แทนสมการที่ 2-37 ลงในสมการที่ 2-30 จะได้เป็น

$$r(\omega t) = \frac{R}{2\sin^2(\omega t)} \tag{2-38}$$

จากสมการที่ 2-38 จะเห็นว่าค่าต้านทาน $r(\omega t)$ จะเปลี่ยนแปลงไปตามฟังก์ชัน $\sin(\omega t)$ คือ จะมีค่าต่ำสุดเท่ากับ $R/2$ ที่มุม $\pi/2$ มีค่าสูงสุดเป็นอนันต์ที่มุม $0, \pi$ และจากสมการที่ 2-29 ค่า $m(\omega t)$ จะมีเท่ากับ M และสูงสุดเป็นอนันต์ที่มุมเดียวกันดังภาพที่ 2-6



ภาพที่ 2-6 อัตราส่วนการแปลงแรงดันและค่าความต้านทานสมมูลเมื่อแรงดันด้านเข้าเป็นวงจรเรียงกระแส

2.1.4 การออกแบบให้ระบบทำงานในโมดกระแสไหลต่อเนื่อง [14] ด้วยวิธีการพิจารณาแบบ Quasi Static Approach วงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงสามารถพิจารณาให้ทำงานได้เช่นเดียวกับการทำงานของวงจรแปลงผันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสตรงที่ทำงานอยู่ในเงื่อนไขพิเศษ เพราะเนื่องจากแรงดันไฟฟ้าอินพุต V_g เปลี่ยนแปลงตลอดเวลา ในระหว่างช่วงเวลา 1 ไซเคิลของคาบเวลาความถี่มูลฐาน ในขณะที่แรงดันเอาต์พุตสามารถประมาณความถี่ให้มีค่าคงที่ จึงทำให้อัตราส่วนของวงจรแปลงผันไฟฟ้ากระแสตรง m และภาระ r_L ที่มองเห็นโดยวงจรแปลงผันมีการเปลี่ยนแปลงไปในแต่ละครึ่งไซเคิลของความถี่ไลน์อินพุต สามารถพิจารณาจากสมการดังต่อไปนี้

$$m(\theta) = \frac{V_o}{V_g \left|\sin(\theta)\right|} = \frac{M}{\left|\sin(\theta)\right|} \tag{2-39}$$

$$r_L(\theta) = \frac{V_o^{\,2} / P_o}{V_g \left|\sin(\theta)\right|^2} = \frac{M}{2\left|\sin(\theta)\right|^2} \tag{2-40}$$

โดยที่

θ คือ Angular Position ภายในครึ่งไซเคิลของความถี่ไลน์

P_o คือ กำลังด้านเอาต์พุต

สภาวะขอบของการทำงานระหว่างโมดกระแสไหลต่อเนื่องและไม่ต่อเนื่องสามารถคำนวณหาได้โดยใช้หลักการของสมการอัตราส่วนของการแปลงผันแรงดันไฟฟ้ากระแสตรง $m(\theta)$ ในทั้ง 2 โมดของการทำงาน โดยกำหนดให้ K คือ

$$K = \frac{2L_{eq}}{R_L T} \tag{2-41}$$

โดยที่

T คือ คาบเวลาการสวิตช์

R_L คือ ภาระของระบบ

$$L_{eq} = \frac{L_1 L_2'}{L_1 + L_2'} \tag{2-42}$$

โดยที่ $L_2' = \frac{L_2}{n^2}$

โมดการควบคุมกระแสไหลอย่างต่อเนื่องนั้นเป็นจริงได้สำหรับค่าของ θ ใดๆ คือ

$$K > \frac{1}{2(M + n|\sin(\theta)|)^2} \tag{2-43}$$

โดยที่ n คือ อัตราส่วนรอบของหม้อแปลง N_2 / N_1

2.1.5 การออกแบบวงจรกำลัง จากเงื่อนไขในสมการที่ 2-43 สามารถยืนยันได้ว่าเป็นจริงโดยการจำกัดช่วงของภาระไว้ ซึ่งในการเพิ่มขึ้นของค่าความต้านทานภาระส่งผลกระทบต่อเนื่องไปถึงค่าคงที่ K ที่ถูกทำให้ลดลง จนกระทั่งค่าดังกล่าวมีค่าน้อยกว่าเทอมที่ 2 ของสมการที่ 2-43 ยิ่งกว่านั้น สำหรับภาระความต้านทานค่าใดๆ วงจรแปลงผันสามารถเปลี่ยนโมดการทำงานได้จาก

โมดกระแสไหลต่อเนื่อง(ใกล้กับค่าสูงสุดแรงดันอินพุต) ไปทำงานในโมดกระแสไหลอย่างไม่ต่อเนื่อง (บริเวณใกล้กับจุดตัดผ่านค่าศูนย์ของแรงดันอินพุต)

การออกแบบวงจรแปลงผันให้ทำงานอยู่ในโมดกระแสไหลอย่างต่อเนื่องตลอดเวลาที่ภาระใดๆ นั้น สามารถทำได้โดยออกแบบให้มีการเผื่อขนาดของ L_{eq} (L_1, L_2) วิธีการที่เลือกนิยมใช้กันเมื่อต้องการออกแบบให้ระบบวงจรแปลงผันยังคงทำงานอยู่ในโมดกระแสไหลอย่างต่อเนื่อง คือ กำหนดให้ $\theta_{crit} < \theta < \pi - \theta_{crit}$ แม้ว่าที่ขนาดของความต้านทานภาระที่ต่ำสุด มุมวิกฤต θ_{crit} นี้เปลี่ยนแปลงเป็นฟังก์ชันของภาระ R_L ที่เปลี่ยนแปลงไป และสามารถหาสมการมุมวิกฤตนี้ได้จากสมการที่ 2-43 ดังนี้

$$\theta_{crit} = \arcsin\left[\frac{1}{n}\left(\sqrt{\frac{R_L T}{4L_{eq}}} - M\right)\right] \tag{2-44}$$

การทำงานในโมดกระแสไหลต่อเนื่องไม่เป็นปัญหากับอุปกรณ์สวิตช์ที่ถูกต่ออยู่ภายในระบบ เพราะเนื่องจากว่าโมดกระแสไหลต่อเนื่องนี้ไปปรากฏอยู่ที่บริเวณใกล้จุดตัดผ่านค่าศูนย์ของแรงดันอินพุต เมื่อระบบจ่ายกำลังไฟฟ้าด้วยขนาดที่ไม่มากให้กับภาระ การทำงานในโมดที่กระแสไม่ต่อเนื่องเป็นเหตุให้มีการเพิ่มขึ้นของความผิดเพี้ยนกระแสอินพุตขึ้นแทน เพราะเนื่องจากอัตราขยายไฟฟ้ากระแสตรงของฟังก์ชันโอนย้ายวงจรกำลังลดลง อย่างไรก็ตามเสถียรภาพของระบบยังคงมีอยู่ตลอดช่วงเวลาที่วงจรวงจรแปลงผันทำงานอยู่ในโมดกระแสต่อเนื่อง การเลือกค่าของ θ_{crit} ที่พิกัดภาระเป็นความเกี่ยวข้องระหว่างขนาดขององค์ประกอบวงจรกำลังและความผิดเพี้ยนกระแสอินพุตในสภาวะที่ภาระเปลี่ยนแปลงค่าไป เมื่อใดที่ทราบค่าของ L_{eq} ค่าของขดลวดเหนี่ยวนำ L_1 และ L_2' สามารถคำนวณได้จากการกระเพื่อมของกระแสอินพุตที่ต้องการและคำนวณตามสมการที่ 2-42

2.1.6 อัตราส่วนรอบหม้อแปลง ค่าพารามิเตอร์นี้ถูกเลือกเพื่อที่จะให้ได้พิกัดของอุปกรณ์ที่เหมาะสม เช่น เพื่อหาค่าของ n ที่ทำให้ความเครียดของกระแสและแรงดันสูงสุดของสวิตช์และไดโอดมีค่าที่เหมาะสมที่สุด โดยที่ค่าพารามิเตอร์เหล่านี้เป็นฟังก์ชันของ n ที่ค่า $\theta = \pi/2$ (เป็นกรณีที่แย่ที่สุด) วิธีการเลือกต้องอาศัยการพิจารณาที่แรงดันตกคร่อมสวิตช์เป็นหลัก (พิกัดแรงดันตกคร่อมของสวิตช์) และยิ่งกว่านั้นแรงดันอันเกิดมาจากความความเหนี่ยวนำรั่วไหลของหม้อแปลงต้องถูกนำมาร่วมในการพิจารณาด้วย

2.1.7 ตัวเก็บประจุส่งผ่านพลังงาน ในวงจรแปลงผันแบบชุกและซีพิกทั่วๆ ไป ตัวเก็บประจุ C_1 ถูกสมมุติให้มีค่าแรงดันตกคร่อมตัวมันคงที่ เมื่อทำงานเป็นวงจรวงจรแปลงผันที่สามารถแก้ไขตัวประกอบกำลังได้ แรงดันตกคร่อมตัวเก็บประจุ C_1 มี 2 สิ่งที่เป็นเงื่อนไขสำคัญที่พิจารณา คือ ต้องให้การกระเพื่อมของแรงดันที่ความถี่สูงมีค่าต่ำสุดและสามารถติดตามแรงดันอินพุตในช่วงคาบความถี่ไลน์ ความถี่รีโซแนนซ์ของ C_1L_1 และ L_2' ต้องมีค่ามากกว่าความถี่ที่ไลน์ เพื่อที่จะหลีกเลี่ยงการการแกว่งของกระแสอินพุตในแต่ละครึ่งไซเคิล และถ้าความถี่รีโซแนนซ์อยู่ใกล้กับความถี่สวิตช์ คุณสมบัติของตัวประกอบที่กำลังที่ดีได้สูญเสียไปอันเนื่องมาจากรูปคลื่นที่ผิดเพี้ยนไปของกระแสอินพุต

$$\omega^2 \gg \frac{1}{C_1 L_1 L_2'} = \omega_r^{\,2} \gg \omega_s^{\,2} \tag{2-45}$$

โดยที่ $\omega = 2\pi f$ = ความถี่ไลน์

จากสมการที่ 2-45 ค่าที่ได้จากการคำนวณด้วยสมการนี้เป็นเพียงแค่ค่าเริ่มต้นเท่านั้น ทางออกที่ดีของการแก้ปัญหานี้อยู่ที่การใช้โปรแกรมคอมพิวเตอร์ช่วยจำลองการทำงานเพื่อหาค่าตัวเก็บประจุที่เหมาะสมต่อไป

ส่วนตัวเก็บประจุไฟฟ้ากระแสตรงด้านออก C_2 ถูกพิจารณาจากค่าเวลาคืนตัวของระบบ โดยสามารถกำหนดเป็นสมการได้ดังนี้

$$C_2 \geq \frac{2P_o\Delta_{th}}{V_o^{\,2} - V_{o\,(\min)}^{\,2}} \tag{2-46}$$

2.2 สถาปัตยกรรมของตัวประมวลผลสัญญาณดิจิตอล TMS320LF2407A DSP Controller[15]

ตัวแปลงสัญญาณแอนนะลอกเป็นดิจิตอลความละเอียด 10 บิต 1 ชุด (10-bit analog-to-digital converter) 16/8 ช่องสัญญาณ ซึ่งใช้เวลาในการแปลงสัญญาณเพียง 375 *ns* ต่อ 1 ครั้ง จึงเปรียบเสมือนมีตัวแปลงสัญญาณแอนนะลอกเป็นดิจิตอล 2 ชุด

ตัวสร้างสัญญาณ PWM (Pulse Width Modulation) 16 ช่อง

ตัวนับขนาด 16 บิต 2 ชุด

ตัวรับสัญญาณจากเอ็นโคดเดอร์ (Quadrature Encoder Pulse)

Controller Area Network (CAN) Module

อินพุต / เอาต์พุต พอร์ต 41 ช่อง

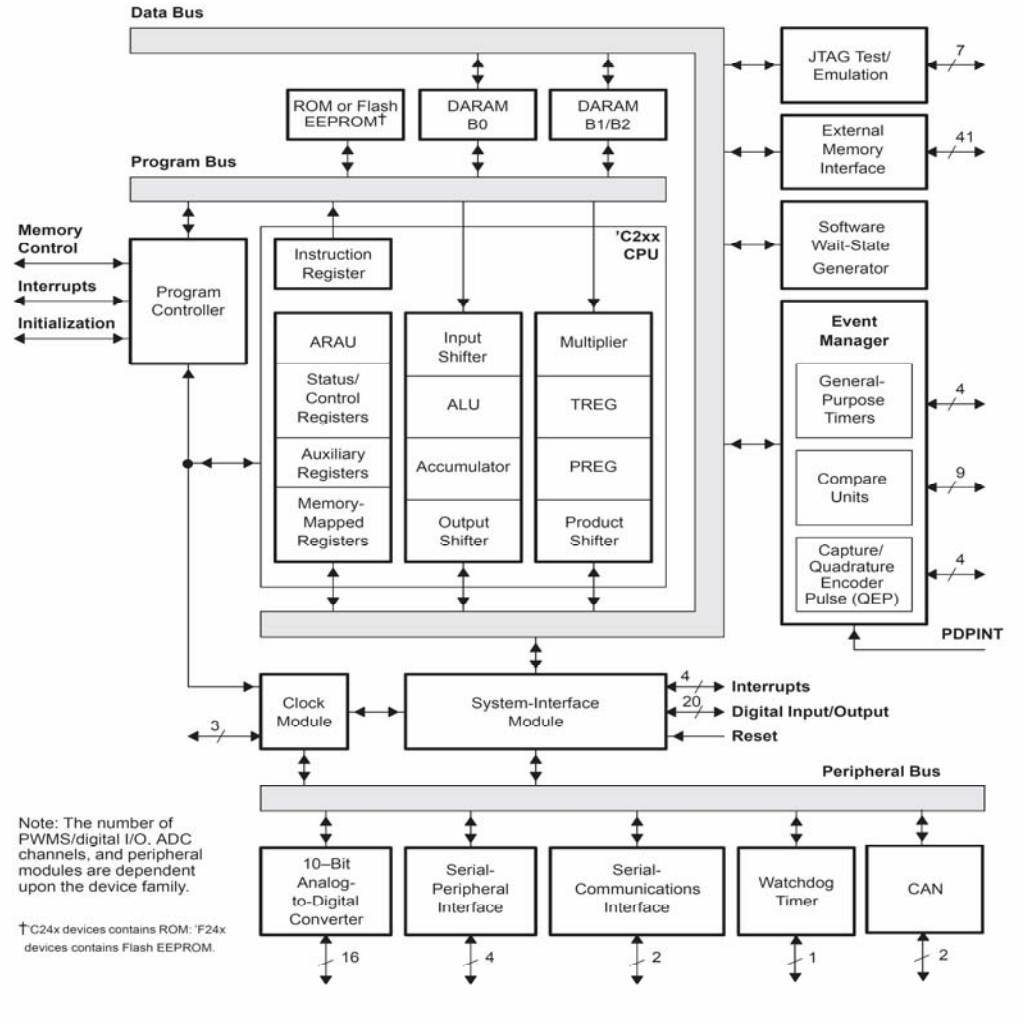
ชุดติดต่อสื่อสารแบบอนุกรม

มีอินเวอร์เตอร์รับได้ 5 ช่องสัญญาณ

ตัวสร้างสัญญาณประวิงเวลา (Dead time)

ฮาร์ดแวร์การคูณแบบขนาด 16 × 16 บิตผลลัพธ์ขนาด 32 บิต

หน่วยความจำ RAM ขนาด 544 × 16 และ Flash EEPROM ขนาด 32k × 16 บิต โดยมีรายละเอียดดังภาพที่ 2-7



ภาพที่ 2-7 ฟังก์ชันบล็อกไดอะแกรมของ TMS320LF2407A

2.2.1 ภาคประมวลผลกลางของ TMS320LF2407A

TMS320LF2407A ใช้สถาปัตยกรรมเป็นแบบฮาวาร์ด (Harvard Architecture) ซึ่งแยกหน่วยความจำโปรแกรม (Program Memory) และหน่วยความจำข้อมูล (Data Memory) แยกอิสระออกจากกัน จึงเป็นผลให้สามารถอ่านหรือเขียนหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลได้ในเวลาเดียวกัน ทำให้การทำงานต่างๆมีความรวดเร็วและคล่องตัวยิ่งขึ้น และยังใช้หลักการทำงานแบบ Pipelining โดยกระทำการ Fetch , Decode และ Execute ในช่วงเวลาเดียวกัน ทำให้คำสั่งส่วนใหญ่ใช้เวลาในการประมวลผลเพียง 1 รอบ (Cycle)

2.2.2 ฟังก์ชันบล็อกไดอะแกรม (Function Block Diagram)

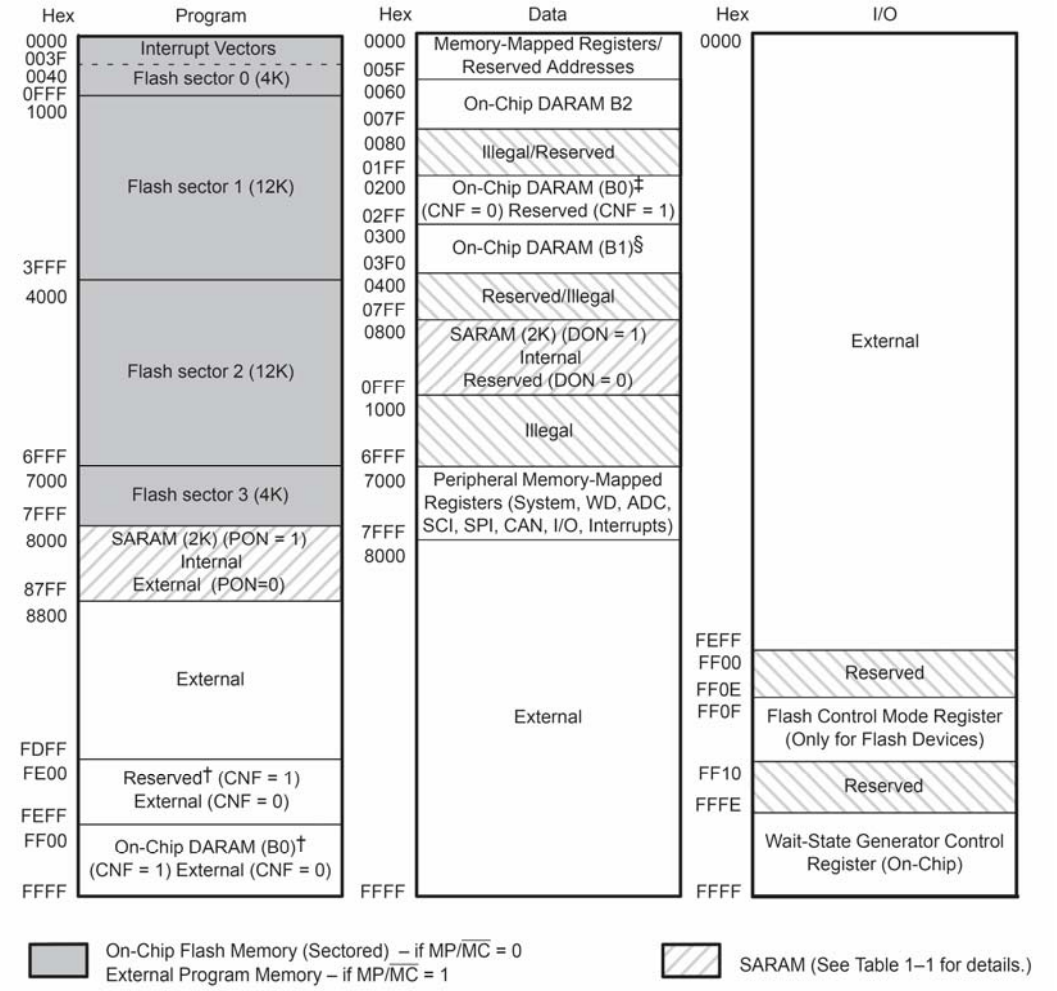
ฟังก์ชันบล็อกไดอะแกรมที่แสดงตามภาพที่ 2-7 แสดงการทำงานของ TMS320LF2407A โดยมีบัสโปรแกรม เป็นทางเข้าออกรหัสคำสั่งและการทำโอเปอร์แรนด์ ส่วนบัสข้อมูลจะเชื่อมต่อ

โดยตรงกับวงจรประมวลผล เช่น CALU (Central Arithmetic Logic Unit) และรีจิสเตอร์ที่เป็นไฟล์ข้อมูลย่อย AR0 – AR7 ซึ่งโครงสร้างการทำงานคำนวณทางคณิตศาสตร์จะเป็นฮาร์ดแวร์แยกอิสระ จึงทำให้กระทำคำสั่งทางคณิตศาสตร์มีประสิทธิภาพสูงมาก ทั้งการเลื่อนบิต การทำคำสั่งคูณ/หาร หรือคำสั่งทางลอจิก

2.2.3 การจัดผังหน่วยความจำ (Memory Map)

ในการอ้างแอดเดรสของ TMS320LF2407A จะมีการอ้างแอดเดรสแยกระหว่างหน่วยความจำโปรแกรม หน่วยความจำข้อมูล และหน่วยความจำอินพุตเอาต์พุต (สัญญาณที่ขา PS, DS, และ IS)ในทุกหน่วยความจำสามารถอ้างแอดเดรสได้ 64 Kwords

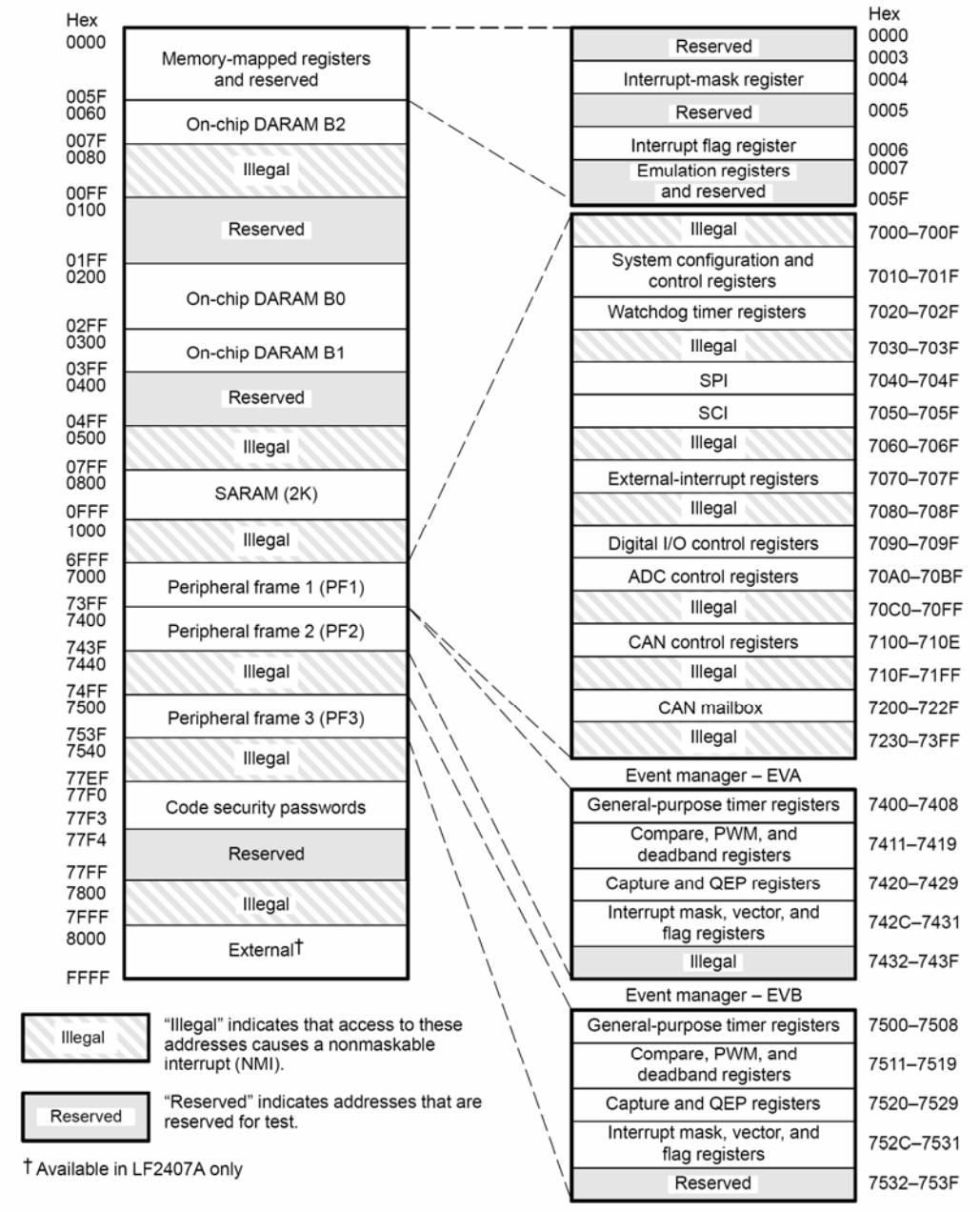
ในหน่วยความจำข้อมูลเนื้อที่ 96 ตำแหน่งแรก (0-5FH) เป็นพื้นที่สงวนสำหรับเก็บสถานการณ์ทำงานของตัวประมวลผลกลาง ภาพที่ 2-8 จะแสดงรายละเอียดของการจัดผังหน่วยความจำของทั้ง 3 ชนิด



ภาพที่ 2-8 การจัดผังหน่วยความจำ (Memory Map)

2.2.4 การจัดผังหน่วยความจำอุปกรณ์รอบข้าง (Peripheral Memory Map) [16]

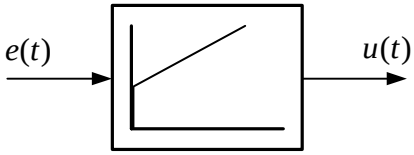
ในการควบคุมสั่งงานหรืออ่านสถานะการทำงานของอุปกรณ์รอบข้างใน TMS320LF2407A สามารถอ่านหรือเขียนลงในหน่วยความจำอินพุตเอาต์พุตตำแหน่ง 0000-7FFF โดยอุปกรณ์รอบข้างแต่ละตัวมีตำแหน่งดังภาพที่ 2-9



ภาพที่ 2-9 การจัดผังหน่วยความจำอุปกรณ์รอบข้าง

2.3 ตัวควบคุมพีไอแบบเวลาไม่ต่อเนื่อง (Discrete Time PI Controller)[17]

ตัวควบคุมพีไอแบบแอนนะลอกถูกใช้อย่างกว้างขวางในระบบควบคุมแบบต่างๆ เป็นเวลาช้านานมีบล็อกไดอะแกรมดังภาพที่ 2-10



ภาพที่ 2-10 บล็อกไดอะแกรมของตัวควบคุมพีไอ

จากบล็อกไดอะแกรมสามารถเขียนเป็นสมการทางคณิตศาสตร์ได้ดังนี้

$$u(t) = K_p\left[e(t) + \frac{1}{T_R}\int_0^t e(t)\,dt\right] \tag{2-47}$$

สำหรับ Z-transformation ของ Discrete Time PI Controller หาได้จาก

$$U(z) = K_p\left[Z\{e(t)\}\frac{1}{T_R}Z\left\{\int_0^t e(t)dt\right\}\right] \tag{2-48}$$

กำหนดใช้ Trapezoidal Rule of Integration Back ward Difference ดังนั้นจะได้

$$U(z) = K_p\left[E(z) + \frac{1}{T_R}\times\frac{T}{2}\frac{1+z^{-1}}{1-z^{-1}}E(z)\right] \tag{2-49}$$

$$U(z) = \left[\left(K_p - \frac{K_pT}{2T_R}\right) + \left(\frac{K_pT}{T_R}\right)\right]E(z) \tag{2-50}$$

จะได้ Z – Transfer Function

$$D(z) = \frac{U(z)}{E(z)} = K_{pi} + \frac{K_i}{1-z^{-1}} \tag{2-51}$$

โดยที่

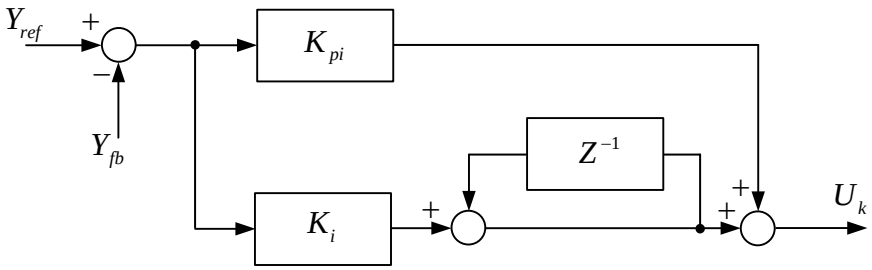
$$K_{pi} = K_p + \frac{K_p T}{2T_R} \tag{2-52}$$

$$K_i = \frac{K_p T}{T_R} \tag{2-53}$$

สำหรับ Discrete Time ของ PI Controller สามารถเขียนได้ดังนี้

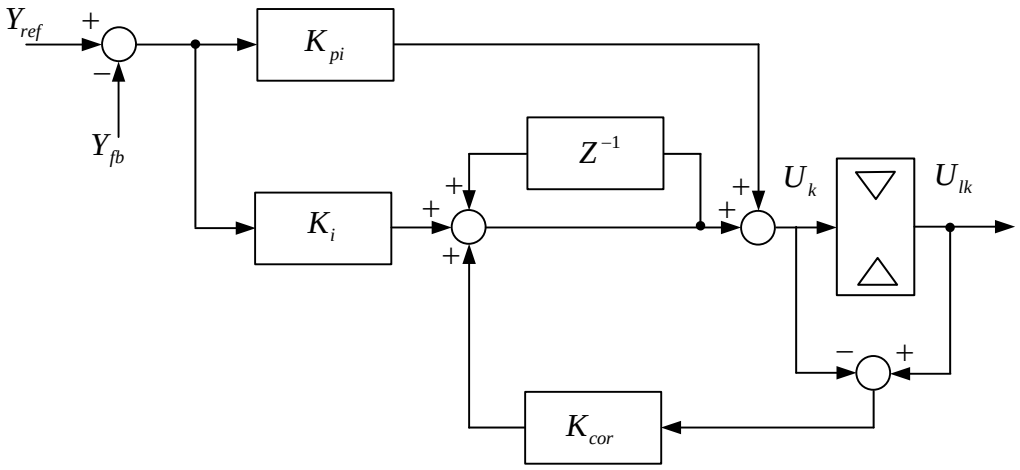
$$U_k = K_{pi} e_k + K_i \sum_{i=0}^{k} e_i \tag{2-54}$$

ซึ่งสามารถเขียนเป็นบล็อกไดอะแกรมดังภาพที่ 2-11



ภาพที่ 2-11 โครงสร้างตัวควบคุมแบบพีไอ

เนื่องจากจะต้องลิมิตค่าเอาต์พุตของตัวควบคุม ซึ่งมีส่วนการควบคุมแบบอินทิเกรตอยู่ด้วย ซึ่งขณะที่ค่าเอาต์พุตติดลิมิตส่วนอินทิเกรตจะต้องหยุดอินทิเกรต เพื่อมิให้เกิดค่าอินทิเกรตสะสมขณะที่เอาต์พุตไม่สามารถเพิ่มขึ้นได้ (Integrator Windup) มิฉะนั้นจะทำให้ผลการควบคุมเกิดโอเวอร์ชูตสูงกว่าปกติ ดังนั้นจึงต้องใช้ตัวควบคุมชนิดที่แก้ผลดังกล่าว ดังแสดงในภาพที่ 2-12



ภาพที่ 2-12 โครงสร้างตัวควบคุมแบบพีไอ ที่แก้อินทิเกรตสะสมขณะที่เอาต์พุตติดลิมิต

การแก้ผลของอินทิเกรตสะสมขณะที่เอาต์พุตติดลิมิตนี้ อาศัยผลต่างเอาต์พุตจริง (U_k) และเอาต์พุตที่ลิมิต (U_{lk}) ซึ่งจะได้ค่าติดลบเสมอขณะติดลิมิต คูณด้วยค่าคงที่การแก้อินทิเกรตสะสม (K_{cor}) แล้วนำไปบวกกับค่าที่เกิดจากการควบคุมแบบอินทิเกรต ดังนั้นค่าคงที่การแก้อินทิเกรตสะสมมีค่าตามสมการที่ 2-9

$$K_{cor} = \frac{K_i}{K_{pi}} \tag{2-55}$$

จากโครงสร้างตัวควบคุมแบบพีไอดังภาพที่ 2-11 สามารถเขียนเป็นขั้นตอนการทำงานของโปรแกรมการควบคุมแบบพีไอที่แก้อินทิเกรตสะสมขณะที่เอาต์พุตติดลิมิตได้ดังนี้

INPUT y_{ref}, y_{fb}

$e_k = y_{ref} - y_{fb}$

$u_k = x_i + K_{pi} e_k$

$ul_k = u_k$

$IF u_k > u_{\max}\ THEN\ u_{lk} = u_{\max}$

$IF u_k < u_{\min}\ THEN\ u_{lk} = u_{\min}$

OUTPUT U_{lk}

$e_{lk} = u_k - u_{ik}$

$x_i = x_i + K_i e_k + K_{cor} e_{lk}$

2.4 การคำนวณแบบทศนิยมคงที่ (Fixed-Point Arithmetic) [17]

การคำนวณแบบจุดทศนิยมคงที่นี้เป็นการประมาณระบบเลขทศนิยมในโลกของความเป็นจริง เช่น สัญญาณของกระแสของภาระแบบไม่เป็นเชิงเส้น หรือความเร็วรอบของมอเตอร์ เป็นต้น โดยแทนที่ด้วยเลขฐานสองซึ่งเป็นจำนวนเต็มภายในตัวประมวลผล ในระบบเลขฐานสองจำนวนตัวเลขสามารถพิจารณาให้อยู่ในจำนวนเต็มบวกและจำนวนเต็มลบได้ โดยใช้รูปแบบของ 2's complement ซึ่งมีบิตซ้ายมือสุดเป็นบิตแสดงเครื่องหมาย วิธีนี้เป็นวิธีที่นิยมใช้กันในระบบประมวลผลทั่วไป

ในการแทนค่านั้นจะกระทำกันในรูปแบบ X.Y Format ซึ่ง X คือ จำนวนบิตที่ใช้แทนจำนวนเต็ม และ Y คือจำนวนบิตที่ใช้แทนจำนวนทศนิยม และผลรวมระหว่าง X และ Y คือจำนวนบิตที่ใช้ในการคำนวณหรือจำนวนบิตของตัวประมวลผลนั่นเอง ซึ่งการเลือกใช้จำนวนบิต X และ Y ขึ้นอยู่กับผู้ใช้เป็นผู้กำหนดเองรูปแบบการแทนค่าสามารถคำนวณจากสูตรต่อไปนี้

$$C = -b_{z-1} \times 2^{x} + b_{z-2} \times 2^{x-1} + \ldots + b_{z-x} \times 2^{0} + b_{y-1} \times 2^{-1} + \ldots + b_{0} \times 2^{-y}$$

โดยที่ z คือ จำนวนบิตของตัวประมวลผล

C คือ เลขจำนวนจริงที่ถูกแทนค่าในรูปแบบ X.Y format

B คือ เลขฐานสองในแต่ละบิต

ซึ่งความละเอียดต่อบิตที่ได้จากการคำนวณในรูปแบบนี้จะมีค่าเท่ากับ 2^{-y} และจะมีช่วงความกว้างของตัวเลขอยู่ในช่วง (-2^{x-1}) ถึง $(2^{x-1} - 2^{-y})$ ในขณะที่การแปลงจากเลขจำนวนจริงเป็นเลขในระบบจุดทศนิยมคงที่สามารถทำได้ดังต่อไปนี้

$$X.Yf = C \times 2^{y}$$

โดยที่ X.Yf คือ จำนวนตัวเลขในระบบจุดทศนิยมคงที่แบบ X.Y Format

ในการแปลงจากเลขจำนวนจริงให้มาอยู่ในรูปแบบของ X.Y Format นั้น ในบางครั้งอาจต้องมีการปัดเศษ เพราะจำนวน X.Yf นั้นอยู่ในรูปแบบของจำนวนเต็ม ตัวอย่างเช่น การแทนค่า $\frac{\pi}{2}$ (1.57079632679) ให้อยู่ในรูปแบบ 2.14 Format

$$\frac{\pi}{2}(2.14f) = \frac{\pi}{2} \times 2^{14} = 25735.927 \approx 25736_{10} = 6488_{16}$$

จากตัวอย่างจะเห็นว่าการปัดเศษเพื่อประมาณให้อยู่ในรูปของ 2.14f ได้ทำการปัดเศษขึ้นเพราะทศนิยมมีค่ามาก

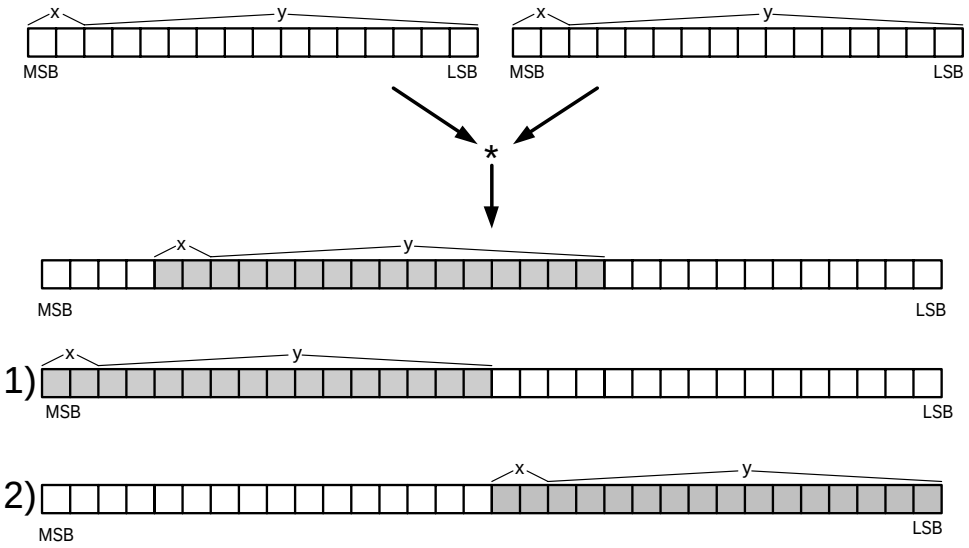
2.4.1 การกระทำทางคณิตศาสตร์ (Arithmetic Operation) [15]

การกระทำทางคณิตศาสตร์ของระบบตัวเลขแบบจุดทศนิยมคงที่นั้นจะประกอบด้วยการบวก การลบและการคูณ ส่วนการหารนั้นตัวประมวลผลไม่มีคำสั่งนี้ถ้าหากต้องการการหารนี้จำเป็นจะต้องดัดแปลงเปลี่ยนรูปแบบการกระทำทางคณิตศาสตร์ หรือใช้อัลกอลิธึมพิเศษ

2.4.1.1 การบวกและการลบ (Addition & Subtraction) ในการกระทำทางคณิตศาสตร์ของการบวกและการลบนี้มีความจำเป็นอย่างยิ่งที่ต้องให้จำนวนทั้งสองจำนวนมีจุดทศนิยมที่ตรงกัน ถึงแม้ว่าจะถูกแทนค่าให้อยู่ต่างรูปแบบกัน

ตัวอย่าง เช่น 1.25 (2.14f) + 2.5 (4.12f) ในกรณีนี้จำเป็นจะต้องจัดให้ตัวเลขที่อยู่ใน 2.14f ให้มีจุดทศนิยมตรงกับ 4.12f เสียก่อนโดยการเลื่อนบิตมาทางซ้าย 2 บิต เสียก่อน ซึ่งจะได้ผลลัพธ์เท่ากับ 3.75 ที่อยู่ในรูปแบบ 4.12f

2.4.1.2 การคูณ (Multiplication) เมื่อนำจำนวนจริง 2 จำนวนซึ่งอยู่ในรูปแบบของ X.Y Format ผลลัพธ์จะยังคงเก็บไว้ในรูปแบบของ X.Y Format เหมือนเดิม แต่เมื่อกระทำบนตัวคูณในตัวประมวลผล จะได้ผลลัพธ์ออกมา 32 บิต จึงจำเป็นต้องมีการเลื่อนบิตก่อนมาใช้งานโดยมีทางเลือกอยู่ 2 วิธีคือ 1) เลื่อนไปทางซ้าย X บิต จะได้ผลลัพธ์เก็บไว้ในแอกคิวมูเลเตอร์ด้านสูง (high side accumulator) หรือ 2) เลื่อนไปทางขวา Y บิต จะได้ผลลัพธ์เก็บไว้ในแอกคิวมูเลเตอร์ด้านต่ำ(low side accumulator) ซึ่งแสดงไว้ดังภาพที่ 2-13



ภาพที่ 2-13 การคูณระบบจุดทศนิยมคงที่

2.4.2 ระบบต่อหน่วย(Per-Unit System)

สัญญาณแอนนะลอกเมื่อถูกวัดเข้ามา แล้วแปลงจากแอนนะลอกเป็นดิจิตอลเพื่อนำมาใช้ในการคำนวณ ซึ่งบางสัญญาณมีช่วงการเปลี่ยนแปลงค่อนข้างกว้าง บางสัญญาณก็เปลี่ยนแปลงเพียงเล็กน้อย ซึ่งทำให้ยากต่อการเลือกใช้รูปแบบตัวเลข ดังนั้นเพื่อให้ง่ายต่อการคำนวณค่าตัวแปลงต่างๆจะถูกแปลงเป็นค่าต่อหน่วย (Per-Unit) เช่น

$$\text{ค่ากระแสต่อหน่วย} : i_{pu} = \frac{i_{Act}}{i_{Base}}$$

โดยที่ i_{Act} คือกระแสจริง

i_{Base} คือกระแสค่าฐาน

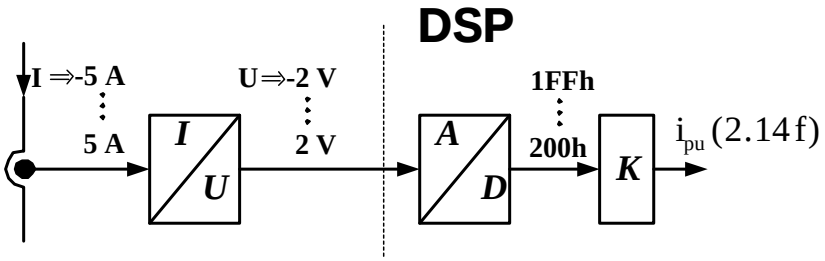
ค่ากระแสค่าฐานจะถูกกำหนดขึ้นตามความเหมาะสมเช่นถ้าวัดกระแสสลับชั่วขณะค่ากระแสฐานจะถูกกำหนดให้มีค่าเท่ากับกระแสยอด (Peak) ดังนี้

$$i_{Base} = \sqrt{2}.i_{Rated}$$

โดยที่ i_{Rated} คือกระแสพิกัด

ดั้งนั้นค่า i_{pu} =1 p.u.=4000h (2.14f) เมื่อกระแสจริงเท่ากับกระแสค่าฐาน

การสเกล (Scaling)



ภาพที่ 2-14 การวัดค่ากระแสแอนนะลอกแล้วสเกลเป็นค่าต่อหน่วย

ค่าตัวแปรต่างๆที่จะต้องวัดเข้ามาทำการคำนวณถูกอ่านเข้ามาทางตัวแปลงแอนนะลอกเป็นดิจิตอล (Analog to Digital : ADCs) ค่าที่ได้จะเป็นค่าจริงจะต้องทำการสเกลเพื่อเป็นค่าต่อหน่วย ดังนั้นโปรแกรมต้องการค่าคงที่หนึ่งค่า (K) เพื่อไปสเกลค่าตัวแปรให้เป็นค่าต่อหน่วยตัวอย่างเช่นในภาพที่ 2-14 เป็นการวัดกระแสซึ่งอยู่ในย่าน –15 ถึง +15 A ค่ากระแสจะต้องแปลงเป็นแรงดันก่อนเข้าเป็นสัญญาณขาเข้าให้ ADCs ขนาด10 บิต ตามภาพถ้ากระแส+15A จะแปลงเป็นแรงดัน +2V ได้เป็นค่าดิจิตอล 01 1111 1111b=1FFh = 511d วิธีการคำนวณหาค่า K ทำได้ดังนี้

กำหนดค่าฐานเช่น

$$i_{Base} = 15\ \text{A} \Rightarrow i_{binary} = 511d = 1FFh$$

$$i_{pu}\ (2.14\text{f}) = K \times i_{binary}$$

ถ้ากระแสจริงเท่ากับกระแสฐานดังนั้น

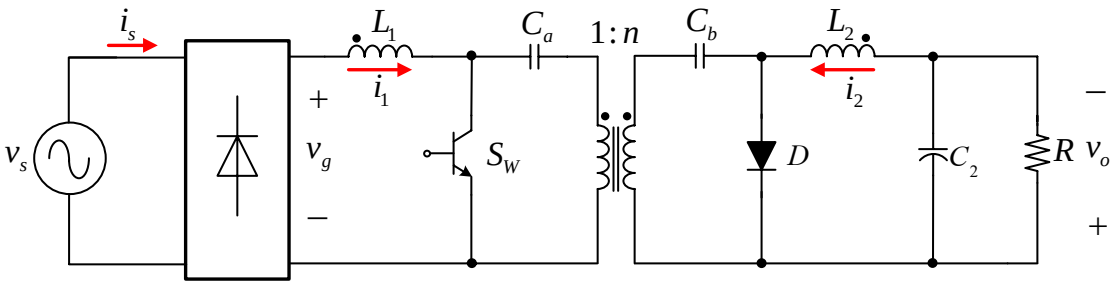
$$i_{pu}\ (2.14\text{f}) = 4000\text{h} = 2^{14} = 16384\text{d}$$

$$\therefore \quad K = \frac{16384}{511} = 32.0626\text{d} = 100\text{h}\ (8.8\text{f})$$

จากตัวอย่างจะเห็นว่าค่า K มีค่าเกินช่วงตัวเลขในรูปแบบ 2.14f ซึ่งมีค่าอยู่ในช่วง ± 2 ทำให้ต้องไปใช้ในรูปแบบ 8.8f ซึ่งมีค่าในช่วงดังกล่าว

บทที่ 3
การวิเคราะห์และการจำลองการทำงาน

บทนี้จะกล่าวถึงการวิเคราะห์และการจำลองการทำงานของการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรง โดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุกที่มีการควบคุมตัวประกอบกำลังให้ใกล้เคียงหนึ่ง ทำงานในโมดกระแสไหลต่อเนื่อง ร่วมกับการพิจารณาด้วยหลักการสมดุลกำลังไฟฟ้า ความถี่ในสวิตช์ไม่คงที่ และทำการวิเคราะห์ผลการทดลองการทำงานโดยใช้ โปรแกรม Simulink/MATLAB เพื่อศึกษาถึงพฤติกรรมทางพลวัตของแบบจำลองของระบบที่สร้างขึ้นในขณะที่เริ่มทำงานที่สภาวะคงตัวและมีการเปลี่ยนแปลงภาระ วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงโดยใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุกจากภาพที่ 2-1 ที่ตำแหน่งของ C_1 ถูกแทนที่ด้วยหม้อแปลงความถี่สูงต่อแยกโดดทางไฟฟ้า[11] คั่นระหว่างตัวเก็บประจุ C_a กับ C_b แสดงในภาพที่ 3-1



ภาพที่ 3-1 วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก

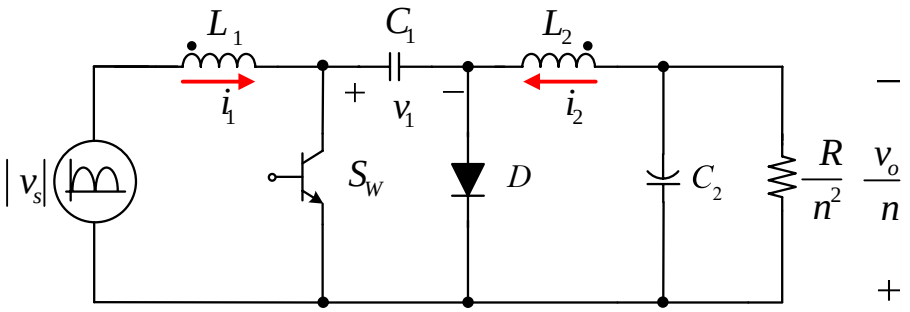
สำหรับค่าตัวเก็บประจุ C_1 สามารถหาได้จากสมการดังนี้

$$C_1 = \frac{C_a n^2 C_b}{C_a + n^2 C_b} \tag{3-1}$$

การวิเคราะห์ วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุกทำงานในโมดกระแสต่อเนื่อง มีลำดับขั้นดังนี้

3.1 สมการของวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก[11]

ภาพที่ 3-1 เป็นวงจรภาคกำลังที่มีการต่อหม้อแปลงความถี่สูงเพื่อแยกโดดทางไฟฟ้า เพื่อให้ง่ายต่อการวิเคราะห์จึงทำการโอนย้ายค่าพารามิเตอร์ทางด้านทุติยภูมิของหม้อแปลงมาไว้ทางด้านปฐมภูมิและแทนสัญลักษณ์แหล่งจ่ายเป็นแหล่งจ่ายที่มีการเรียงกระแสเรียบร้อยแล้ว ซึ่งสามารถลดรูปใหม่ได้ดังภาพที่ 3-2



ภาพที่ 3-2 วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก หลังจากลดรูป และค่าโอนย้ายค่าพารามิเตอร์

เมื่อ n คืออัตราส่วนของจำนวนหม้อแปลงด้านทุติยภูมิต่อด้านปฐมภูมิ ซึ่งมีค่าเป็น 0.5

การทำงานของวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุกในโมดกระแสต่อเนื่องสามารถแบ่งช่วงเวลาการทำงานออกเป็น 2 ช่วงดังนี้

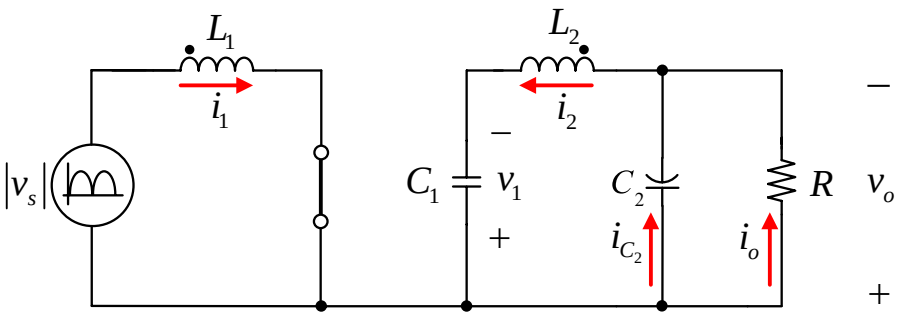
3.1.1 โมดกระแสต่อเนื่องช่วงที่ 1 ในช่วงเวลา $0 < t < t_1$ เป็นช่วงเวลาที่สวิตช์ปิดวงจร ลักษณะของวงจรสมมูลแสดงการทำงานเป็นดังภาพที่ 3-3 สามารถเขียนสมการได้ดังนี้

$$\frac{di_1}{dt} = \frac{|v_s|}{L_1} \tag{3-2}$$

$$\frac{di_2}{dt} = \frac{1}{L_2}(v_1 - v_o) \tag{3-3}$$

$$\frac{dv_1}{dt} = -\frac{i_2}{C_1} \tag{3-4}$$

$$\frac{dv_2}{dt} = \frac{1}{C_1}\left(i_2 - \frac{v_o}{R}\right) \tag{3-5}$$



ภาพที่ 3-3 วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก ขณะปิดสวิตช์

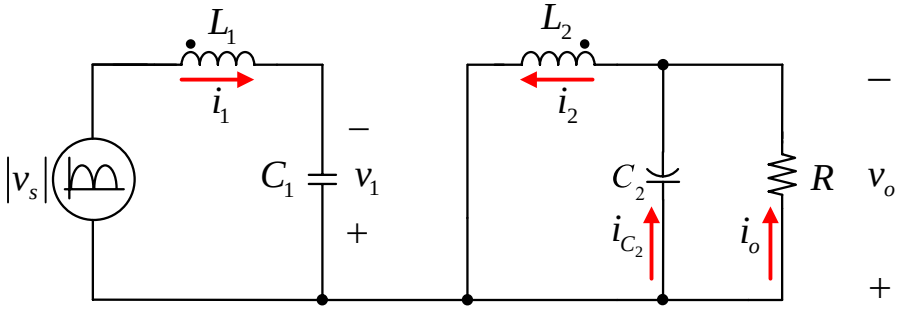
3.1.2 โมดกระแสต่อเนื่องช่วงที่ 2 ในช่วงเวลา $t_1 < t < t_2$ เป็นช่วงเวลาที่สวิตช์เปิดวงจร ลักษณะของวงจรสมมูลแสดงการทำงานเป็นดังภาพที่ 3-4 สามารถเขียนสมการได้ดังนี้

$$\frac{di_1}{dt} = \frac{1}{L_1}\left(|v_s| - v_1\right) \tag{3-6}$$

$$\frac{di_2}{dt} = -\frac{v_o}{L_2} \tag{3-7}$$

$$\frac{dv_1}{dt} = \frac{i_1}{C_1} \tag{3-8}$$

$$\frac{dv_o}{dt} = \frac{1}{C_2} = \left(i_2 - \frac{v_o}{R}\right) \tag{3-9}$$



ภาพที่ 3-4 วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก ขณะเปิดสวิตช์

กำหนดตัวแปรสเตทของวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงแบบชุก ดังนี้

i_1 คือกระแสที่ไหลผ่านตัวเหนี่ยวนำ L_1

i_2 คือกระแสที่ไหลผ่านตัวเหนี่ยวนำ L_2

v_1 คือแรงดันตกคร่อม C_1

v_o คือแรงดันด้านออก

เมื่อพิจารณาถึงรูปแบบสมการสเตทสเปซ

$$\dot{x} = \mathbf{A}x + \mathbf{B}u + \mathbf{F} \tag{3-10}$$

เมื่อ **A** คือเมตริกซ์ของพารามิเตอร์ที่ไม่ติดค่าสถานะของสวิตช์

B คือเวกเตอร์ของพารามิเตอร์ที่ติดค่าสถานะของสวิตช์

F คือเวกเตอร์ของพารามิเตอร์ที่เป็นแหล่งจ่าย

โดยที่

$$x = \begin{bmatrix} i_1 & i_2 & v_1 & v_o \end{bmatrix}^t \tag{3-11}$$

พิจารณาสมการแสดงการทำงานของสวิตช์ในแต่ละช่วง แล้วจัดรูปสมการตามรูปแบบของสมการที่ 3-10 โดยคูณสมการที่ 3-2 ถึงสมการที่ 3-5 ด้วย u เมื่อสวิตช์ปิดวงจร ในขณะเดียวกันเมื่อสวิตช์เปิด

วงจรให้คูณสมการที่ 3-6 ถึงสมการที่ 3-9 ด้วย $(1-u)$ ดังนั้นเมื่อสวิตช์ทำงานครบ 1 คาบเวลาจะได้ผลรวมของสมการขณะสวิตช์ปิดวงจรและสวิตช์เปิดวงจรดังสมการต่อไปนี้

$$\frac{di_1}{dt} = \frac{1}{L_1}\left(|v_s| - (1-u)v_1\right) \tag{3-12}$$

$$\frac{di_2}{dt} = -\frac{1}{L_2}(uv_1 - v_o) \tag{3-13}$$

$$\frac{dv_1}{dt} = \frac{1}{C_1}\left((1-u)i_1 - ui_2\right) \tag{3-14}$$

$$\frac{dv_o}{dt} = \frac{1}{C_2} = \left(i_2 - \frac{v_o}{R}\right) \tag{3-15}$$

จัดรูปแบบสมการที่ 3-12 ถึง 3-15 ใหม่ตามรูปแบบสมการที่ 3-10 ได้ดังนี้

$$\dot{x} = \begin{bmatrix} 0 & 0 & -\frac{1}{L_1} & 0 \\ 0 & 0 & 0 & -\frac{1}{L_2} \\ \frac{1}{C_1} & 0 & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & -\frac{1}{RC_2} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ v_1 \\ v_o \end{bmatrix} + \begin{bmatrix} \frac{v_1}{L_1} \\ \frac{v_1}{L_2} \\ \frac{i_1 + i_2}{C_1} \\ 0 \end{bmatrix} u + \begin{bmatrix} \frac{1}{L_1} \\ 0 \\ 0 \\ 0 \end{bmatrix} |v_s| \tag{3-16}$$

3.2 การวิเคราะห์สัญญาณขนาดเล็ก (Small Signal Analysis)

การวิเคราะห์และหาแบบจำลองทางคณิตศาสตร์ ใช้หลักการของเทคนิคสมดุลกำลังไฟฟ้า [7, 8] โดยสมมุติว่า กำลังไฟฟ้าด้านอินพุตเท่ากับด้านเอาต์พุต ระบบไม่มีการสูญเสียสมการขนาดของกระแสขดลวดเหนี่ยวนำอินพุตอ้างอิงในแต่ละโมดูลคือ

$$\hat{I}_{Lref_{1i}} = \hat{I}_{L_{1i}} + I_{VR} \tag{3-17}$$

เมื่อ $\hat{I}_{L_{1i}}$ คือ ขนาดสูงสุดของกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล

I_{VR} คือ สัญญาณแก้ไขที่ได้จากตัวควบคุมแบบพีไอ

เมื่อพิจารณาสภาวะสมดุลกำลังไฟฟ้า สามารถคำนวณหาค่าขนาดของกระแสขดลวดเหนี่ยวนำอินพุตได้ดังนี้

$$V_g \cdot \sum_{i=1}^{N} \hat{I}_{L_{1i}} = k_s V_o I_{load} \tag{3-18}$$

กำหนดให้ $\hat{I}_{L_{11}} = \hat{I}_{L_{12}} = \hat{I}_{L_{13}}$ สมการกระแสยอดคลื่นขดลวดเหนี่ยวนำอินพุตในแต่ละโมดูล คือ

$$\hat{I}_{L_{1i}} = \frac{k_s V_o I_{load}}{N V_g} \tag{3-19}$$

เมื่อ k_s คือ ค่าคงที่ peak

I_{load} คือ กระแสที่ไหลผ่านภาระ

V_o คือ แรงดันเอาต์พุต RMS

V_g คือ แรงดันเรคติไฟร์

N คือ จำนวนโมดูลที่ต่อขนาน

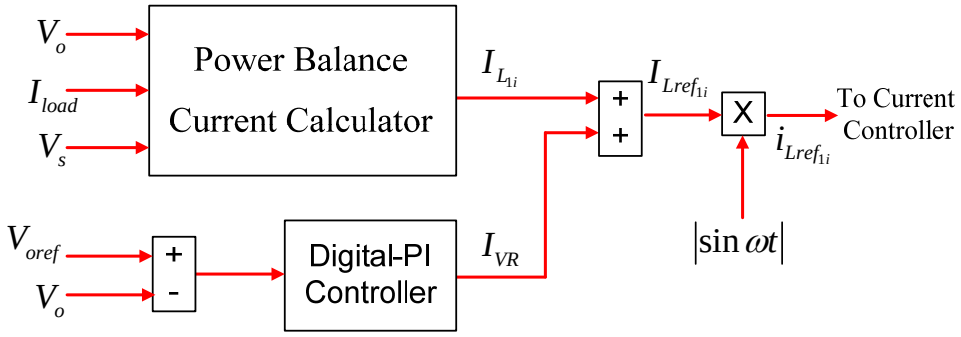
สมการกระแสขดลวดเหนี่ยวนำอินพุตอ้างอิงในแต่ละโมดูล คือ

$$i_{Lref_{1i}} = \hat{I}_{Lref_{1i}} \left|\sin(\omega t)\right| \tag{3-20}$$

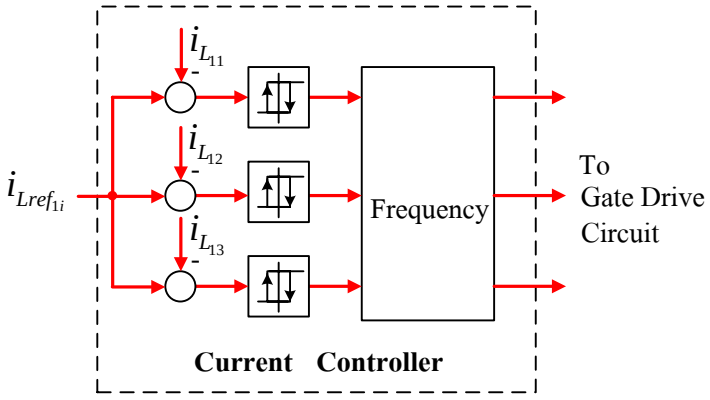
สมการภาคพลวัตภาคเอาต์พุตของระบบ คือ

$$\sum_{i=1}^{N} i_{L_{2i}} = I_o = C_2 \frac{d}{dt} V_o + I_{load} \tag{3-21}$$

จากภาพที่ 3-5 แสดงบล็อกไดอะแกรมการคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิง โดยมีส่วนประกอบที่สำคัญ 2 ส่วนคือส่วนคำนวณขนาดสูงสุดของกระแสขดลวดเหนี่ยวนำด้วยเทคนิคสมดุลกำลังไฟฟ้า และส่วนรักษาระดับแรงดันด้านออก ซึ่งผลรวมที่ได้จะเป็นสัญญาณ $I_{Lref_{1i}} |\sin \omega t|$ ที่ส่งต่อไปยังส่วนควบคุมกระแสแบบฮีสเตอริซีสต่อไปดังแสดงในภาพที่ 3-6



ภาพที่ 3-5 บล็อกไดอะแกรมคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิง



ภาพที่ 3-6 ส่วนควบคุมกระแสแบบฮีสเตอริซีส

จากสมการที่ 3-17 ถึงสมการที่ 3-21 สามารถหา Average Small Signal Model [7] ของระบบ โดยการแทนค่าเฉลี่ยและสัญญาณขนาดเล็ก ซึ่งจะได้สมการโอนย้ายของระบบทั้งหมดดังนี้

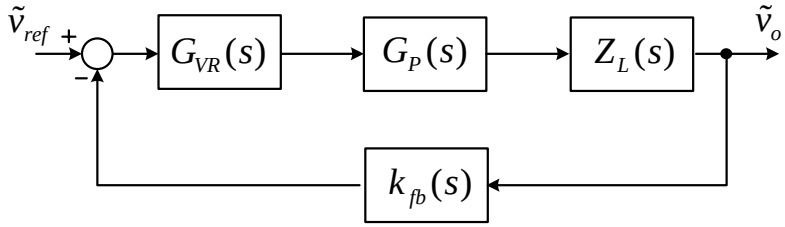
$$\tilde{v}_o = \frac{NG_{VR}\bar{V}_g k_{rms}}{\bar{V}_o C_1 s + NG_{VR}\bar{V}_g k_{rms} k_{fb}} \tilde{v}_{ref} \tag{3-22}$$

เมื่อ k_{rms} คือ ค่าคงที่ rms

k_{fb} คือ ค่าคงที่ป้อนกลับของระบบ

G_{VR} คือ สมการโอนย้ายของตัวควบคุมแบบพีไอ

3.3 การออกแบบภาคควบคุม [19]

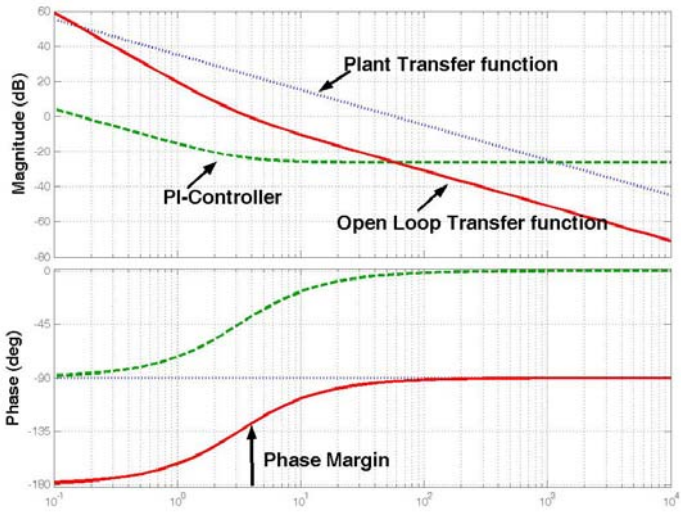


ภาพที่ 3-7 บล็อกไดอะแกรมของลูปควบคุมแรงดัน

บล็อกไดอะแกรมของลูปแรงดัน แสดงในภาพที่ 3-7 เพื่อรักษาระดับแรงดันเอาต์พุต เมื่อภาระมีการเปลี่ยนแปลง ใช้การวิเคราะห์ด้วยโบดไดอะแกรมของระบบ โดยเลือกความถี่ตัด 1/6 เท่าของความถี่ด้านแหล่งจ่ายอินพุต และพิจารณา Phase Margin ที่เกิดขึ้นระหว่างความถี่ตัดกับมุม -180° ของระบบ ดังแสดงในภาพที่ 3-8 เพื่อวิเคราะห์หาเสถียรภาพในการควบคุมลูปแรงดัน สมการโอนย้ายวงเปิดของระบบทั้งหมดคือ

$$OLTF(s) = (G_{VR})\left(\frac{N\bar{V}_g k_{rms} k_{fb}}{(\bar{V}_g C_2)s}\right) \tag{3-23}$$

ภาพที่ 3-8 เป็นขนาดและมุมเฟสของระบบที่นำเสนอ สำหรับออกแบบควบคุมลูปแรงดัน โดยเลือกความถี่ตัดที่ 8 Hz ซึ่งได้ Phase -Margin ที่ความถี่ตัดเท่ากับ 56°



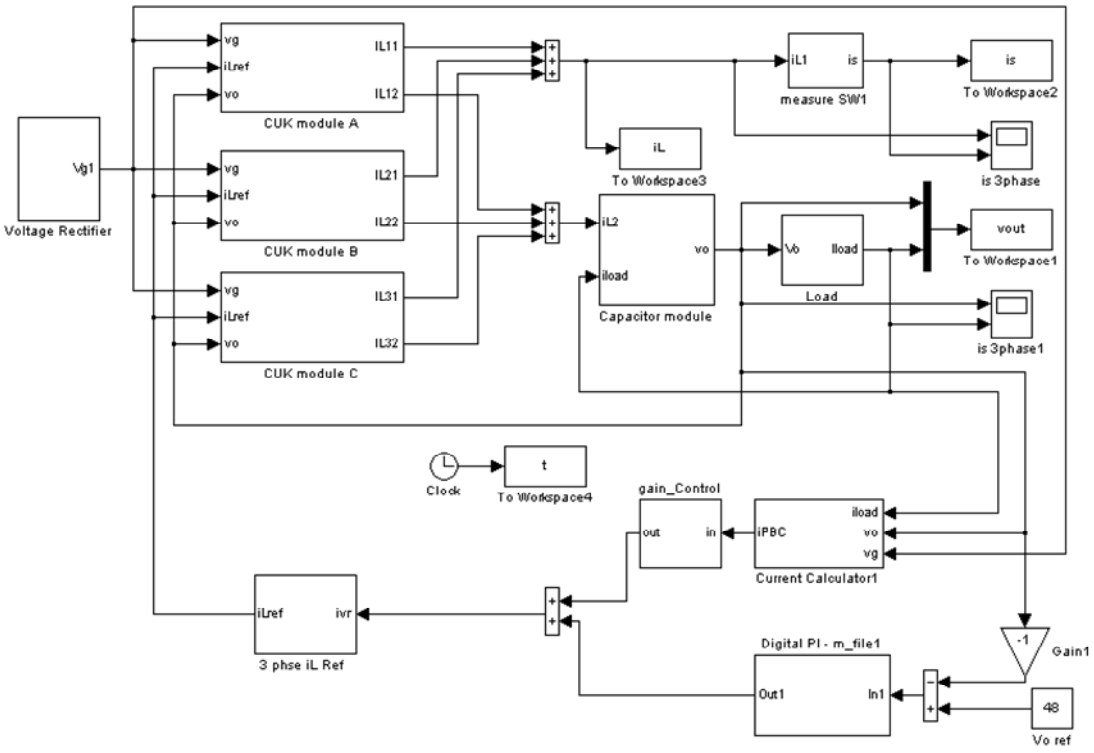
ภาพที่ 3-8 โบดไดอะแกรมของระบบที่นำเสนอ

3.4 การจำลองการทำงาน

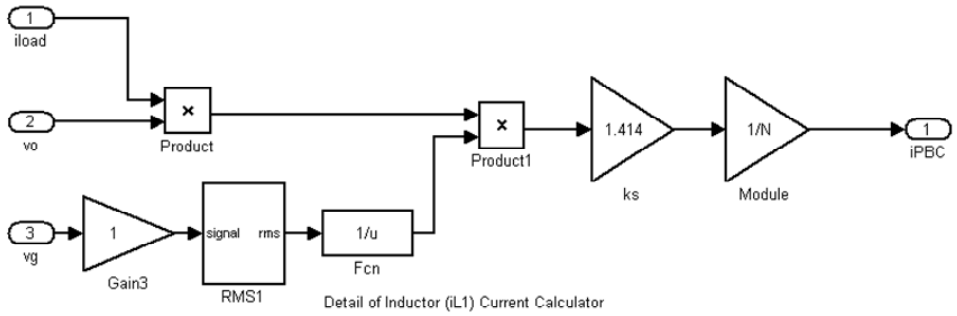
ระบบที่นำเสนอสามารถจำลองการทำงานด้วยโปรแกรม MATLAB/Simulink เพื่อศึกษาพฤติกรรมของระบบควบคุมที่มีผลต่อการเปลี่ยนแปลง โดยใช้ค่าพารามิเตอร์ดังนี้

Supply Voltage:	220 V 50 Hz
C_{21}, C_{22}, C_{23}:	1 μF
C_2:	27,200 μF
L_{11}, L_{12}, L_{13}:	3 mH
L_{21}, L_{22}, L_{23}:	1 mH
Output Voltage:	- 48 V
Output Power:	1500 W

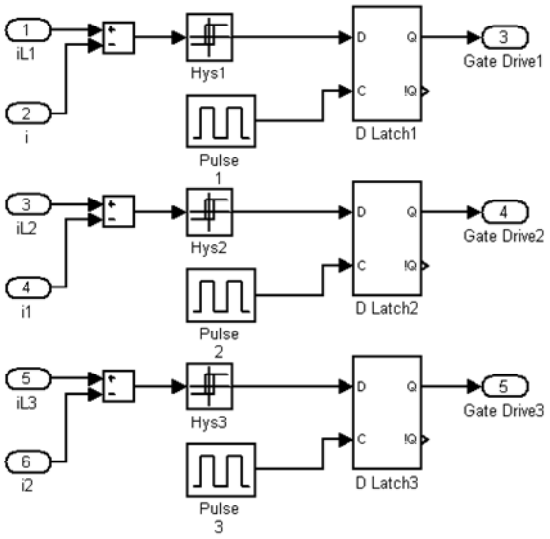
ในภาพที่ 3-9 ถึง ภาพที่ 3-11 แสดงถึงแบบจำลองของระบบที่นำเสนอ ซึ่งจำลองการทำงานด้วยโปรแกรม Matlab/Simulink ประกอบไปด้วยส่วนที่เป็นโมดูลเรียงกระแสแบบชุกต่อขนานกัน 3 โมดูล ส่วนของการคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิง และส่วนควบคุมกระแส



ภาพที่ 3-9 แบบจำลองของการขนานโมดูลเรียงกระแสแบบชุกจาก Matlab/Simulink

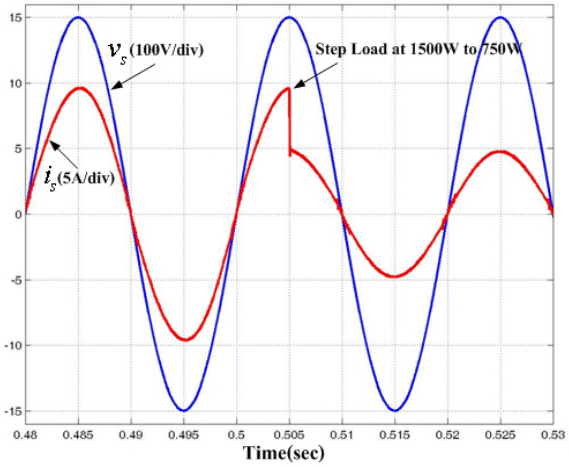


ภาพที่ 3-10 แบบจำลองการคำนวณขนาดสูงสุดของกระแสขดลวดเหนี่ยวนำอ้างอิง

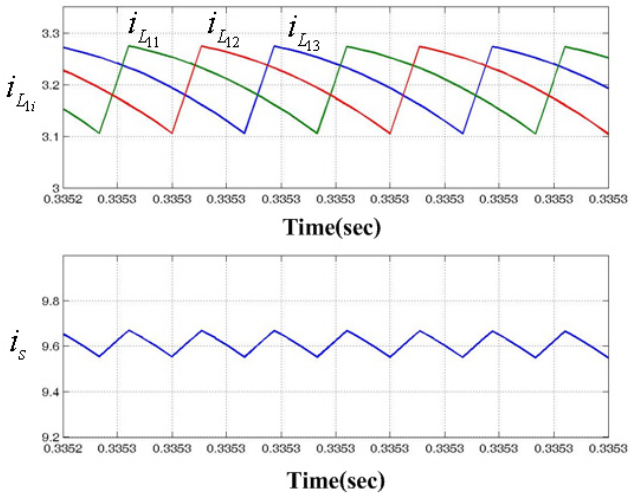


ภาพที่ 3-11 แบบจำลองของการควบคุมกระแส

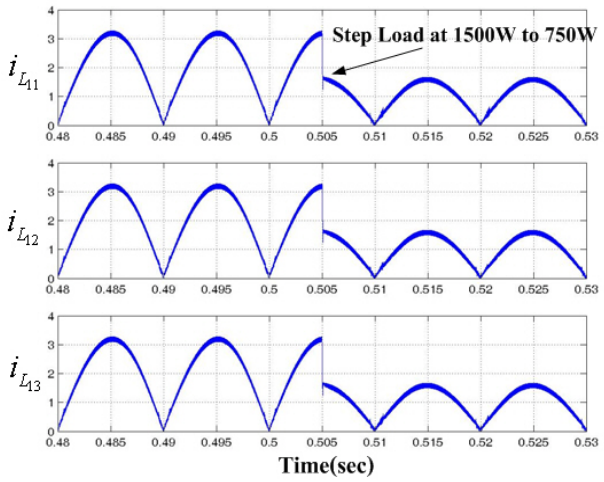
ในภาพที่ 3-12 เป็นผลของการจำลองการทำงาน แสดงรูปคลื่นของกระแสและแรงดันอินพุต เมื่อต่อขนาน 3 โมดูล จำลองการทำงานที่ภาระ 1500 W จะเห็นว่าระบบสามารถปรับปรุงกระแสอินพุตได้ใกล้เคียงรูปไซน์ และมีค่าตัวประกอบกำลังใกล้เคียงหนึ่ง ส่วนภาพที่ 3-13 เป็นรูปคลื่นของกระแสขดลวดเหนี่ยวนำ โดยใช้เทคนิคการเหลื่อมกระแสด้านเข้า จะได้กระแสขดลวดเหนี่ยวนำในแต่ละโมดูลเหลื่อมกัน ทำให้ผลรวมของกระแสมีการกระเพื่อมลดลง



ภาพที่ 3-12 รูปคลื่นแรงดันและกระแสอินพุต

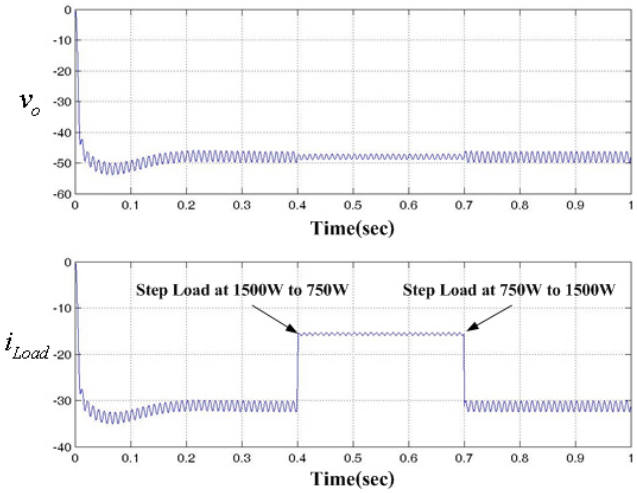


ภาพที่ 3-13 กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล และกระแสอินพุต



ภาพที่ 3-14 กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล ขณะเปลี่ยนแปลงภาระระหว่าง 1500 - 750W

ภาพที่ 3-14 แสดงรูปคลื่นของกระแสในแต่ละโมดูล ขณะที่เปลี่ยนแปลงภาระจาก 1500 W เป็น 750 W และในภาพที่ 3-15 แสดงรูปคลื่นของแรงดันเอาต์พุตและกระแสที่ภาระของระบบขณะเปลี่ยนแปลงภาระระหว่าง 1500 W เป็น 750 W และเปลี่ยนแปลงกลับจาก 750 W เป็น1500 W อีกครั้ง ซึ่งจะเห็นได้ว่าตัวควบคุมสามารถรักษาระดับแรงดันเอาต์พุตได้ดี และมีความเร็วในการตอบสนองที่ดี



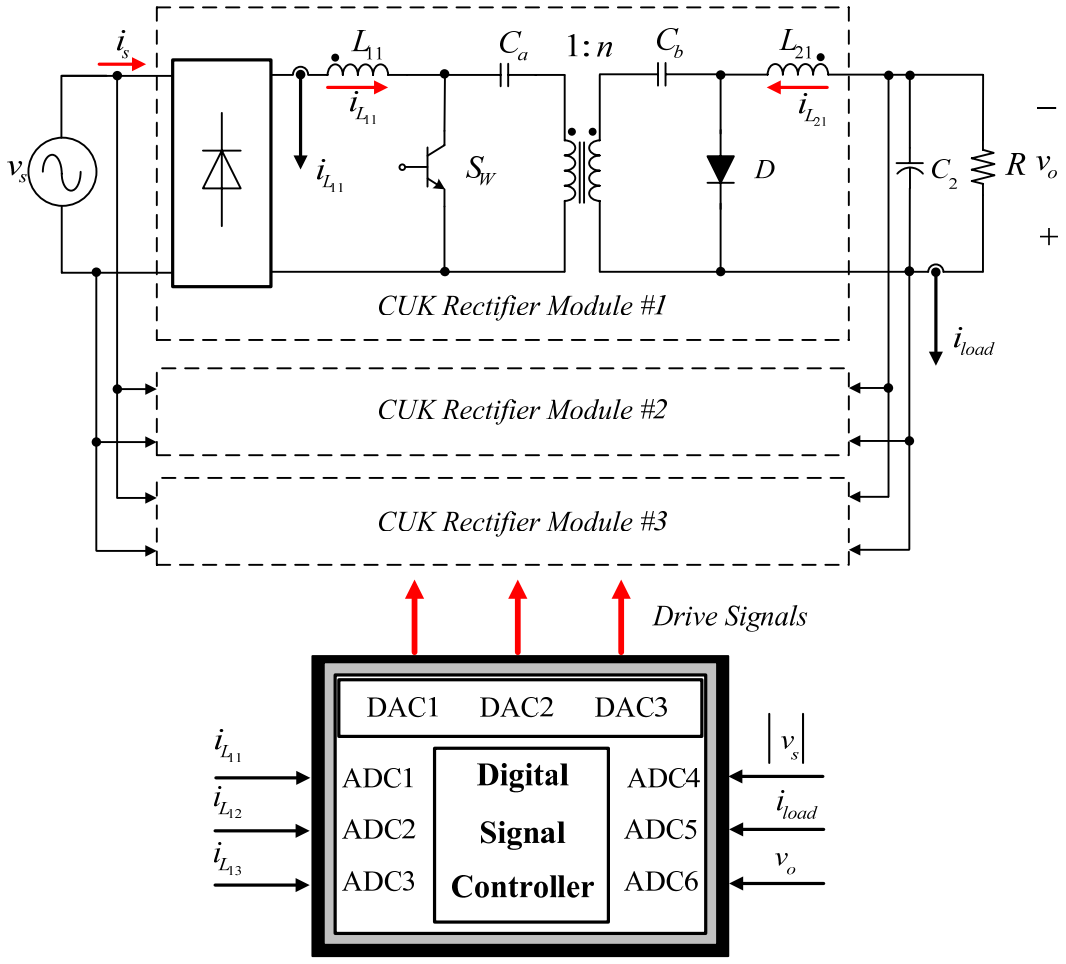
ภาพที่ 3-15 รูปคลื่นแรงดันและกระแสเอาต์พุตขณะเปลี่ยนแปลงภาระระหว่าง 1500-750 W

3.5 สรุป

จากผลการจำลองการทำงานด้วย Matlab/Simulink ของวงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟส ชนิดชุกด้วยวิธีขนานและใช้เทคนิคการเหลื่อมของกระแสด้านเข้า ที่ภาระเอาต์พุต 1500 W สำหรับ 3 โมดูล สามารถปรับปรุงกระแสด้านเข้าให้ใกล้เคียงรูปคลื่นไซน์ มีค่าตัวประกอบกำลังใกล้เคียงหนึ่ง และรักษาระดับแรงดันด้านเอาต์พุตของระบบได้ดี

บทที่ 4
การออกแบบและสร้างระบบต้นแบบ

ระบบฮาร์ดแวร์ของการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุกสามารถแสดงได้ดังภาพที่ 4-1

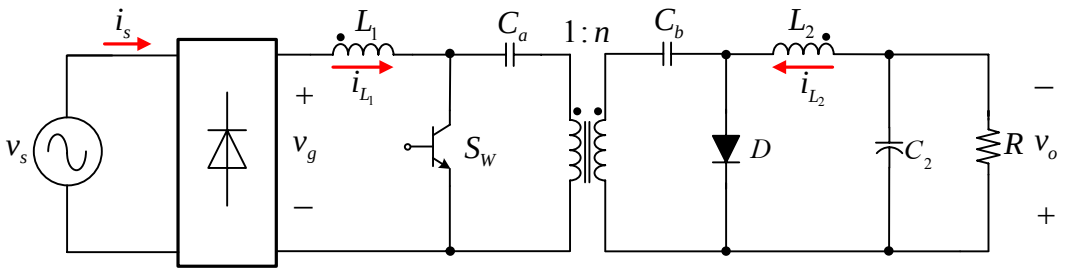


ภาพที่ 4-1 ระบบฮาร์ดแวร์ของการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุก

4.1 การออกแบบฮาร์ดแวร์

4.1.1 วงจรภาคกำลัง

ในส่วนของวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุกในแต่ละโมดูลแสดงดังภาพที่ 4-2 โดยมีพิกัดกำลังไฟฟ้าสูงสุด 250 W เพื่อนำโมดูลเดี่ยวที่ได้มาประกอบขึ้นเป็นโครงสร้างการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุก โดยระบบดังกล่าวสามารถจ่ายภาระที่พิกัด -48 V กำลังไฟฟ้ารวม 750 W



ภาพที่ 4-2 วงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุกในแต่ละโมดูล

ตารางที่ 4-1 แสดงค่าพารามิเตอร์ของวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุกที่ออกแบบสำหรับแรงดันเอาต์พุต -48 V กำลังไฟฟ้ารวม 750 W

ตารางที่ 4-1 รายละเอียดของการทดสอบระบบขนานวงจรเรียงกระแสชนิดชุก

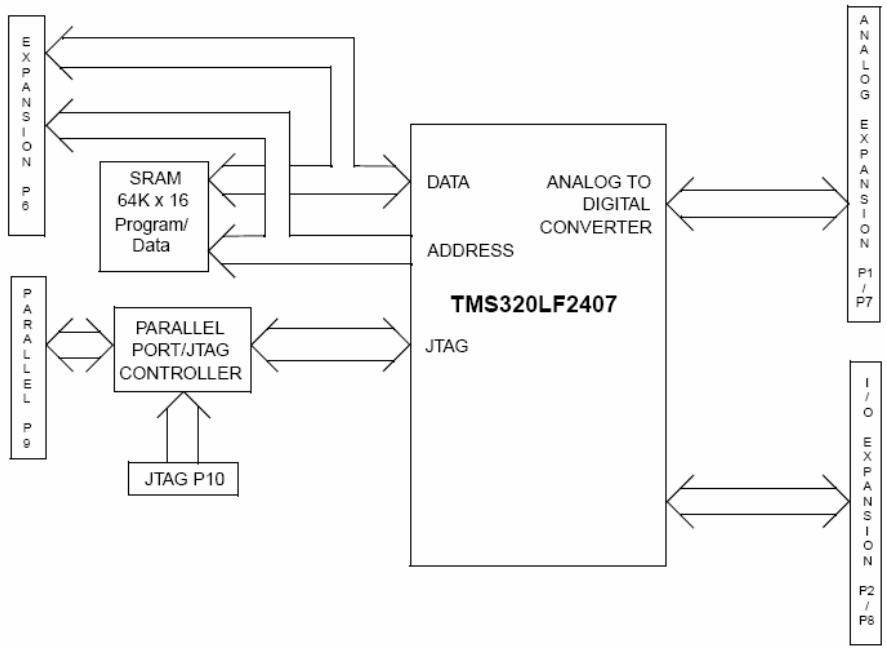
คุณสมบัติ	**โมดูลเรียงกระแสแบบชุก**
แรงดันไลน์อินพุต	220 V
ความถี่ไลน์	50 Hz
พิกัดกำลังไฟฟ้าแต่ละโมดูล	250 W/Module
พิกัดกำลังไฟฟ้ารวมด้านเอาต์พุตปกติ	750 W
แรงดันไฟฟ้าเอาต์พุต	-48 V
L_{11}, L_{12}, L_{13}	5.113 mH , 5.038 mH , 5.076 mH
r_{11}, r_{12}, r_{13}	1.1040 Ω , 0.8160 Ω , 0.7769 Ω
L_{21}, L_{22}, L_{23}	1.074 mH , 1.102 mH , 1.059 mH
r_{21}, r_{22}, r_{23}	0.3190 Ω , 0.3388 Ω , 0.3260 Ω

ตารางที่ 4-1 (ต่อ)

คุณสมบัติ	โมดูลเรียงกระแสแบบชุก
$C_{a1}, C_{a2}, C_{a3}, C_{b1}, C_{b2}, C_{b3}$	$1\mu F$
C_2	$13,600\mu F$
ค่าพารามิเตอร์พีและไอ	$k_p = 0.3, \omega_z = 33$

4.1.2 ชุดประมวลสัญญาณทางดิจิตอล[19]

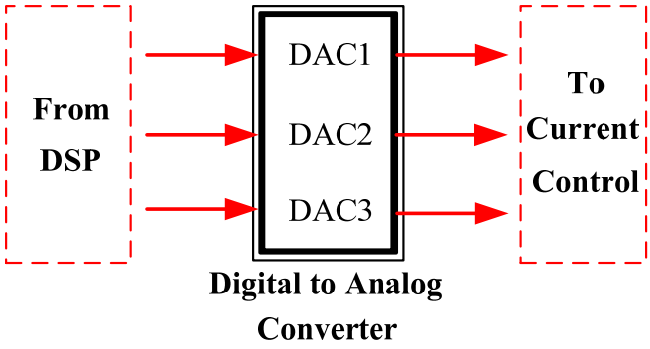
งานวิจัยนี้ใช้บอร์ดประมวลสัญญาณดิจิตอล (eZdsp™ LF2407) ของบริษัทสเปกตรัมดิจิตอล (Spectrum Digital) โดยมีประมวลผลสัญญาณดิจิตอลเบอร์ TMS320LF2407 ของบริษัทเท็กซัสอินสตรูเมนต์ (Texas Instruments) เป็นตัวประมวลผล และสามารถแสดงเป็นบล็อกไดอะแกรมดังภาพที่ 4-3



ภาพที่ 4-3 บล็อกไดอะแกรมของชุด eZdsp™ LF2407

4.1.3 วงจรแปลงสัญญาณดิจิตอลเป็นแอนนะลอก (DAC)

วงจรแปลงสัญญาณดิจิตอลเป็นแอนนะลอกเป็นส่วนที่ใช้ดูการเปลี่ยนแปลงของตัวแปรประมวลผลโดยดีเอสพี และมีหน้าที่เปลี่ยนค่าดิจิตอลที่คำนวณเป็นสัญญาณแอนนะลอกเพื่อนำออกไปควบคุมกระแสของระบบแสดงดังภาพที่ 4-4 สัญญาณจะรับข้อมูลเป็นสัญญาณดิจิตอลมาจากดีเอสพี ทาง Data & Address Port ผ่านชุดบัฟเฟอร์สัญญาณ เข้าไปยังชุดแปลงดิจิตอลเป็นแอนนะลอก โดยวงจรแปลงสัญญาณดิจิตอลเป็นแอนนะลอกนั้นแสดงอยู่ในภาคผนวก ประกอบด้วยส่วนต่างๆ ดังนี้



ภาพที่ 4-4 การเชื่อมต่อของส่วนวงจรแปลงสัญญาณดิจิตอลเป็นแอนนะลอก

4.1.3.1 ชุด Buffer DATA โดยชุดบัฟเฟอร์สัญญาณเลือกใช้ IC เบอร์ SN74LS244N ซึ่งเป็นบัฟเฟอร์สัญญาณทิศทางเดียวเพื่อป้องกันสัญญาณย้อนกลับเข้าดีเอสพีทั้งหมด 2 ตัว โดยตัวแรกจะเป็นตัวบัฟเฟอร์สัญญาณของ Address Bus ตั้งแต่ A0-A3 และสัญญาณควบคุม $\overline{WE}$ ส่วนตัวที่สองจะเป็นตัวบัฟเฟอร์สัญญาณของ DATA Bus ตั้งแต่ D0-D7

4.1.3.2 ชุด Convert Digital to Analog สัญญาณดิจิตอลจะถูกแปลงเป็นสัญญาณแอนนะลอก โดยเลือกใช้ IC เบอร์ MX 7228 ซึ่งมีความละเอียด 8 บิต เอาต์พุต 8 ช่องสัญญาณทั้งหมด 2 ตัว ทำให้ได้เอาต์พุต 16 ช่องสัญญาณ และใช้ IC Voltage Reference เบอร์ MAX 674 เป็นตัวสร้างแรงดันอ้างอิงให้กับ MX 7228 ซึ่งมีแรงดันเท่ากับ 10 โวลต์ และในการเลือกแสดงผลแต่ละช่องสัญญาณจะถูกถอดรหัสโดย IC เบอร์ SN74HCT04N และ IC เบอร์ SN74ALS32N โดยมีหมายเลขแอดเดรสดังตารางที่ 4-2

4.1.3.3 ชุด Offset Signal เนื่องจากเอาต์พุตแต่ละช่องสัญญาณของ MX7228 จะมีการยกระดับขึ้นไป 5 โวลต์ทำให้เอาต์พุตที่ได้อยู่ในช่วงบวกเท่านั้น เพื่อให้เอาต์พุต ออกมาอยู่ทั้งช่วงบวกและลบ จึงมีวงจรปรับระดับแรงดันซึ่งใช้ออปแอมป์เบอร์ TL084N ซึ่งมี ออปแอมป์อยู่ภายใน

4 ตัว ดังนั้นจึงเลือกใช้ทั้งหมด 4 ตัว เพื่อใช้กับเอาต์พุตทั้ง 16 ช่อง ซึ่งจะ แปรผันตามอินพุตที่รับเข้ามาดังตารางที่ 4-2

ตารางที่ 4-2 ความสัมพันธ์ระหว่างอินพุตและเอาท์พุตของ DAC

Input Data	Output Data
FF h	10 V
80 h	0 V
0 h	-10 V

ในการเลือกแสดงผลแต่ละช่องสัญญาณจะถูกถอดรหัสโดยใช้ไอซีเบอร์74ACT32 และ 74ACT04 โดยมีหมายเลขแอดเดรสดังตารางที่ 4-3

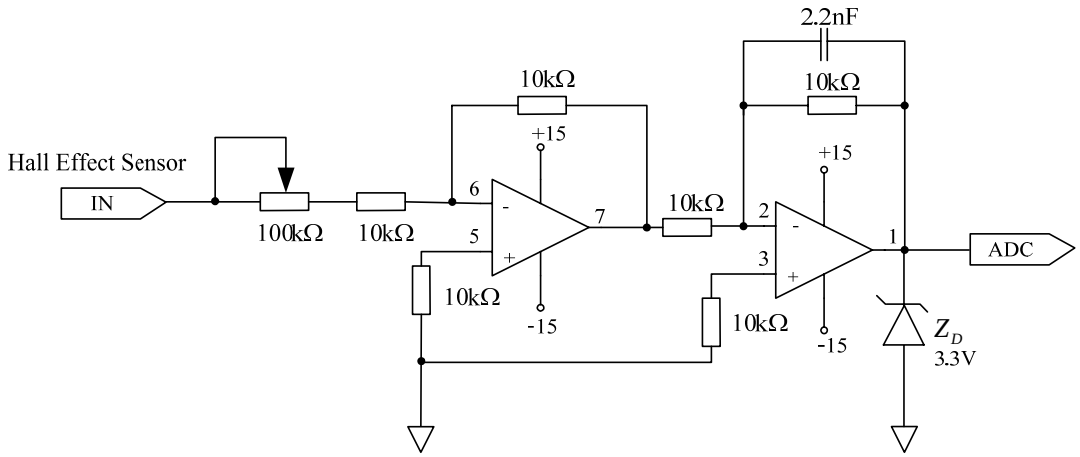
ตารางที่ 4-3 หมายเลขแอดเดรสและเอาท์พุตของ DAC

Address Port	D/A Output
00 h	OUT 1
01 h	OUT 2
02 h	OUT 3
03 h	OUT 4
04 h	OUT 5
05 h	OUT 6
06 h	OUT 7
07 h	OUT 8
08 h	OUT 9
09 h	OUT 10
0A h	OUT 11
0B h	OUT 12
0C h	OUT 13
0D h	OUT 14
0E h	OUT 15
0F h	OUT 16

4.1.4 วงจรแปลงสัญญาณแอนนะลอกเป็นดิจิตอล

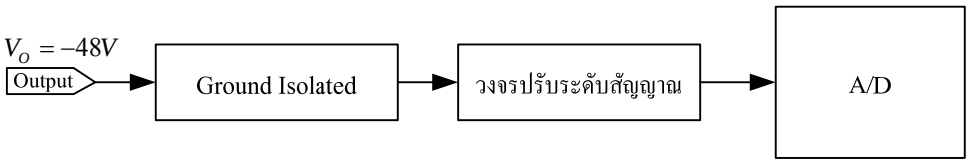
สัญญาณที่จะนำไปประมวลผลด้วยดีเอสพี ประกอบไปด้วยสัญญาณที่เป็นกระแสและแรงดัน ดังนั้นก่อนที่จะนำสัญญาณเข้าไปในดีเอสพีเพื่อแปลงเป็นสัญญาณแอนนะลอกดังกล่าวเป็นสัญญาณดิจิตอล จะต้องผ่านการปรับระดับของสัญญาณ เพื่อไม่ให้เกินระดับที่อินพุตของดีเอสพีรับได้ ซึ่งประกอบด้วยประกอบด้วยชุดตรวจจับสัญญาณดังนี้

4.1.4.1 ชุดตรวจจับสัญญาณกระแส เนื่องจากอินพุตที่รับมาจาก Hall Effect Sensor เป็นแรงดัน 0 - 4 V แต่ A/D จะรับแรงดันได้ไม่เกิน 0-3.3 V จึงต้องทำการปรับระดับสัญญาณเพื่อให้เหมาะสมกับดีเอสพี โดยมีซีเนอร์ไดโอด 3.3 V ต่อไว้ทางด้านเอาต์พุตเพื่อป้องกันแรงดันเกิน ซึ่งใช้ด้วยกันทั้งหมด 6 ช่องสัญญาณ ดังแสดงในภาพที่ 4-5

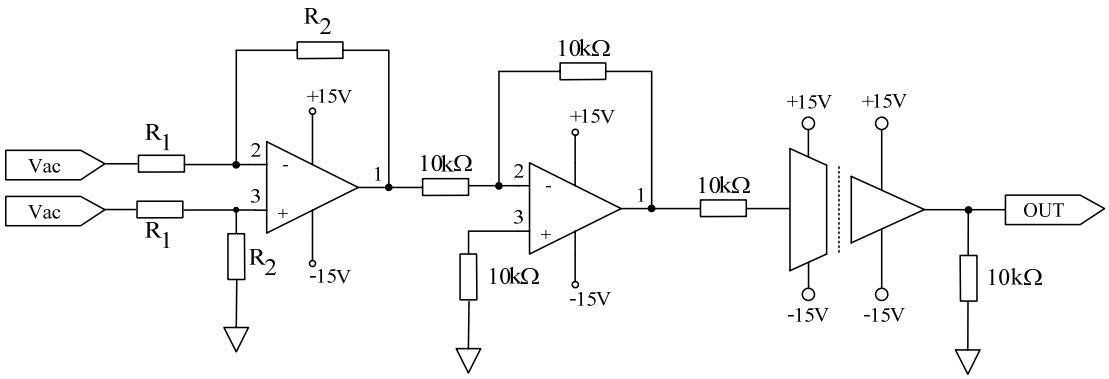


ภาพที่ 4-5 วงจรรับสัญญาณจาก Hall Effect Sensor

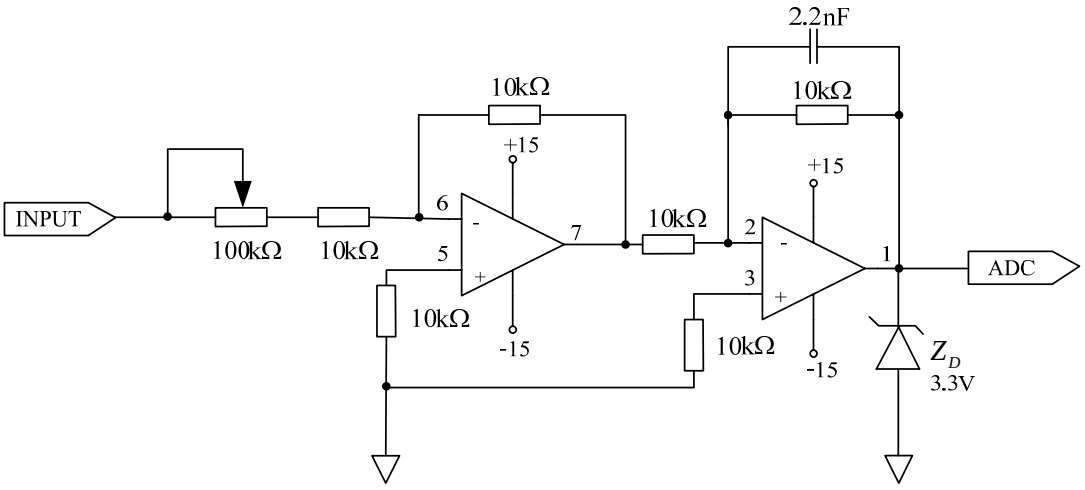
4.1.4.2 ชุดตรวจจับแรงดันด้านออก แรงดันด้านออกมีค่า -48 V แต่ A/D สามารถรับค่าแรงดันได้แค่ 0 - 3.3 โวลต์ ดังนั้นจึงต้องมีวงจรปรับลดระดับสัญญาณ และต้องทำการแยกกราวด์ของสัญญาณ ด้วย ไอซี ISO124 ก่อนเข้าบอร์ดดีเอสพี 1 ช่องสัญญาณ ดังแสดงในภาพที่ 4-6



ภาพที่ 4-6 บล็อกไดอะแกรมชุดตรวจจับแรงดันด้านออก

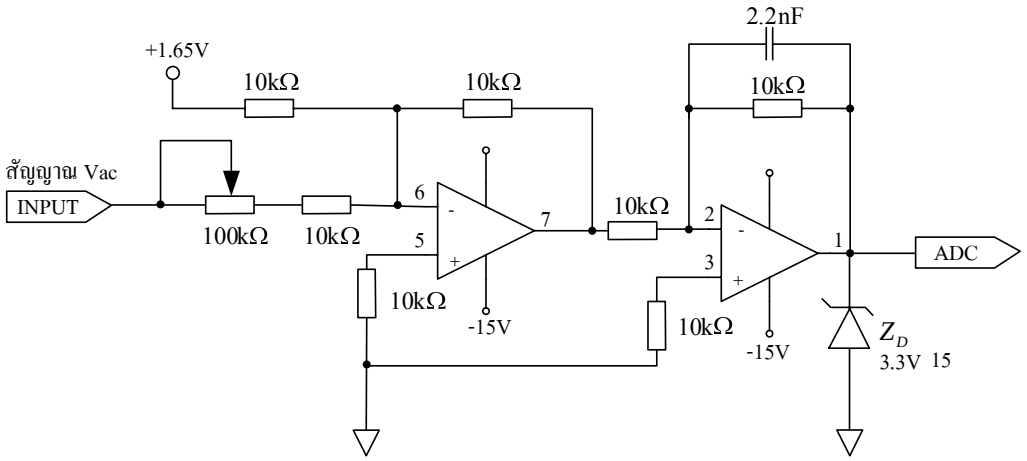


ภาพที่ 4-7 ชุดวงจร Ground Isolated



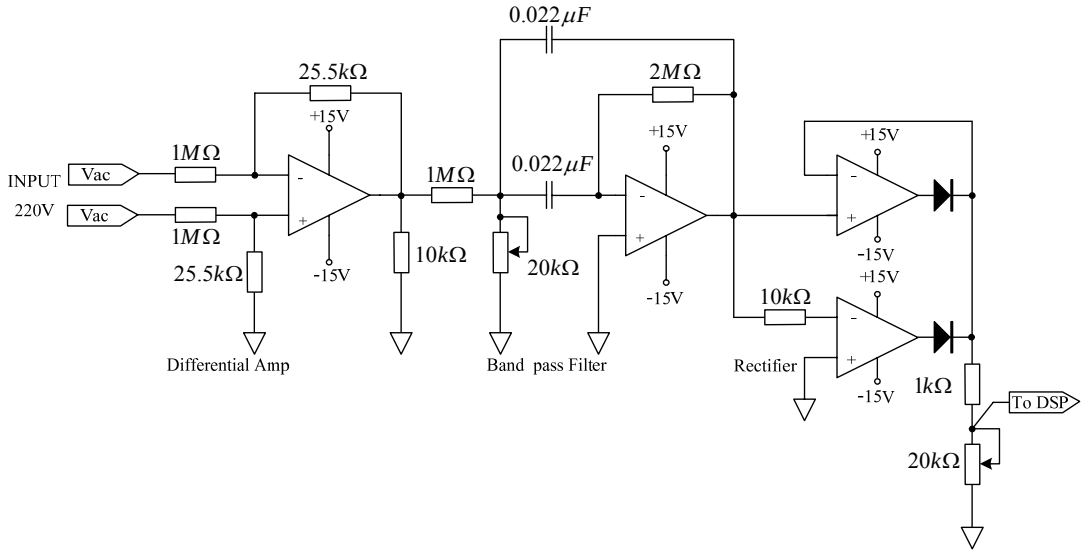
ภาพที่ 4-8 ชุดวงจรปรับระดับสัญญาณ

4.1.4.3 ชุดตรวจจับแรงดันด้านเข้า จากภาพที่ 4-7 และภาพที่ 4-8 สัญญาณแรงดันที่รับมาจากแรงดันอินพุต ซึ่งเป็นแรงดันซีกบวกและซีกลบและเป็นกราวด์เดียวกับวงจรภาคกำลังจึงทำการแยกกราวด์โดยใช้ ไอซีเบอร์ ISO124P แล้วจึงทำการแปลงสัญญาณให้มีแต่ค่าบวกเป็นสัญญาณกระแสอ้างอิงโดยใช้ออปแอมป์ เบอร์ OPA2227 ซึ่งเป็น Dual Low - Noise Operational Amplifiers และ แรงดัน 1.65 V จาก ไอซี TPS75533 แต่สัญญาณจะถูกกลับเฟสดังนั้นจึงกลับเฟสสัญญาณอีกครั้งด้วย ออปแอมป์เบอร์ OPA2227 ซึ่งขนาดของอัตราขยายเป็นหนึ่ง และใช้ไอซี TPS75533 สร้างแรงดันอ้างอิงให้กับส่วนที่จะแปลงสัญญาณแอนนะลอกเป็นสัญญาณดิจิตอล (A/D) ของดีเอสพี ดังแสดงในภาพที่ 4-9



ภาพที่ 4-9 วงจรปรับระดับสัญญาณ และยกระดับสัญญาณ

4.1.4.4 วงจรสร้างสัญญาณกระแสอ้างอิงด้านเข้า i_{1ref} [11], [13] ประกอบด้วยวงจรดิฟเฟอเรนเชียลแอมปลิไฟเออร์ (Differential Amplifier) วงจรกรองสัญญาณแบบแบนด์พาส (Band Pass Filter) และวงจรเรียงกระแสแบบเต็มคลื่นโดยใช้ออปแอมป์ (Op - amp) ดังภาพที่ 4-10



ภาพที่ 4-10 วงจรสร้างสัญญาณกระแสอ้างอิงด้านเข้า

จากภาพที่ 4-10 สมการของวงจรดิฟเฟอเรนแอมปลิไฟเออร์มีดังนี้

$$V_o = \frac{R_2}{R_1}\left(V_2 - V_1\right) \tag{4-1}$$

จะได้

$$V_o = \frac{25.5k\Omega}{1M\Omega}\left(220 - 0\right) = 5.61\text{V} \tag{4-2}$$

เนื่องจากสัญญาณที่ได้อาจมีสัญญาณรบกวนความถี่สูงหรือต่ำปนเข้ามาจึงต้องมีการกรองสัญญาณโดยใช้วงจรกรองย่านความถี่ ออกแบบให้ความถี่ 50 Hz ผ่านซึ่งมีสมการดังนี้

$$f_O = \frac{1}{2\pi}\sqrt{\frac{R_1 + R_2}{R_1 R_2 R_3 C^2}} \tag{4-3}$$

$$\triangle f_o = \frac{2}{2\pi R_3 C} \tag{4-4}$$

$$A_O = -\frac{R_3}{2R_1} \tag{4-5}$$

เมื่อ f_o คือความถี่ด้านออก , $\triangle f_o$ คือแถบความถี่ด้านออก, A_o คือ อัตราการขยาย และจากภาพที่ 4-10 ตำแหน่งของอุปกรณ์ในสมการคือ $R_1 = 1M\Omega$, $R_2 = 20k\Omega$ ซึ่งเป็นทริมพอตที่ปรับค่าได้ $R_3 = 2M\Omega$ และ $C = 22nF$ ดังนั้นจากสมการที่ 4-4 จะได้อัตราการขยายเท่ากับ –1 แถบความถี่ด้านออกเท่ากับ 7.23 Hz และเมื่อต้องการออกแบบกรองให้ความถี่ 50 Hz จะต้องปรับค่า R_2 ดังนี้

$$R_2 = \frac{R_1}{4\pi^2 R_1 R_3 f_O^2 C^2 - 1} \tag{4-6}$$

$$R_2 = 10577.78\Omega \tag{4-7}$$

จากนั้นนำสัญญาณที่ได้ไปผ่านวงจรเรียงกระแสแบบเต็มคลื่นเพื่อให้ได้สัญญาณที่เป็นค่าสัมบูรณ์ของสัญญาณไซน์ และผ่านวงจรแบ่งแรงดันเพื่อสามารถปรับสัญญาณให้มีค่ายอดคลื่นเท่ากับ 1 เพื่อส่งไปเข้าไปประมวลสัญญาณแบบดิจิตอลในดีเอสพีต่อไป

4.1.4.5 วงจรเปรียบเทียบสัญญาณ เป็นส่วนที่เปรียบเทียบสัญญาณสร้างสัญญาณกระแสขดลวดเหนี่ยวนำจริง กับสัญญาณกระแสขดลวดเหนี่ยวนำอ้างอิงที่คำนวณได้จากดีเอสพี ประกอบด้วยวงจรรวมสัญญาณ ทำหน้าที่รวมสัญญาณแบบลบระหว่างสัญญาณกระแสขดลวดเหนี่ยวนำอ้างอิงกับสัญญาณกระแสขดลวดเหนี่ยวนำจริงที่ตรวจจับมาจาก Hall Sensor จากนั้นสัญญาณที่ได้จะมาเข้าวงจรเปรียบเทียบแบบฮิสเตอริซีส ดังแสดงในภาพที่ 4-11 ซึ่งใช้ไอซีเบอร์ LM311 เป็นไอซีเปรียบเทียบแรงดัน (Voltage Comparator) มีสมการดังนี้

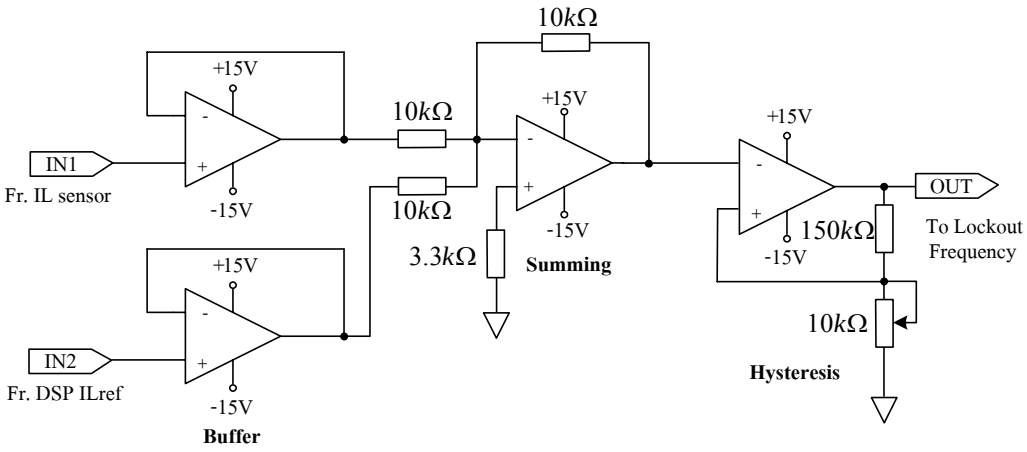
$$\pm\triangle E = \pm\beta V_{sat} \tag{4-8}$$

$$\beta = \frac{R_2}{R_1 + R_2} \tag{4-9}$$

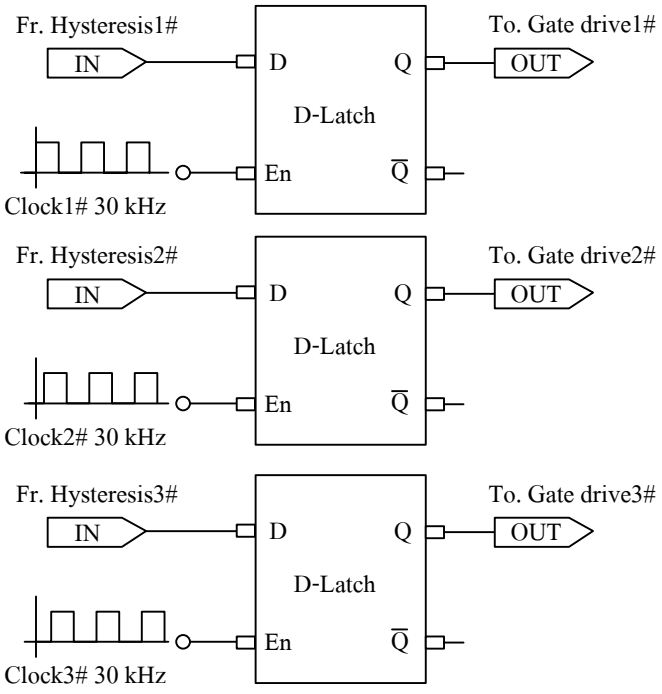
เมื่อ $\pm\triangle E$ คือความกว้างของแถบฮิสเตอริซีส ไอซีใช้ไฟเลี้ยง $\pm 15\text{V}$ ดังนั้น V_{sat} คือ $\pm 15\text{V}$ การทำงานคือเมื่อแรงดันเอาต์พุตเป็น -15V ตามแหล่งจ่ายแรงดันอ้างอิงจะเท่ากับ $-\beta V_{sat}$ เมื่อแรงดันอินพุตมีค่ามากกว่าแรงดันอ้างอิง แต่เมื่อแรงดันอินพุตค่อยๆลดต่ำลงจนน้อยกว่าแรงดันอ้างอิงคือ $-\beta V_{sat}$ แรงดันเอาต์พุตจะเปลี่ยนเป็น $+15\text{V}$ และแรงดันอ้างอิงจะเป็น $+\beta V_{sat}$ ไม่เปลี่ยนแปลงจนกว่าแรงดันอินพุตจะเพิ่มมากขึ้นจนมีค่ามากกว่าแรงดันอ้างอิง $+\beta V_{sat}$ ซึ่งจะทำให้แรงดันเอาต์พุตเปลี่ยนเป็น -15V และแรงดันอ้างอิงเป็น $-\beta V_{sat}$ อีกครั้งหนึ่ง

ดังนั้นจากภาพที่ 4-11 จึงสามารถปรับความกว้างของแถบฮิสเตอริซีส (Hysteresis band) ได้โดยการปรับตัวต้านทานปรับค่า 10kΩ

4.1.4.6 วงจรจำกัดความถี่สวิตช์สูงสุด (Lockout Frequency) [20] เป็นส่วนที่รับสัญญาณมาจากตัวควบคุมกระแสแบบฮิสเตอริซีส ซึ่งจะทำหน้าที่ในการจำกัดความถี่สวิตช์ไม่ให้เกินกว่าความความถี่สูงสุดที่กำหนด โดยวงจรนี้กำหนดความถี่สูงสุดไว้ที่ 30 kHz โดยควบคุมความถี่ดังกล่าวได้จากสัญญาณนาฬิกาจากภายนอก และทำการกำหนดให้สัญญาณนาฬิกาที่ควบคุมวงจรนี้ในแต่ละโมดูลของชุก ให้มีการเหลื่อมกันของสัญญาณ เป็นผลให้การควบคุมการสวิตช์ทำงานเหลื่อมกันในแต่ละโมดูล ซึ่งแสดงดังภาพที่ 4-12



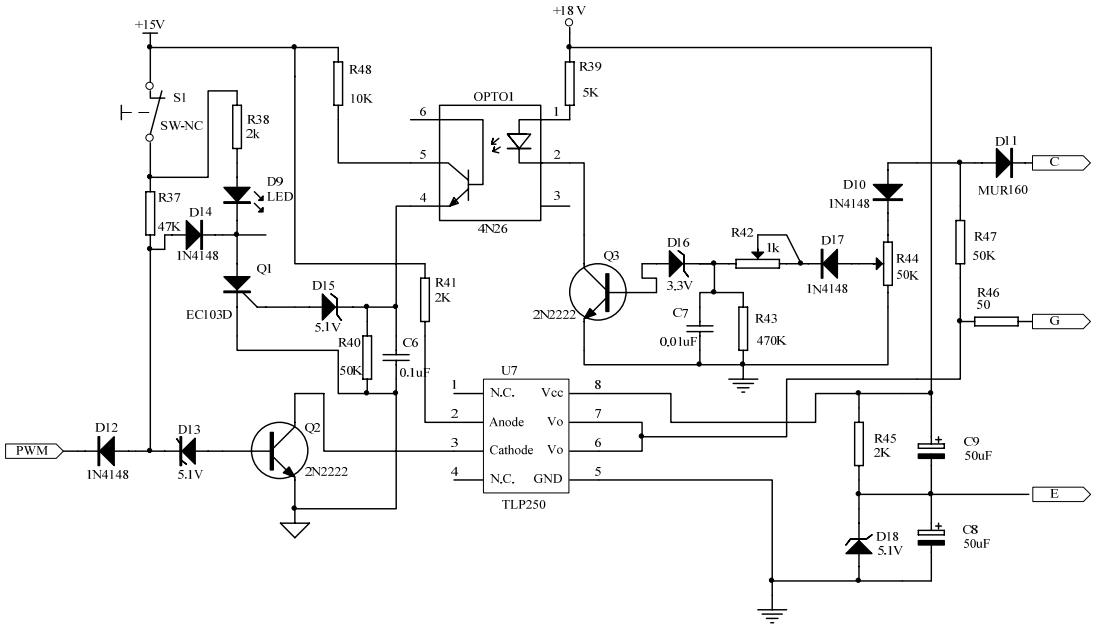
ภาพที่ 4-11 วงจรเปรียบเทียบสัญญาณแบบฮีสเตอริซีส



ภาพที่ 4-12 วงจรจำกัดความถี่สวิตช์สูงสุด (Lockout Frequency)

4.1.4.7 วงจรขับนำสวิตช์ แสดงดังภาพที่ 4-13 เป็นวงจรขับนำสวิตช์ที่มีการแยกโดดระหว่างวงจรควบคุมกับวงจรกำลังโดยใช้ไอซีเบอร์ TLP 250 ซึ่งมีออปโต้ (Opto) อยู่ภายใน นอกจากนี้วงจรชุดนี้ยังมีระบบป้องกันกระแสเกินที่สวิตช์คือเมื่อกระแสไหลผ่าน IGBT มากขึ้นจะ

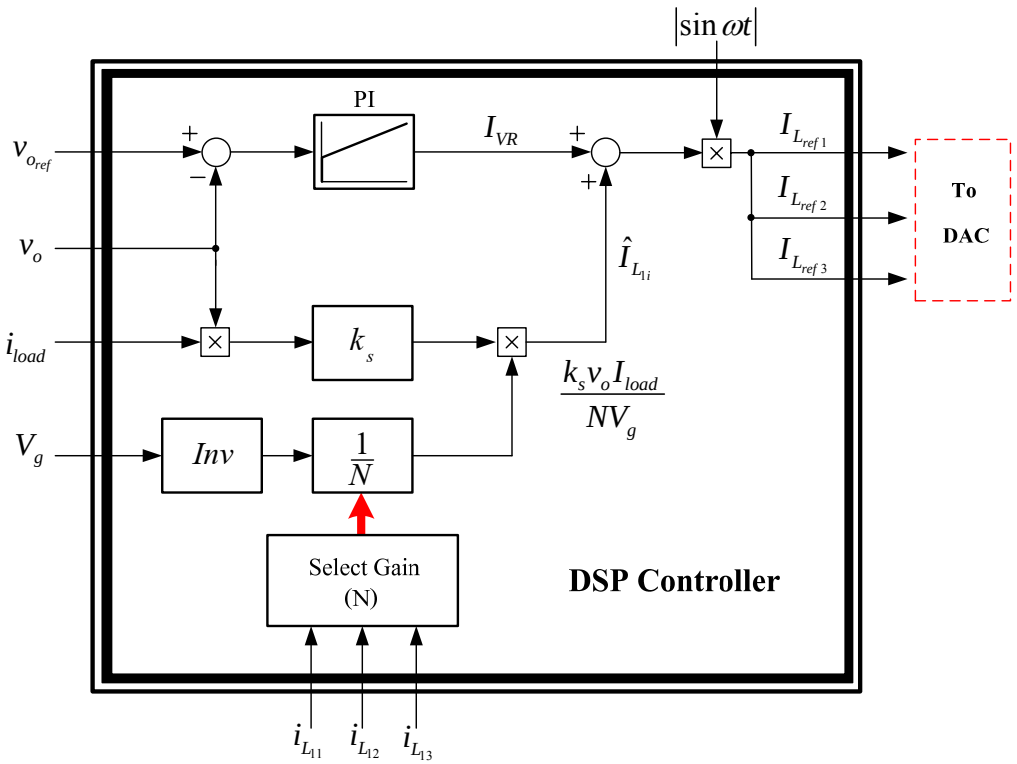
ทำให้มีแรงดัน V_{CE} ตกคร่อม IGBT มากขึ้นตามไปด้วยและเมื่อจุดวัดแรงดัน V_{CE} ที่ตกคร่อม R_7 มากกว่าแรงดันที่ซีเนอร์ไดโอด Z_3 บวกแรงดันทำงานของทรานซิสเตอร์ Tr_2 คือ 0.7V จะทำให้ Tr_2 ทำงานส่งผลให้ SCR นำกระแส ซึ่งแสดงการทำงานโดย LED หลังจาก SCR ทำงานจะทำให้ Tr_1 ไม่ทำงานวงจรก็จะหยุดขับนำสวิตช์



ภาพที่ 4-13 วงจรขับนำสวิตช์ IGBT

4.2 การออกแบบซอฟต์แวร์

ชุดควบคุมนี้มีการคำนวณและประมวลผลของสัญญาณ อยู่ในรูปแบบดิจิตอลทั้งหมดซึ่งมีบล็อกไดอะแกรมของระบบดังภาพที่ 4-14 โดยสัญญาณอินพุตที่รับเข้าในดีเอสพีนั้นจะประกอบด้วย อินพุตที่ใช้ในการคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิงในแต่ละโมดูลและส่วนตัวควบคุมแบบพีไอ คือ แรงดันเอาต์พุต (v_o), แรงดันอินพุต (V_g), กระแสเอาต์พุต (i_{load}), และแรงดันอ้างอิงทางเอาต์พุต $v_{o_{ref}}$ อินพุตที่ใช้ในการการตรวจสอบการทำงานของแต่ละโมดูล คือ กระแสขดลวดเหนี่ยวนำด้านเข้าในแต่ละโมดูล $(i_{L_{11}}, i_{L_{12}}, i_{L_{13}})$ โดยจะตรวจสอบการทำงานโดยเช็คว่าถ้ากระแสในโมดูลใดหายไป แสดงว่าจำนวนค่า N ที่ใช้ในการคำนวณสัญญาณกระแสเหนี่ยวนำอ้างอิงจะเปลี่ยนแปลงไปตามค่านั้น ซึ่งสามารถเช็คได้โดยโปรแกรมภายใน



ภาพที่ 4-14 บล็อกไดอะแกรมการควบคุมของระบบ

4.2.1 ส่วนประกอบของซอฟต์แวร์

ซอฟต์แวร์ของระบบควบคุมทั้งหมดประกอบด้วย 2 ส่วน คือ

4.2.1.1 ส่วนของโหมดการทำงานและกำหนดค่าเริ่มต้นของ ดีเอสพี (Initialization module) ซึ่งส่วนนี้จะทำหน้าที่ตั้งค่ารีจิสเตอร์ของ ดีเอสพี

4.2.1.2 ส่วนของการวนลูปเพื่อรอการอินเตอร์รัพท์และส่วนของโปรแกรมบริการอินเตอร์รัพท์ (ISR : Interrupt Service Routine) โดยมีผังการทำงานดังภาพที่ 4-15

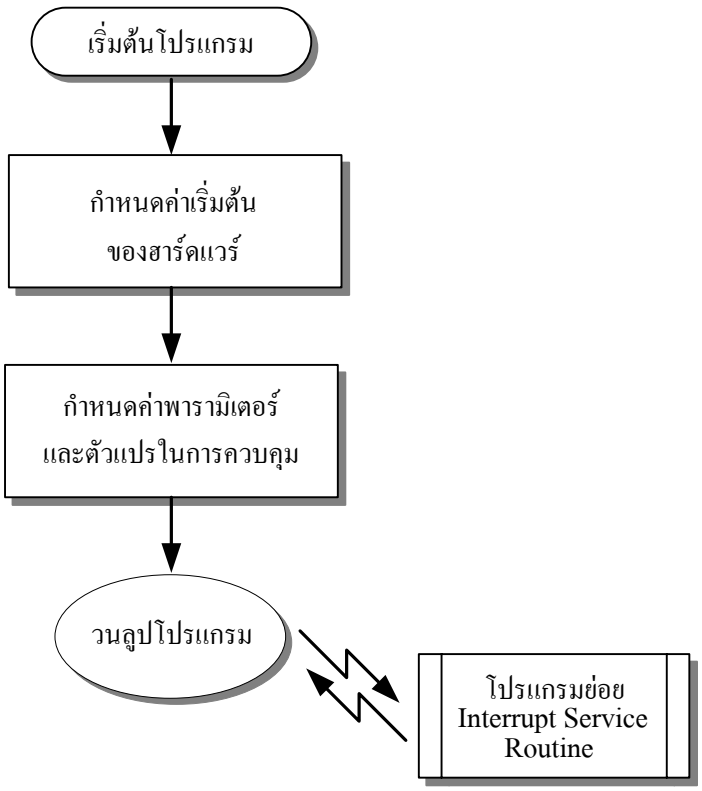
จากภาพที่ 4-15 ส่วนของโปรแกรมย่อย ILref (Inductor Current Reference Calculation) จะถูกคำนวณทุก ๆ PWM ISR (PWM Interrupt Service Routine) โดยจะมีคาบเวลาในการสุ่ม (Sampling Period) 100 μs โดยช่วงเวลาที่เหลือจะเป็นส่วนของการวนลูปเพื่อรอการร้องขออินเตอร์รัพท์ในคาบต่อไปของคาบเวลาในการสุ่ม

คาบเวลาในการสุ่มนี้สามารถสร้างได้จาก เซตให้ TIMER 1 ของ ดีเอสพี ให้ทำงานในโหมดนับขึ้นลงแบบต่อเนื่อง และเซตให้ดีเอสพี อินเตอร์รัพท์เมื่อค่าของ TIMER เป็น “0” ซึ่งสามารถตั้งค่าเวลาในการนับ(TIPR)ได้ดังนี้ เมื่อดีเอสพีทำงานด้วยสัญญาณนาฬิกา 50 ns

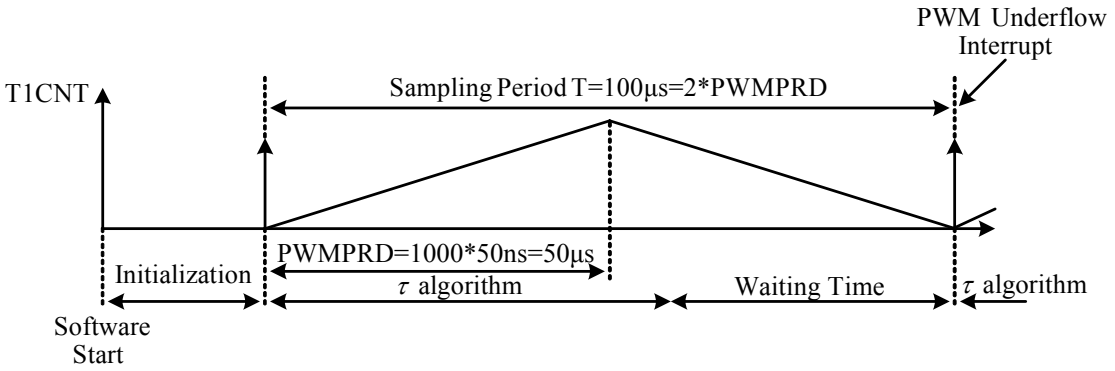
$$1000\ \mu s = 2\ \alpha\ \text{TIPR} \times 50\ \eta s$$

$$\text{TIPR} = 1000$$

ซึ่งสามารถแสดงได้ดังภาพที่ 4-16



ภาพที่ 4-15 ผังการทำงานของโปรแกรมหลัก



ภาพที่ 4-16 การอินเตอร์รัพท์ของดีเอสพี

จากภาพที่ 4-15 เป็นกระบวนการทำงานของโปรแกรมหลักที่มีการอินเตอร์รัพท์ของดีเอสพี ซึ่งประกอบด้วย ส่วนตั้งค่าเริ่มต้นของดีเอสพี และส่วนโปรแกรมบริการอินเตอร์รัพจะแสดงในภาพที่ 4-17 ซึ่งสามารถแบ่งส่วนการทำงานออกเป็นส่วนย่อยๆ ได้ดังนี้

ก) อ่านค่าสัญญาณที่ใช้ในการคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิง

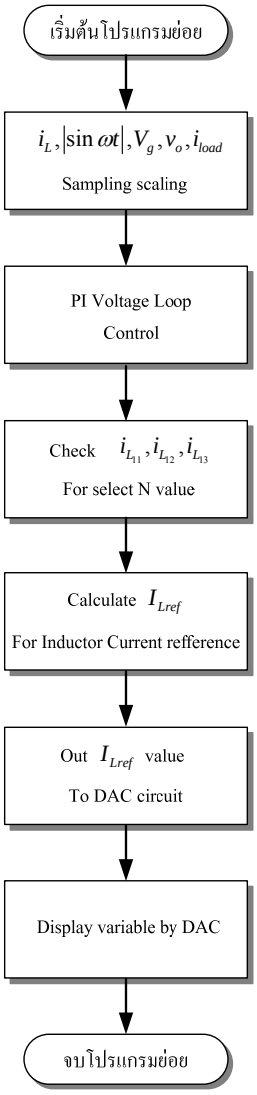
ข) การควบคุมแบบพีไอของลูปแรงดัน

ค) กำหนดค่า N เพื่อใช้ในการคำนวณ

ง) ตรวจสอบกระแสขดลวดเหนี่ยวนำที่อ่านได้ในแต่ละโมดูล

จ) คำนวณหาค่ากระแสขดลวดเหนี่ยวนำอ้างอิง

ฉ) ส่งค่ากระแสขดลวดเหนี่ยวนำอ้างอิงที่คำนวณได้ออกทาง DAC



ภาพที่ 4-17 ผังการทำงานของโปรแกรมย่อย

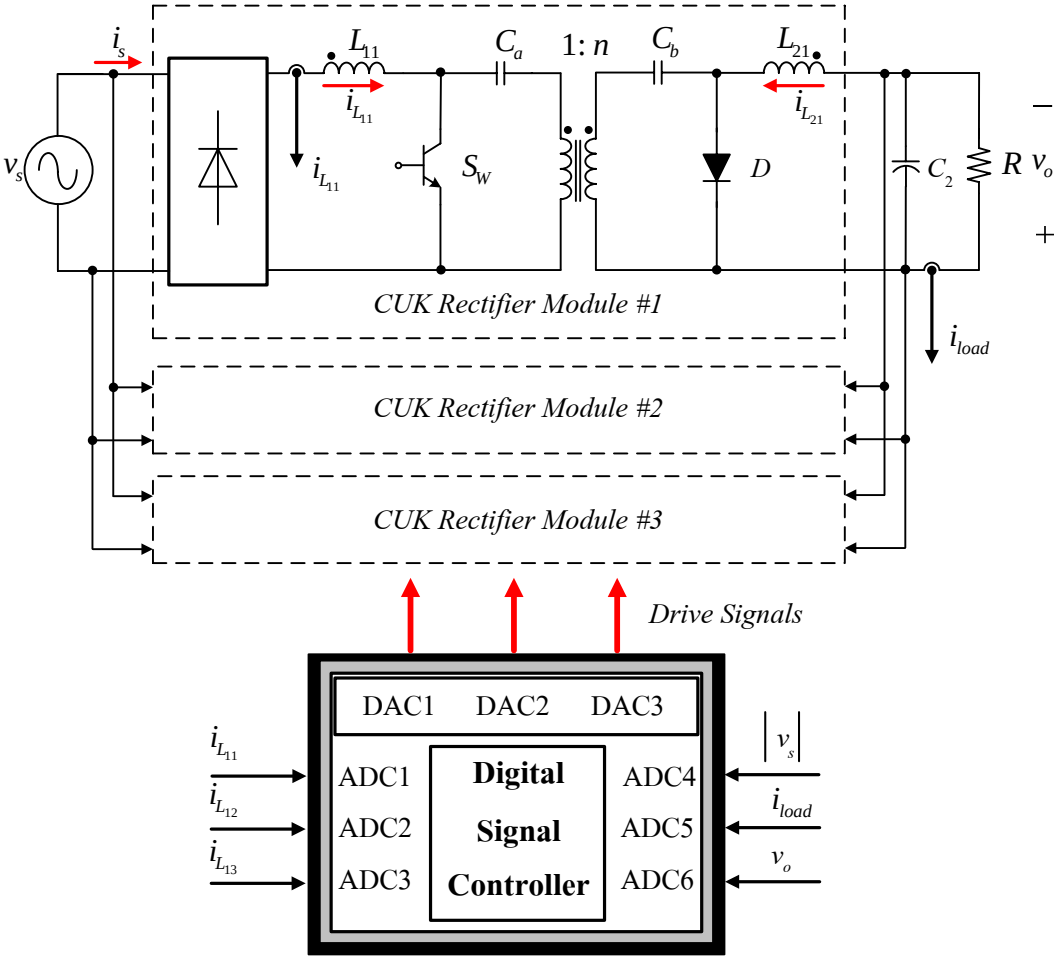
4.3 สรุป

จากการออกแบบฮาร์ดแวร์ของวงจรแปลงผันแบบชุกจะมีปัญหาเกี่ยวกับสัญญาณรบกวนเมื่อทำงานที่กำลังไฟฟ้าสูงขึ้น ดังนั้นควรจะมีการลดสัญญาณรบกวนที่ส่วนสำคัญต่างด้วย RC ฟิลเตอร์ และในลดสัญญาณรบกวนในวงจรเชื่อมต่อกับ ดีเอสพี ทำได้โดยการเลือกใช้ไอซีออปแอมป์ที่ทนต่อสัญญาณรบกวน และทำงานได้ในช่วงแบนด์วิดธ์ที่กว้าง และส่วนที่สำคัญก็คือการแยกสัญญาณกราวนด์ของวงจรแอนนะลอกกับกราวนด์ของวงจรดิจิตอล เพื่อให้มีผลกระทบในการรบกวนกันของภาคกำลังกับภาคควบคุมของระบบให้น้อยที่สุด

บทที่ 5

ผลทดสอบการทำงานของระบบ

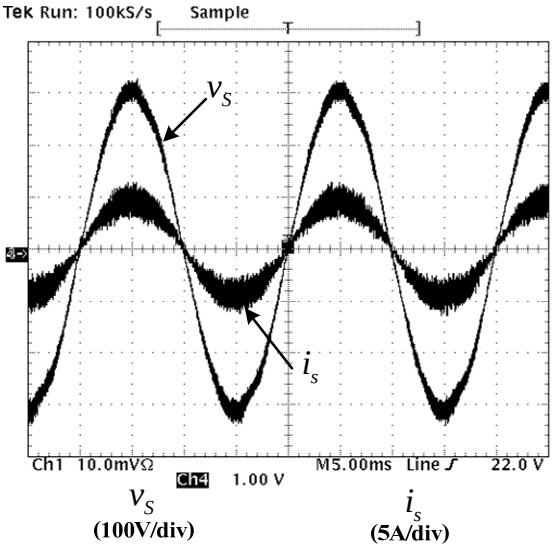
ระบบการกระจายแหล่งจ่ายกำลังไฟฟ้าที่แสดงในภาพที่ 5-1 ถูกประกอบขึ้นจากโมดูลเรียงกระแสแบบชุกที่พิกัดกำลังไฟฟ้า 250 W ต่อโมดูล จำนวน 3 โมดูล หน้าที่หลักของระบบที่จะนำเสนอคือ เพื่อที่จะแบ่งกระแสขดลวดเหนี่ยวนำ เพื่อที่จะควบคุมแรงดันเอาต์พุต และเพื่อที่จะปรับปรุงรูปคลื่นกระแสอินพุตให้เป็นไปตามกำหนด อินเฟสกับแรงดันอินพุต ทำให้ระบบที่นำเสนอมีค่าตัวประกอบกำลังใกล้เคียงหนึ่งและมีกระแสฮาร์มอนิกส์ต่ำ



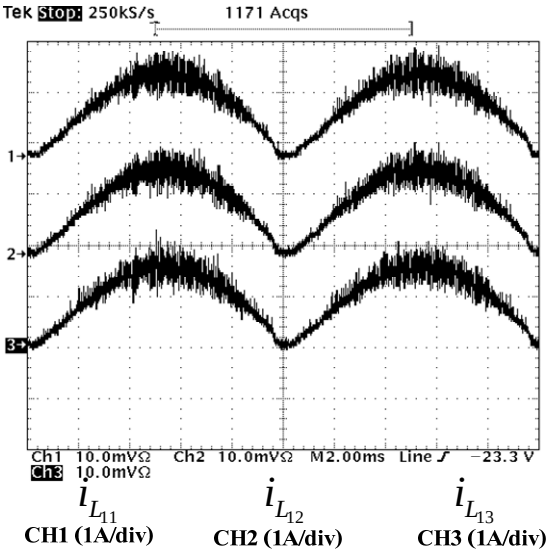
ภาพที่ 5-1 ระบบการกระจายแหล่งจ่ายกำลังไฟฟ้าแบบขนาน 1 เฟสชนิดชุก

5.1 การทดสอบในสภาวะคงตัว

การทดสอบโมดูลวงจรเรียงกระแสแบบชุกที่กำลังเอาต์พุต 750 W เมื่อ N = 3 ผลจากการปรับความถี่ในการทำงานที่เหมาะสมโดยการปรับแถบความกว้างของวงจรฮีสเตอริซีสเพื่อให้สวิตช์มีช่วงการปิด – เปิดที่พอดี พบว่าสัญญาณกระแสด้านเข้ามีลักษณะใกล้เคียงไซน์ และมีมุมใกล้เคียงกับสัญญาณแรงดันอินพุต ส่งผลให้มีค่าตัวประกอบกำลังใกล้เคียงหนึ่ง ผลจากการวัดที่ได้แสดงดังภาพที่ 5-2



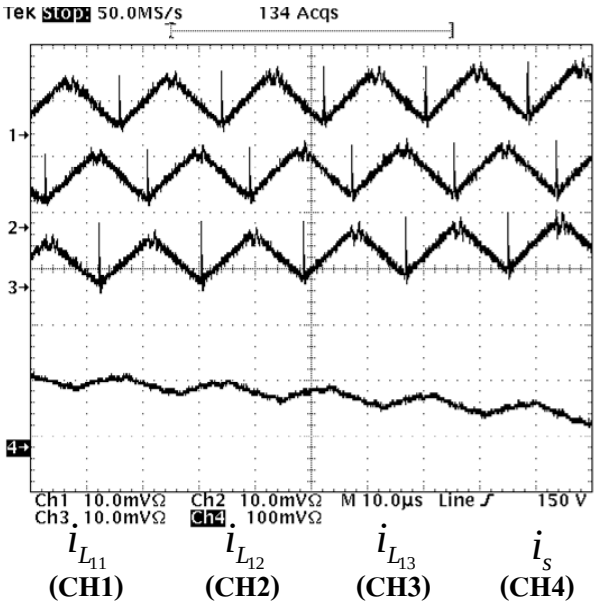
ภาพที่ 5-2 กระแสอินพุตและแรงดันอินพุต ที่พิกัดกำลังไฟฟ้า 750 W



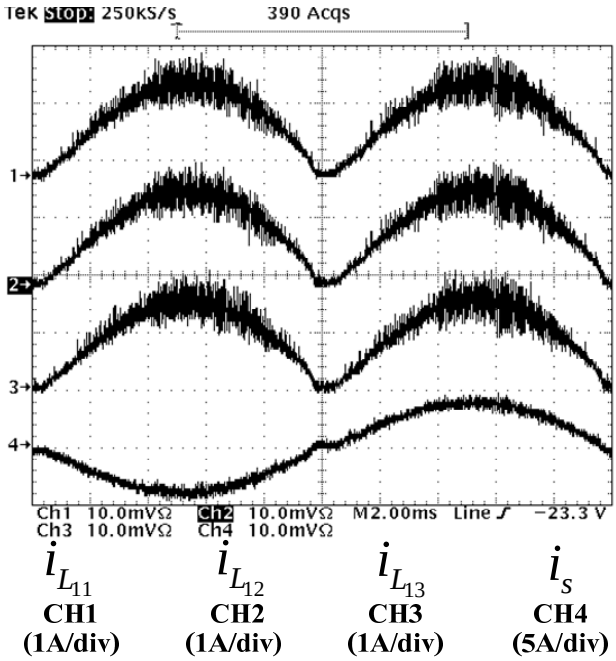
ภาพที่ 5-3 กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล ที่พิกัดกำลังไฟฟ้า 750 W

จากภาพที่ 5-3 เป็นสัญญาณของกระแสขดลวดเหนี่ยวนำด้านเข้าในแต่ละโมดูล ที่พิกัดกำลังไฟฟ้า 750W โดยต่อโมดูลขนานกันจำนวน 3 โมดูล จะเห็นได้ว่าระบบที่นำเสนอมีการแบ่งกระแสขดลวดเหนี่ยวนำที่ใกล้เคียงกัน โดยใช้เทคนิคสมดุลกำลังไฟฟ้า ในภาพที่ 5-4 และภาพที่ 5-5 เป็นสัญญาณกระแสของระบบที่นำเสนอเมื่อใช้เทคนิคการเหลื่อมกระแสด้านเข้า เพื่อลดการกระเพื่อมของกระแสด้านเข้า โดยวัดสัญญาณของกระแสขดลวดเหนี่ยวนำด้านเข้าในโมดูลที่ 1, 2 และ 3 เปรียบเทียบกันเพื่อแสดงให้เห็นการเหลื่อมของสัญญาณดังกล่าว และแสดงผลสัญญาณของกระแสอินพุตเมื่อใช้เทคนิคดังกล่าว โดยในภาพที่ 5-5 แสดงกระแสขดลวดเหนี่ยวนำด้านเข้าในแต่ละโมดูล เปรียบเทียบกับกระแสอินพุตมื่อใช้เทคนิคการเหลื่อมกระแส

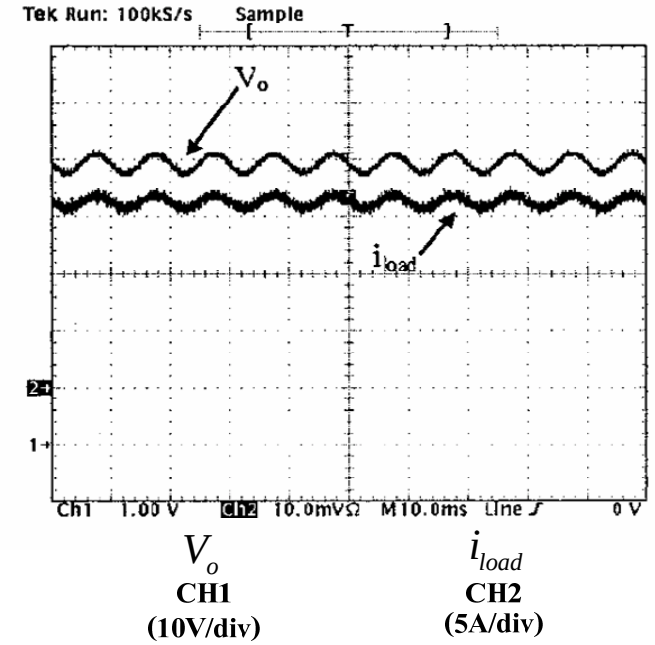
ภาพที่ 5-6 เป็นการแสดงสัญญาณที่วัดได้จากแรงดันเอาต์พุตและกระแสเอาต์พุต ที่พิกัดกำลังไฟฟ้า 750 W โดยมีภาระทางด้านเอาต์พุตเป็นตัวต้านทาน จากภาพจะเห็นได้ว่าแรงดันเอาต์พุตที่เป็นไฟฟ้ากระแสตรง – 48 V นั้นจะมีการกระเพื่อมที่มีความถี่ 2 เท่าของทางด้านแรงดันไลน์อินพุตเป็นส่วนประกอบอยู่ด้วย คือ ประมาณ 100 Hz ในส่วนนี้การใช้คาปาซิเตอร์ทางด้านเอาต์พุตค่าสูง จะทำให้การกระเพื่อมดังกล่าวลดลงตามค่าที่ต้องการได้ โดยในภาพที่ 5-7 เป็นภาพขยายของแรงดันเอาต์พุต 3.6 V_{p-p} คิดเป็น 7.5% ของระดับแรงดันเอาต์พุตที่ต้องการ



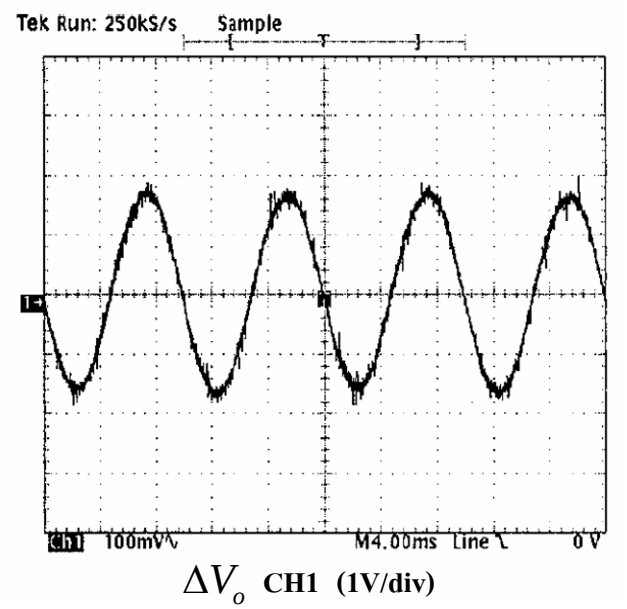
ภาพที่ 5-4 กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล และกระแสอินพุต ที่พิกัดกำลังไฟฟ้า 750 W



ภาพที่ 5-5 กระแสขดลวดเหนี่ยวนำในแต่ละโมดูลเปรียบเทียบกับกระแสอินพุตใน 1 คาบเวลา



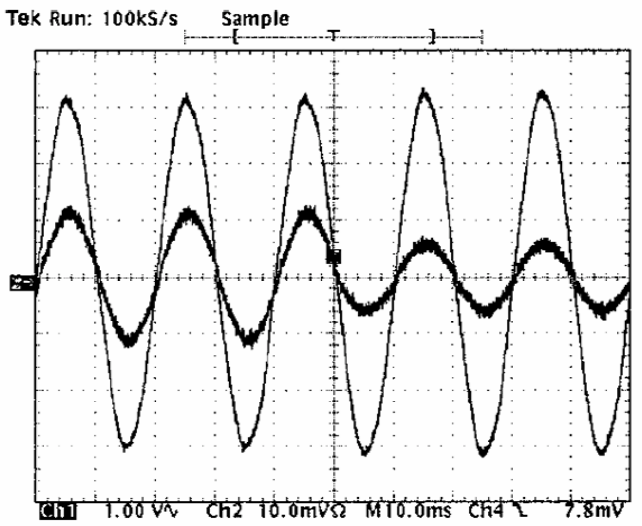
ภาพที่ 5-6 แรงดันเอาต์พุตและกระแสเอาต์พุต ที่พิกัดกำลังไฟฟ้า 750 W



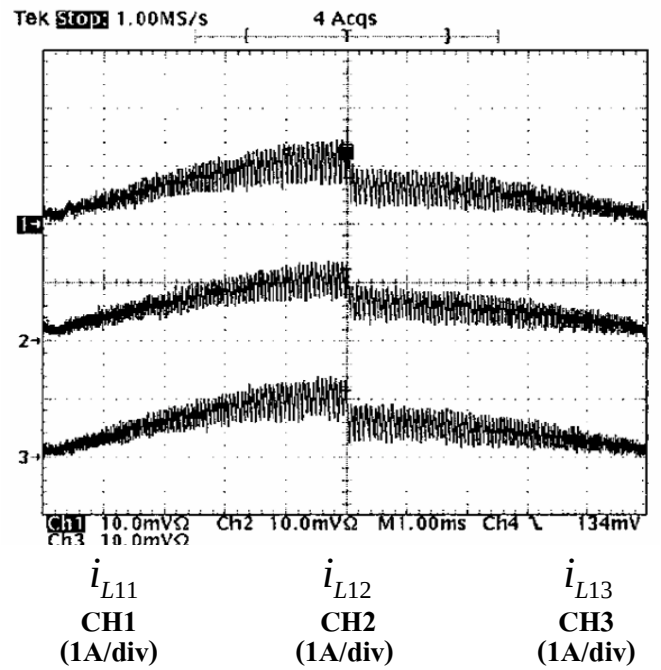
ภาพที่ 5-7 แรงดันกระเพื่อมเอาต์พุต ที่พิกัดกำลังไฟฟ้า 750 W

5.2 การทดสอบในสภาวะชั่วครู่

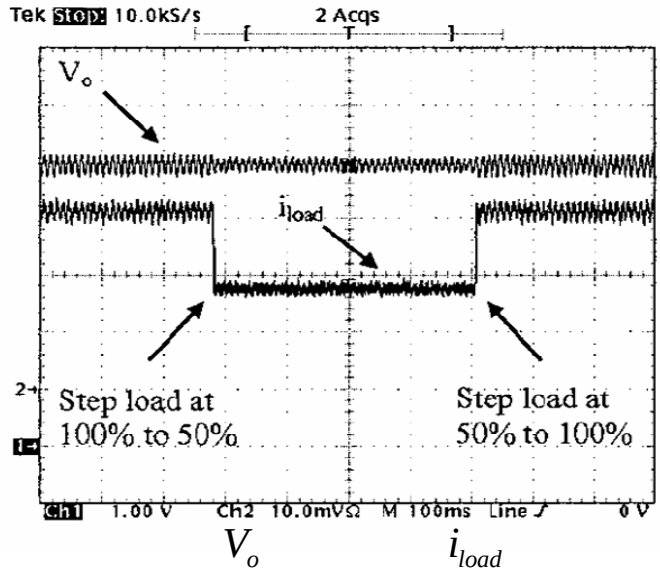
ผลการตอบสนองทางพลวัตของระบบนั้น ทดสอบโดยการเปลี่ยนแปลงภาระจาก 100 % ไปที่ 50 % และกลับมาที่ 100 % อีกครั้ง ผลที่ได้แสดงในภาพที่ 5-8 ถึง ภาพที่ 5-12 โดยการทดสอบสภาวะชั่วครู่ของแรงดันและกระแสอินพุต ในภาพที่ 5-8 แสดงสัญญาณกระแสอินพุตและแรงดันอินพุต เมื่อระบบจ่ายกำลังไฟฟ้าให้กับภาระที่พิกัด 750 W ไปที่พิกัด 375 W โดยจะพบว่าระบบยังคงรักษาเสถียรภาพไว้ได้ กระแสอินพุตยังคงมีลักษณะใกล้เคียงไซน์เช่นเดิม ภาพที่ 5-9 แสดงภาพขยายของผลการทดลองสภาวะชั่วครู่ของกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล เมื่อระบบจ่ายกำลังไฟฟ้าให้กับภาระที่พิกัด 750 W ไปที่พิกัด 375 W โดยทำการเปลี่ยนภาระ ณ จุดสูงสุดของสัญญาณกระแสขดลวดเหนี่ยวนำด้านเข้า จากผลการทดสอบพบว่ากระแสขดลวดเหนี่ยวนำทั้ง 3 โมดูลมีการขนาดลดลงตามภาระที่ระบบจ่ายให้ และระบบก็ยังรักษาเสถียรภาพได้ดีอีกด้วย



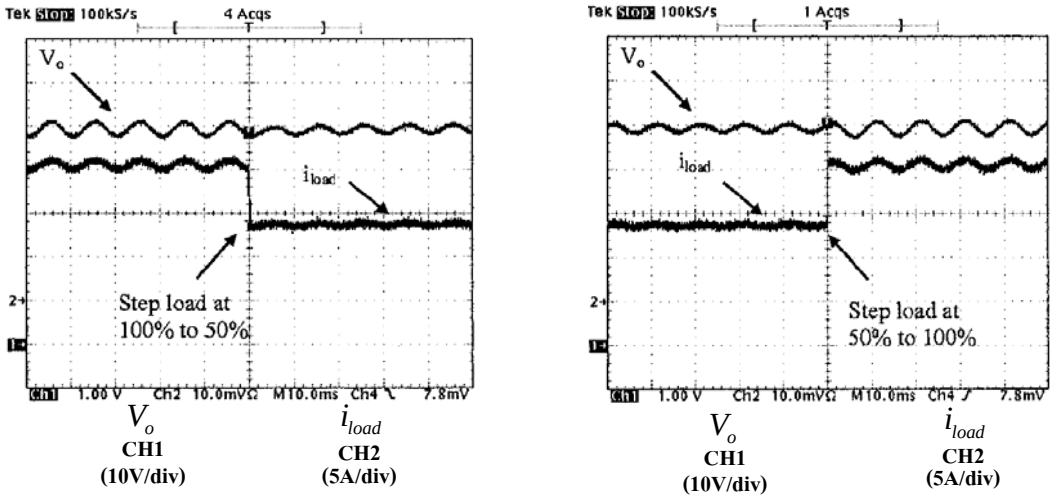
ภาพที่ 5-8 กระแสอินพุตและแรงดันอินพุต เมื่อเปลี่ยนแปลงภาระจาก 750 W ไปที่ 375 W



ภาพที่ 5-9 กระแสขดลวดเหนี่ยวนำในแต่ละโมดูล เมื่อเปลี่ยนแปลงภาระจาก 750 W ไปที่ 375 W



ภาพที่ 5-10 ผลการทดสอบสภาวะชั่วครู่ของแรงดันเอาต์พุตและกระแสเอาต์พุต



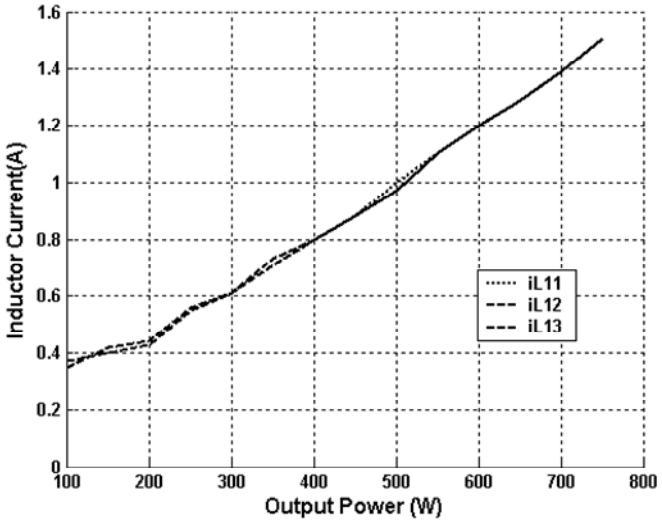
ภาพที่ 5-11 ผลการทดลองแรงดันเอาต์พุตและกระแสเอาต์พุตเมื่อภาระเปลี่ยนแปลง
(ก) จาก 750 W ไปที่ 375 W (ข) จาก 375 W ไปที่ 750 W

ผลการทดลองที่แสดงในภาพที่ 5-10 แสดงให้เห็นว่า ระบบควบคุมที่นำเสนอดังกล่าวมีประสิทธิผลในการตอบสนองที่ดี และระบบการขนานวงจรเรียงกระแสให้คุณสมบัติของการตอบสนองทางพลวัตที่รวดเร็ว ค่า THD ของกระแสที่วัดได้ต่ำกว่า 5%

ผลการทดลองที่แสดงในภาพที่ 5-10 แสดงให้เห็นถึงผลตอบสนองในสภาวะชั่วครู่ของแรงดันเอาต์พุตและกระแสเอาต์พุตเมื่อมีการเปลี่ยนแปลงภาระจาก 750 W ไปที่ 375 W และกลับมาที่ 750 W อีกครั้ง ระบบมีผลตอบสนองต่อการเปลี่ยนแปลงของภาระที่รวดเร็ว ในภาพที่ 5-11 (ก) และ (ข) เป็นส่วนที่ขยายให้เห็นการกลับคืนสู่สภาวะคงตัวของแรงดันเอาต์พุตอย่างรวดเร็ว และรูปคลื่นกระแสอินพุตยังคงเป็นสัญญาณไซน์เช่นเดิม แสดงให้เห็นว่าระบบให้สมรรถนะการตอบสนองทางพลวัตที่ดี

5.3 การทดสอบสมรรถนะของระบบ

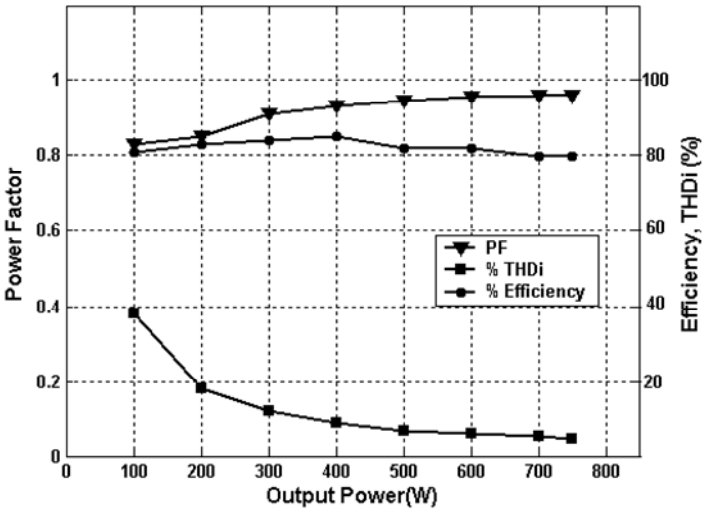
ผลการทดสอบสมรรถนะของการขนานวงจรแปลงผันแรงดันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงชนิด 1 เฟส โดยใช้โมดูลเรียงกระแสแบบชุกจำนวน 3 โมดูล ถูกนำเสนอในส่วนนี้ ปริมาณทางไฟฟ้าที่สำคัญถูกแสดงอยู่ในเทอมของกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล ตัวประกอบกำลัง ประสิทธิภาพ ความผิดเพี้ยน ฮาร์มอนิกส์รวมของกระแสอินพุต และมาตรฐาน IEC 61000-3-2 class A limits ปริมาณทั้งหมดถูกวัดโดยใช้ Digital Power Meter YOKOGAWA 2531A การทดสอบสมรรถนะของระบบได้กำหนดเงื่อนไขของการทดสอบไว้ดังนี้ คือ สภาวะเมื่อระบบปรับเปลี่ยนกำลังไฟฟ้าจาก 100 W ไปที่ 750W ในขณะที่ระบบได้ถูกกำหนด $V_s = 220\,V$ และ $V_o = -48V$ แสดงในภาพที่ 5-11 ถึง ภาพที่ 5-14



ภาพที่ 5-12 กระแสที่วัดได้ในแต่ละโมดูลเปรียบเทียบกับภาระที่เปลี่ยนแปลง

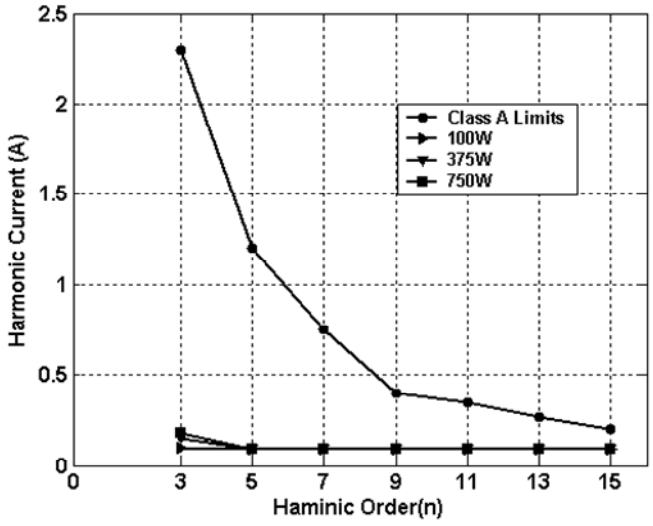
ภาพที่ 5-12 แสดงผลการแบ่งจ่ายกระแสขดลวดเหนี่ยวนำในแต่ละโมดูลให้กับภาระด้วยหลักการสมดุลกำลังไฟฟ้า โดยการทดสอบระบบด้วยการเปลี่ยนแปลงภาระจากค่าที่ต่ำสุด 100 W เพิ่มไปจนถึงค่าสูงสุด 750 W ผลการทดสอบจะเห็นว่ามีผลกระทบจากค่าความเหนี่ยวนำ และค่าความต้านทานแฝงในแต่ละโมดูลไม่เท่ากัน ทำให้มีความแตกต่างกันของกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล อย่างไรก็ตามระบบยังคงแสดงให้เห็นถึงการควบคุมการแบ่งกระแสให้ใกล้เคียงกันในแต่ละโมดูลได้ดี

ภาพที่ 5-13 แสดงการทดสอบสมรรถนะระบบ มีเงื่อนไขของการจ่ายกำลังไฟฟ้าให้กับภาระที่มีการเปลี่ยนแปลงไป กราฟเส้นบนสุดของภาพที่ 5-13 แสดงถึงเส้นของตัวประกอบกำลังของระบบที่วัดได้ในสภาวะที่เปลี่ยนแปลงภาระจาก 100 W ไปที่ 750 W เพื่อพิจารณาที่พิกัดกำลังไฟฟ้าของภาระ ระบบให้ค่าตัวประกอบกำลังที่ได้จากการวัดมากกว่า 0.95 ส่วนกราฟเส้นกลางถัดลงมาแสดงถึงเส้นของประสิทธิภาพของระบบ โดยมีค่าอยู่ประมาณ 80 % และกราฟเส้นต่ำสุดแสดงปริมาณ THD ของกระแสอินพุตที่ภาระเปลี่ยนแปลงค่าไป



ภาพที่ 5-13 การทดสอบสมรรถนะของการขนานวงจรเรียงกระแสชนิด 1 เฟส ที่ใช้โมดูลเรียงกระแสแบบชุก (แรงดันอินพุต 220 V)

ภาพที่ 5-14 แสดงปริมาณของกระแสฮาร์มอนิกส์จากระบบที่นำเสนอ โดยวัดปริมาณดังกล่าวเงื่อนไขของการเปลี่ยนแปลงภาระแบบขั้นบันได รายละเอียดที่กราฟนั้นแสดงถึงขนาดของกระแสฮาร์มอนิกส์อินพุตที่วัดได้ โดยมีการเปลี่ยนแปลงภาระที่ 100 W, 375 W และ 750 W จะพบว่าปริมาณกระแสฮาร์มอนิกส์ในแต่ละอันดับนั้นมีค่าต่ำกว่าที่ได้กำหนดไว้



ภาพที่ 5-14 ฮาร์มอนิกส์ของกระแสอินพุตของระบบที่นำเสนอ ที่พิกัดแรงดัน 220 V

ในมาตรฐาน IEC-61000-3-2 class A limits จะมีก็เพียงแต่ปริมาณของกระแสฮาร์มอนิกส์อันดับที่ 3 เท่านั้นที่มีขนาดมากเมื่อเทียบกับอันดับอื่นๆ แต่เมื่อเทียบกับปริมาณกระแสฮาร์มอนิกส์ที่ได้ถูกกำหนดไว้ในมาตรฐานแล้วยังคงถือว่ามีค่าน้อย

5.4 สรุป

การขนานวงจรแปลงผันแรงดันไฟฟ้ากระแสสลับเป็นแรงดันไฟฟ้ากระแสตรงชนิด 1 เฟส โดยใช้โมดูลเรียงกระแสแบบชุกที่แยกโดดทางไฟฟ้า จำนวน 3 โมดูล บนหลักการสมดุลกำลังไฟฟ้าได้ถูกนำเสนอในบทนี้ โดยแต่ละโมดูลถูกออกแบบให้มีพิกัดกำลังไฟฟ้าเท่ากับ 250 W ซึ่งนำโมดูลดังกล่าวมาประกอบกันเป็นระบบต้นแบบเพื่อให้จ่ายกำลังไฟฟ้ารวมได้เท่ากับ 750 W ที่แรงดันเอาต์พุต -48 V กระแสที่ภาระสูงสุด -15.625 A จากผลการสอบแสดงให้เห็นว่าระบบที่นำเสนอนี้ทำงานได้เป็นอย่างดีทั้งในสภาวะคงตัวและสภาวะชั่วครู่ ระบบสามารถควบคุมแรงดันเอาต์พุตได้ดี มีตัวประกอบกำลังอินพุตใกล้เคียง 1 และระบบนั้นสามารถควบคุมการแบ่งกระแสขดลวดเหนี่ยวนำในแต่ละโมดูลให้มีค่าใกล้เคียงกัน การออกแบบและควบคุมระบบที่ได้นำเสนอสามารถทำได้ง่าย ให้ผลตอบสนองทางพลวัตได้ดีเมื่อมีการเปลี่ยนแปลงภาระอย่างทันทีทันใด โดยทดสอบระบบที่พิกัดกำลังไฟฟ้าเอาต์พุต 750 W แรงดันไฟฟ้าอินพุต 220 V ให้ตัวประกอบกำลังมากกว่า 0.95 ประสิทธิภาพประมาณ 80 % และค่า THD ของกระแสด้านเข้าต่ำกว่า 5 %

บทที่ 6
สรุปผลและข้อเสนอแนะ

6.1 สรุปผลการวิจัย

การวิเคราะห์และออกแบบการขนานวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟส เป็นไฟฟ้ากระแสตรงชนิดชุกด้วยวิธีขนานและใช้เทคนิคการเหลื่อมกระแสด้านเข้า เพื่อปรับปรุงตัวประกอบกำลังและกระแสทางด้านเข้าให้รูปคลื่นใกล้เคียงรูปไซน์ ใช้โมดูลวงจรแปลงผันเรียงกระแสแบบชุกจำนวน 3 โมดูลต่อขนานกัน ควบคุมกระแสด้วยหลักการสมดุลกำลังไฟฟ้า ทำงานในโหมดกระแสไหลต่อเนื่อง โดยประยุกต์ใช้งานตัวประมวลสัญญาณแบบดิจิตอลควบคุมการสวิตช์ของโมดูลที่ขนานด้วย Interleaved Technique เพื่อลดการกระเพื่อมของกระแสด้านเข้า

ระบบต้นแบบถูกออกแบบให้ทำงานที่พิกัดแรงดันด้านเข้า 220 V 50 Hz แรงดันด้านออก -48 V และมีกำลังด้านออกสูงสุด 750 W ผลการทดสอบแสดงให้เห็นว่าระบบมีเสถียรภาพดีในการตอบสนองทางพลวัตจากการเปลี่ยนภาระ กระแสด้านเข้าใกล้เคียงรูปคลื่นไซน์ ค่าตัวประกอบกำลังมากกว่า 0.95 ประสิทธิภาพของระบบ 80 % และค่าผิดเพี้ยนของกระแสด้านเข้าต่ำกว่า 5 %

6.1.1 ข้อดีของวงจรแปลงผันและการควบคุม

6.1.1.1 วงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงบนพื้นฐานของวงจร Cuk สามารถต่อหม้อแปลงเพื่อแยกโดด (Isolated) ทางไฟฟ้าได้ทำให้ลดการสูญเสียกรณีลัดวงจรทางด้านไฟตรงด้านออก

6.1.1.2 การควบคุมแบบสมดุลกำลังไฟฟ้าทำให้วงจรแปลงผันมีการตอบสนองทางพลวัตที่ดีสังเกตได้จากขณะมีการเปลี่ยนแปลงภาระทางด้านออก

6.1.1.3 การควบคุมแบบปรับความถี่สามารถควบคุม THDi ของกระแสด้านเข้าให้ต่ำลงได้โดยการปรับแถบฮีสเตอริซีสให้แคบลงทำให้เลือกค่า THDi ที่ต้องการได้ง่าย

6.1.1.4 การรบกวนของสัญญาณขณะที่คำนวณกระแสอ้างอิงมีน้อยลงเนื่องจากเป็นการคำนวณด้วยโปรแกรมในตัวควบคุมแบบดิจิตอล

6.1.1.5 มีการแยกกันทางไฟฟ้าระหว่างภาคอินพุตและภาคเอาต์พุต เนื่องจากโมดูลชุกที่นำมาขนาน มีการแยกกันด้วยหม้อแปลงความถี่สูงแยกโดดทุกโมดูล

6.2 ข้อเสนอแนะ

6.2.1 เพื่อให้วงจรแปลงผันมีประสิทธิภาพที่ดีขึ้นไม่ควรปรับความถี่การสวิตช์ให้สูงจนเกินไปเพราะการเพิ่มความถี่จะทำให้เพิ่มค่าความสูญเสียจากการสวิตช์มากขึ้น

6.2.2 การออกแบบโดยให้ตัวเหนี่ยวนำด้านเข้าพันร่วมกับแกนเหล็กของหม้อแปลงจะช่วยลดขนาดและน้ำหนักของวงจรแปลงผันลงได้

6.2.3 การออกแบบอุปกรณ์ในวงจรกำลังให้เหมาะสมจะช่วยเพิ่มประสิทธิภาพของวงจรแปลงผันให้สูงขึ้นได้

6.2.4 การกำเนิดสัญญาณไซน์อ้างอิงควรมีจุดเดียวเพื่อลดการทำงานไม่สอดคล้องกันของแต่ละโมดูล ทำให้ประสิทธิภาพของระบบลดลง

6.2.5 การออกแบบแยกส่วนของภาคกำลัง และภาพควบคุมที่เป็นวงจรอิเล็กทรอนิกส์ จะช่วยให้การรบกวนเกิดขึ้นน้อยลงได้

6.2.6 แนวทางพัฒนาสำหรับงานในอนาคต

6.2.6.1 เพื่อพัฒนาให้ประสิทธิภาพของวงจรสูงขึ้น ควรออกแบบให้ตัวเหนี่ยวนำพันร่วมกับแกนหม้อแปลงแยกโดด และยังเป็นการช่วยลดน้ำหนักของวงจรแปลงผันด้วย

6.2.6.2 พัฒนาให้มีการควบคุมแบบ Average Current Mode Control ทำงานที่ความถี่สวิตช์คงที่ และการควบคุมทั้งหมดให้อยู่ในด้วยตัวประมวลสัญญาณแบบดิจิตอล โดยควบคุมสวิตช์แบบ PWM ผ่านทานพอร์ต PWM

6.2.6.3 พัฒนาให้มีการควบคุมด้วยตัวประมวลสัญญาณแบบดิจิตอลเบอร์อื่นที่มีความสามารถในการควบคุมได้เท่ากับดีเอสพี แต่มีราคาที่ถูกกว่าเพื่อลดงบประมาณในการสร้าง

เอกสารอ้างอิง

1. Sebastian, J., Janureguizer, M. and Uceda. "An overview of power factor correction in single phase off line power supply system." IECON 4. (1994) : 1688-1693.
2. Rossetto, L., Spiazzi, G. and Tenti, P. "Control Technique for power factor correction converters." IEEE EPE. (1994).
3. Newton, A., Green, T.C. and Andrew, D. "AC/DC power factor correction using interleaved boost & cuk converts." IEE Conf. Publ. (1994) : 293-298.
4. Simonetti, D. S. L., Sebastian, J., Dos Reis, F. S., and Uceda. J. "Design Criteria for Sepic and Cuk Converter as Power Factor Preregulators in Discontinuous Conduction Mode." IEEE Trans 1992. (1992) : 283-288.
5. Laszlo Balogh., Richard Reld. "Power-Factor Correction with Interleaved Boost Converter in Continuous-Inductor-Current Mode." Proceeding of APEC'93. (1993) : 168-174.
6. Chan, C.H., Pong, M.H. "Interleaved Boost Power Factor Correction Operating in Discontinuous-Inductor-Current Mode." IEEE Trans 1997. (1997) : 405-410.
7. Kamnarn, U., Chunkag, V. "Analysis and Design of Parallel CUK PFC Circuit based on Power balance control technique." IPEC 2005. (2005).
8. Kamnarn, U., Chunkag, V. "Power balance control techniques applied to parallel AC to DC converters using single – phase SEPIC rectifier modules." TENCON 2004. (2004) : 57 - 60.
9. Kim, S., Enjeti, P.N. "Control of multiple single phase PFC modules with a single low-cost DSP." IEEE Trans. On Ind Appl. (2003) : 168-174.
10. Choudhury, S., Noon, J.P. "A DSP based digitally controlled interleaved PFC." IEEE Trans. On APEC 2005. (2005) : 648-654.
11. บุญส่ง รักกมล. การวิเคราะห์และออกแบบวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงแบบ Cuk ที่มีค่าตัวประกอบกำลังใกล้เคียงหนึ่งโดยประยุกต์ใช้วิธีควบคุมแบบสไลด์ดิง. วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2546.

12. Robert W. Erickson and Dragan Maksimovic. Fundamental of Power Electronics. 2nd ed. Norwell Massachusetts : Kluwer Acadamic Publishers, c2001.

13. ประหยัด กองสุข. การวิเคราะห์และออกแบบวงจรแปลงผันไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรงแบบ SEPIC ที่มีค่าตัวประกอบกำลังใกล้เคียงหนึ่งโดยประยุกต์ใช้วิธีควบคุมแบบสไลด์ดิง. วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2546.

14. สกล ศรีจันทร์งาม. การวิเคราะห์และออกแบบวงจรแปลงผันไฟสลับเป็นไฟตรงแบบชัคในโหมดการทำงานแบบกระแสไม่ต่อเนื่อง. วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2542.

15. Texas Instrument. TMS320F/C24X DSP Controller Reference Guide CPU and Instruction Set. Dallas Texas : Texas Instrument, c1999.

16. _____. TMS320F/C24X DSP Controller Reference Guide System and Peripherals. Dallas Texas : Texas Instrument, c2000.

17. ศักดา สมกุล. วงจรกรองกำลังแบบแอกตีฟแบบขนาน 3 เฟสที่ใช้ตัวประมวลผลสัญญาณแบบดิจิตอลสำหรับประมาณค่ากระแสชดเชยฮาร์มอนิกส์. วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2546.

18. Manman, S., Kamnarn, U. and Chunkag V. "Analysis of Interleaved Input Current Technique for Paralleling Single – phase AC to DC Cuk Converters." ECTI-CON 2006. (2006) : 583 - 586.

19. Spectrum Digital. eZdspLF2407A Technical Reference Rev. D. USA : Spectrum Digital, c2000.

20. Tripathi, A., Sen, P.C. "Comparative analysis of fixed and sinusoidal band hysteresis current controllers for voltage source." IEEE Trans on Industrial Electronics. (1992) : 63-73.

ภาคผนวก ก

การออกแบบวงจร

1.1 การคำนวณค่าพิกัดของอุปกรณ์ของวงจรแปลงผันแบบชุก[14]

1) กระแสที่ไหลผ่านสวิตช์ ที่กำลังไฟฟ้า 250W

$$I_{SW} = \hat{I}_S + nI_{load} = 1.067 + (0.5)5.208 = 4.211A \quad \text{(ก-1)}$$

2) แรงดันตกคร่อมสวิตช์

$$V_{SW} = \frac{V_O}{n} + \hat{V}_g = \frac{48}{0.5} + 311 = 407V \quad \text{(ก-2)}$$

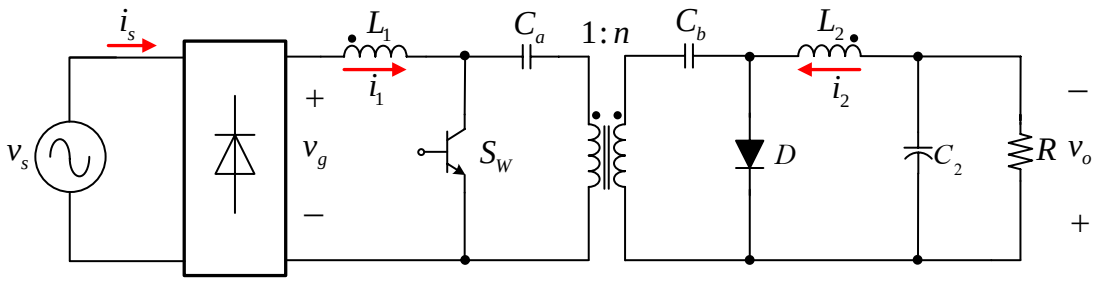
3) กระแสที่ไหลผ่านไดโอด

$$I_{Diode} = I_{load} + n\hat{I}_g = 5.208 + (0.5)1.607 = 6.0115A \quad \text{(ก-3)}$$

4) แรงดันตกไดโอด

$$I_{SW} = \hat{I}_S + nI_{load} = 1.067 + (0.5)5.208 = 4.211A \quad \text{(ก-4)}$$

1.2 การออกแบบโมดูลเรียงกระแสแบบชุก



ภาพที่ ก-1 โมดูลเรียงกระแสแบบชุก

รายละเอียดของระบบมีดังนี้

แรงดันอินพุต	$v_g = 311\lvert\sin \omega t\rvert$
แรงดันเอาต์พุต	$V_O = -48V$
กำลังไฟฟ้าเอาต์พุตแต่ละโมดูล	$P_O = 250W$
ความถี่สวิตช์สูงสุด	$f_{SW} \approx 30kHz$
ภาระตัวต้านทานด้านออก	$R = 9.216\Omega$
อัตราส่วนรอบหม้อแปลงความถี่สูง	$n = 0.5$
เปอร์เซ็นต์การกระเพื่อมของกระแส	$I_{rip} = 30\%$

1) อัตราส่วนการแปลงผัน

$$M = \frac{V_O}{\hat{V}_g} = \frac{48}{311} = 0.154 \qquad \text{(ก-5)}$$

$$k_{crit} = \frac{1}{2(M+n)^2} = \frac{1}{2\times(0.154)^3} = 1.167 \qquad \text{(ก-6)}$$

2) ค่า k_a ที่ทำให้วงจรแปลงผันทำงานในโหมดนำกระแสต่อเนื่อง $k_a > k_{crit}$

$$k_a = \frac{2L_e}{RT_{SW}} = 2 \qquad \text{(ก-7)}$$

3) ค่าความเหนี่ยวนำอ้างอิง

$$L_e = \frac{RT_{SW}k_a}{2} = \frac{9.216\times 3.33\times 10^{-6}\times 2}{2} = 0.0369mH \qquad \text{(ก-8)}$$

4) ค่าความเหนี่ยวนำด้านเข้า

เมื่อ $M = 0.154$ จะได้ค่า $D = 0.2358$

$$L_1 = \frac{\hat{V}_g DT_{SW}k_a}{\Delta i_{L_1}} = \frac{311\times 0.2358\times 3.33\times 10^{-6}}{0.482} = 5.068mH \qquad \text{(ก-9)}$$

5) ค่าความเหนี่ยวนำด้านออก

$$L_2 = \frac{n^2 L_1 L_e}{L_1 - L_e} = \frac{0.5^2 \times 5.068\times10^{-3} \times 0.0369\times10^{-3}}{5.068\times10^{-3} - 0.0369\times10^{-3}} = 92.9\mu H \qquad \text{(ก-10)}$$

ในวิทยานิพนธ์นี้ใช้ $L_1 = 5mH$ ใช้ $L_2 = 1mH$ ซึ่งระบบจะทำงานในโหมดกระแสต่อเนื่อง

6) ขนาดของตัวเก็บประจุ C_a, C_b

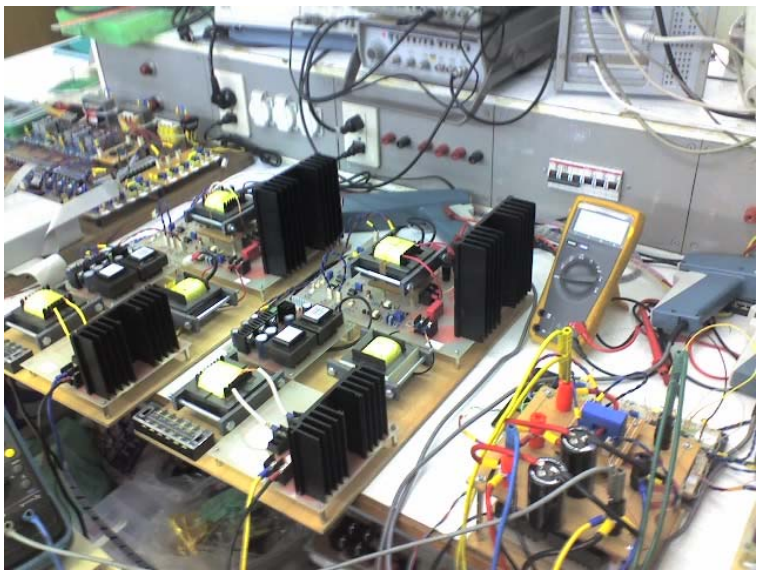
$$C_a, C_b = \frac{1}{\omega_r^2 (L_1 + L_2)} = \frac{1}{(2\pi \times 3000)^2 (5.068\times10^{-3} \times 92.9\times10^{-6})} = 59\mu F \qquad \text{(ก-11)}$$

7) ขนาดกระแสกระเพื่อมทางด้านออก

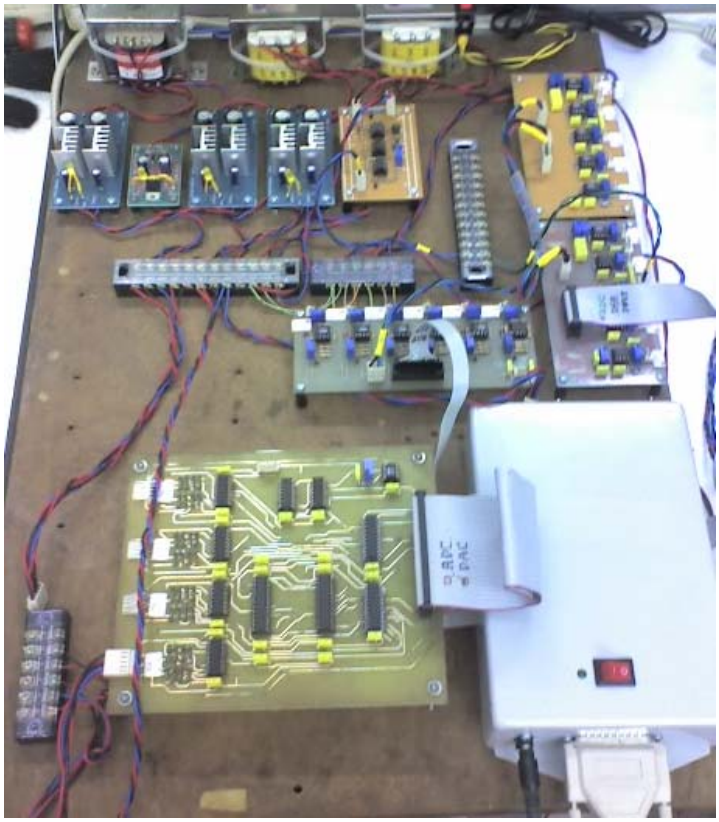
$$I_{L_{ripple}} = \frac{0.30 \times 2 \times P_O}{\hat{V}_g} = \frac{0.30 \times 2 \times 250}{311} = 04823A \qquad \text{(ก-12)}$$

8) ขนาดของตัวเก็บประจุทางด้านออก

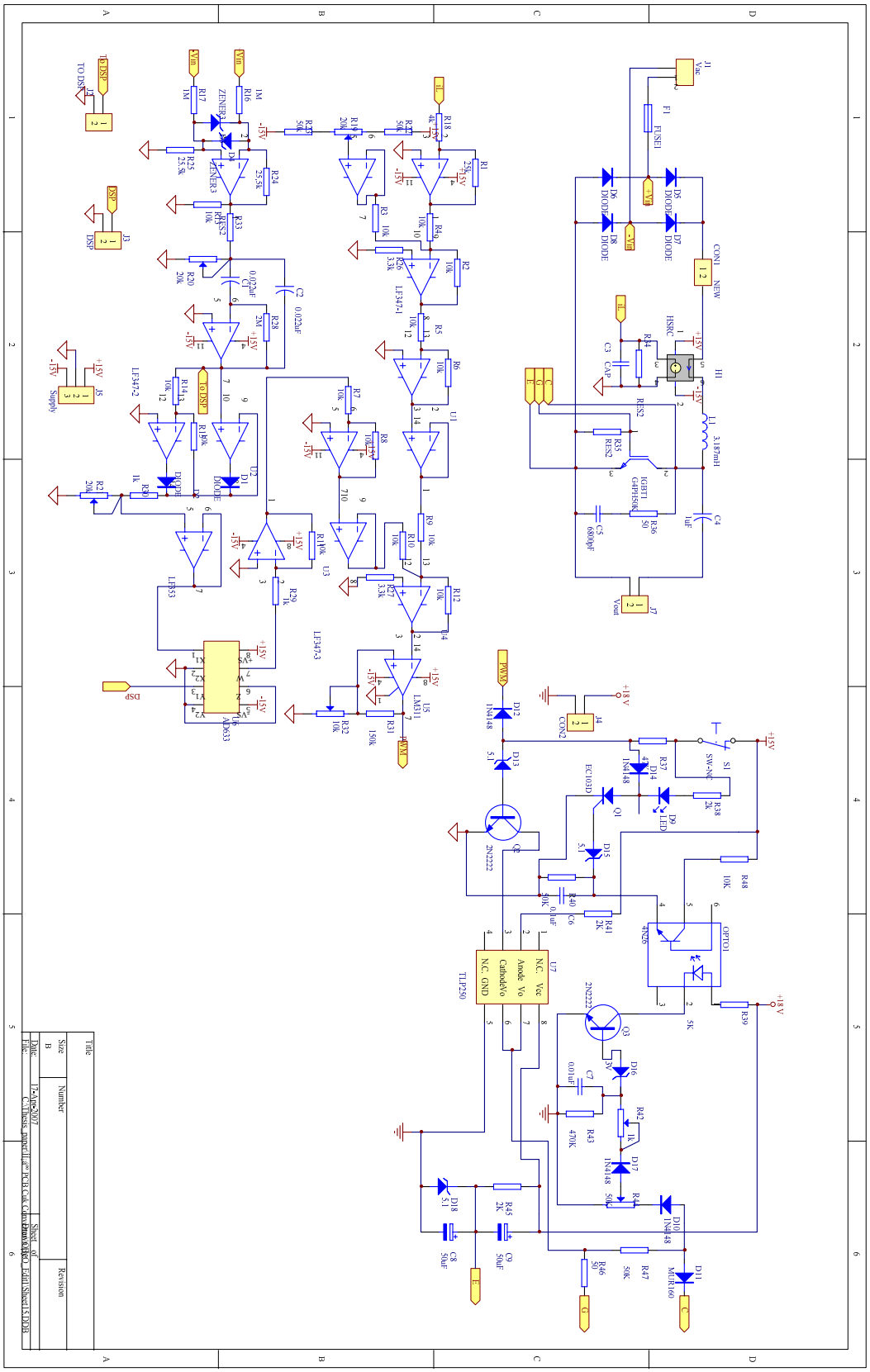
$$C_2 = \frac{2 \times P_O \times \Delta th}{V_O^2 - V_{O(\min)}^2} = \frac{2 \times 750 \times 2 \times 10^{-3}}{48^2 - 40.8^2} = 46,921\mu F \qquad \text{(ก-13)}$$



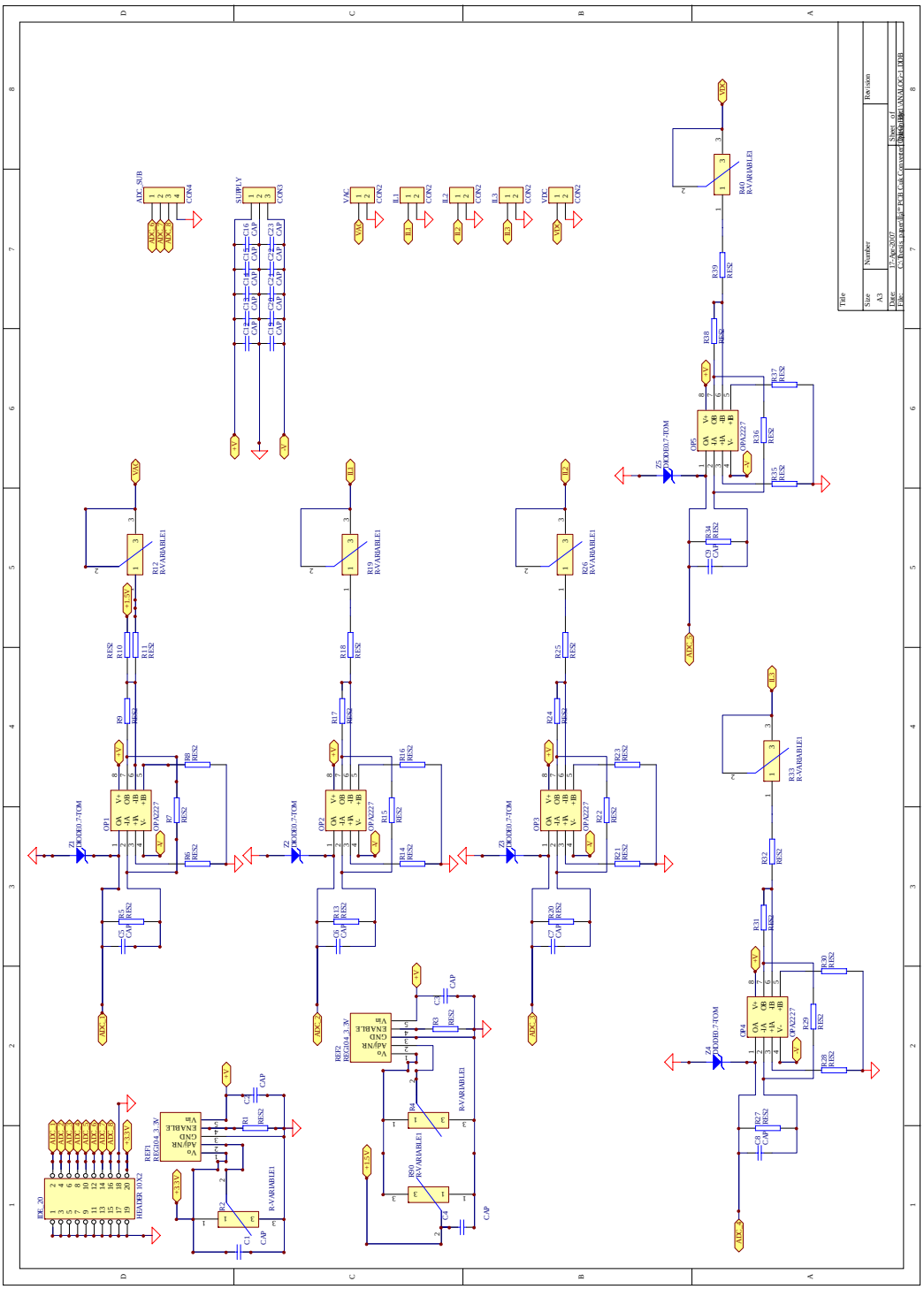
ภาพที่ ก-2 วงจรภาคกำลัง



ภาพที่ ก-3 วงจรภาคควบคุม

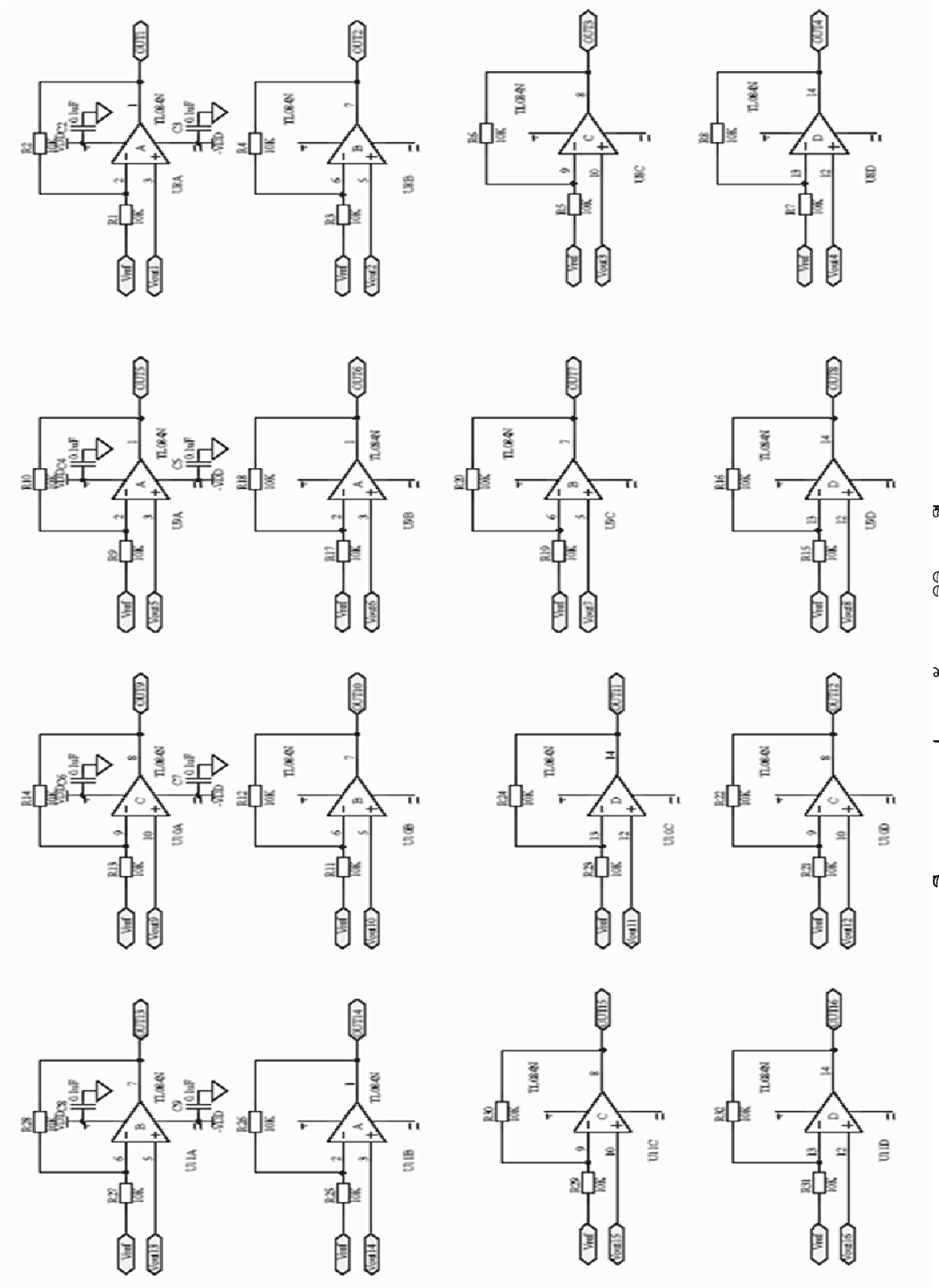


รูปที่ 4-4 วงจรขับเกตของ IGBT



ภาพที่ ก-5 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล

ภาพที่ 9-6 วงจรแสดงการต่อใช้งานกับบอร์ดทดลองไมโครคอนโทรลเลอร์



ภาพที่ ก-7 วงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอก2

ภาคผนวก ข

โปรแกรมควบคุม

```
*********************************************************
*                                                       *
*          King Mongkut's Institute of Technology North Bangkok         *
*                                                       *
*                          Master Thesis                *
*                                                       *
*                  parallel AC to DC Cuk Converter      *
*                                                       *
*                           CUK.ASM                     *
*                                                       *
*********************************************************
                        .include "240xA.h"
                        .mmregs
*********************************************************
*                       Start                           *
*********************************************************
                        .globl  _c_int0 ;set _c_int0 as global symbol

                        .sect "vectors"
        b       _c_int0 ;reset interrupt handler
_c_int1 b       _c_int1 ;
        b       _c_int2 ;PWM interrupt handler
_c_int3 b       _c_int3 ;
_c_int4 b       _c_int4 ;
_c_int5 b       _c_int5 ;
_c_int6 b       _c_int6 ;
        .space 16*6             ;reserve 6 words in interrupt table

*********************************************************
*       Auxiliary Register used                         *
*       ar7     pointer for context save stack          *
*       ar5     used in the interruption c_int2         *
*********************************************************


stack   .usect "blockb2",15     ;space for Status Register context save in Page 0


*********************************************************
* Look-up table .includes
* N.B. it includes 256 elements
*********************************************************
                .sect "table"

sintab  .include  sine.tab      ;sine wave look-up table for sine and cosine waves generation
                                ;generated by the BASIC program "SINTAB.BAS"
                                ;4.12 format
*** END look-up table .includes

*********************************************************
* Variables and constants initializations
*********************************************************
                .data

***     Gain of voltage , current and vdc
Kvoltage .word  2000h           ;8.8 format (9.78) sampled voltage normalization constant

                                ;(220/242)*1024=930.909,930.909-512=418.909,4096/418.909=9.78
                                ;9.78*256=2503.111=9C7h
Kcurrent .word  1000h           ;8.8 format (62.29) sampled current normalization constant
                                ;(7.95/50)*409.6=65.13,4096/65.13=62.29,62.29*256=16100.63
                                ;=3EE4h
K_Iload  .word  600h

Kvdc    .word   500h;1500h;69Ah ;8.8 format (6.6) sampled voltage normalization constant
```

```
Kvdc1           .word   1500h
                                ;(600/990)*1024=620.61,4096/620.61=6.6,6.6*256=1689.6=69Ah
Kcf             .word   0182h           ;1 pu,Kcf=(T/Tcf),T=100us,Tcf=1/(300*pi),fc=150Hz

VDC_ref         .word   1000h           ;4.12 format (1) VDC Reference (VDC/Vbase)
                                        ;Vbase=Vm*sqrt(2)/sqrt(3),VDC=600 V


*** PWM modulation constant
PWMPRD          .set    1000                    ;PWM Period=2*1000
                                                ; ->Tc=2*1000*50ns=100us (50ns resolution)

*** PI voltage regulators parameters
Kiv             .word   410 ;205;1024 ;2048     ;Kp =1 Tn=2ms T=100us
                                                ;K=0.2,T=40mS
Kpv             .word   3891;3994 ;3584 ;3072   ; Kp=10
Kcorv           .word   431 ;210 ;1170 ;2730

*** vSqref and VdSr limitations
Vmax            .set    1400h           ;4.12 format=1.25 pu
Vmin            .set    -1400h          ;4.12 format=-1.25 pu

*** iSqref limitations
Isqrefmax       .set    1400h           ;4.12 format=1.25 pu
Isqrefmin       .set    -1400h          ;4.12 format=-1.25 pu

***DC current limitation
Idcmax          .set    1000h           ;Idcmax=1.25
Idcmin          .set    -1000h          ;Idcmin=-1.25

*** Constant for N Module
k2              .set    1305            ;2048;0006h  ;3 Module Kout= 0.33 (1/3)
k1              .set    2048            ;4096;000Dh         ;2 module  kout= 0.66 (1/2)

*** Constant for square root[2]
sqrt_2          .word   16A0h           ; 1.4142 in 4.12 format = 4675d =  1243h

*** Constant for Square Root
__a0    .set    06a48h                  ; 0.1037903  scaled by 2^18
__a1    .set    05d1dh                  ; 0.7274475 scaled by 2^15
__a2    .set    0a9edh                  ; -0.672455 scaled by 2^15
__a3    .set    046d6h                  ; 0.553406 scaled by 2^15
__a4    .set    0bb54h                  ; -0.2682495 scaled by 2^16
__a5    .set    00e5ah                  ; 0.0560605 scaled by 2^16 for Immediate MPY
__isqt2  .set   00b50h                  ;(1/sqrt(2))=0.707106 in scaled Q12 format
                                        ; Also sqrt(2) in scaled Q11 format
__isqt2d  .set  05a82h                  ;(1/sqrt(2)) in Q15 format
                                        ; Also sqrt(2) in Q14 format

*** End Constant for Square Root
ctrl_n                                  ;Defind Data Page Label for keep Variable and Constant
                                        ;label control variable page
        .bss    tmp,1                   ;temporary variable (to use in ISR only !!!)
        .bss    tmp1,1                  ;temporary variable
        .bss    option,1                ;virtual menu option number
        .bss    daout,1                 ;address of the variable to send to the DACs
        .bss    daouttmp,1              ;value to send to the DACs
*** Kout for N module ***
        .bss    kout,1
*** Keep Inductor Current Value
        .bss    Count1,1
        .bss    Count2,1
        .bss    Count3,1
        .bss    IL1,1
        .bss    IL2,1
        .bss    IL3,1
```

```
        .bss    IL1_new,1
        .bss    IL2_new,1
        .bss    IL3_new,1
*** Power Balance Calcution Variable
        .bss    ILoad,1
        .bss    Vo,1
        .bss    Vs,1
        .bss    IL_peak,1
*** DAC displaying table starts here
        .bss    va,1                    ;phase voltage va
***  DC Voltage PI Controller
        .bss    xiv,1
        .bss    upiv,1
        .bss    epiv,1
        .bss    elpiv,1
*** END DAC displaying table
        .bss    VDCinvT,1               ;VDCinv*(T/2) (used in SVPWM)
        .bss    Index,1                 ;pointer used to access sine look-up table
* PI regulators variable
        .bss    upi,1                   ;PI regulators (current and speed) output
        .bss    elpi,1                  ;PI regulators (current and speed) limitation error
        .bss    vSalfa,1                ;alfa-axis voltage
        .bss    vSbeta,1                ;beta-axis voltage
        .bss    vSd,1                   ;d-axis voltage
        .bss    vSq,1                   ;q-axis voltage
        .bss    switch,1
        .bss    delta_vSq,1
        .bss    delta_vSd,1
        .bss    iSdref_v,1
        .bss    iSdref_v2,1
        .bss    count1,1
        .bss    data,1
*** Square Root variable
; I/O and Local symbol definition
sqrt_input      .usect  ".bss",2,1
sqrt_output     .usect  ".bss",1
sqrt_output1    .usect  ".bss",1
temp            .usect  ".bss",2
*** Inverse number variable
; I/O and Local symbol definition
inv2_input      .usect  ".bss",1
inv2_output     .usect  ".bss",1
inv2_output1    .usect  ".bss",1
temp2           .usect  ".bss",1
*** Square X^2
; I/O and Local symbol definition
sq2_input       .usect  ".bss",1
sq2_output      .usect  ".bss",1
temp3           .usect  ".bss",1

*** END Variables and constants initializations

        .text   ;link in "text section"

*********************************************************
* _c_int2 ISR                                           *
*                                                       *
* synchronization of the control algorithm with the PWM *
* underflow interrupt                                   *
*********************************************************

_c_int2:
************************
*       Context Saving     *
************************
        larp    ar7                     ;context save
```

```
        mar     *-
        sst     #1,*-                   ;status register 1
        sst     #0,*-                   ;status register 0
        sach    *-                      ;Accu. low saved for context save
        sacl    *-                      ;Accu. high saved
**********************
* END Context Saving   *
**********************

*****************************
* Initialization phase                *
*****************************
        ldp             #0E1h
        lacl    PEDATDIR
        ldp             #ctrl_n
        sacl    switch
        bit             switch,BIT2
        bcnd    noinit,TC
        ldp             #0E1h
        splk    #0000h,MCRA             ;Set IOPA Enable
        splk    #0FF00h,PADATDIR        ;Set Data Port A = 0
        splk    #0FF00h,PBDATDIR        ;Set Data Port B = 0

        lacc    #0
        ldp     #ctrl_n
        splk    #k2,kout                ; Kout = 2 N-module Normal Operation
        lacc    #0
        sacl    IL1
        sacl    IL2
        sacl    IL3
        sacl    IL1_new
        sacl    IL2_new
        sacl    IL3_new
        sacl    Count1
        sacl    Count2
        sacl    Count3
        sacl    ILoad
        sacl    IL_peak
        sacl    Vo
        sacl    Vs

        b       init
noinit
        ldp     #0E1h
        splk    #0FC4h,MCRA             ;Set PWM Enable
        ldp     #ctrl_n
*****************************
* END Initialization phase          *
*****************************

***************************************
*       Sampling analog signal                *
***************************************
        ldp             #0E1h
        splk    #02010h,ADCTRL1         ;Take ADC out of reset
                                        ; Complete current conversion before stopping
                                        ; Conversion clock prescale Fclk=clk/1
                                        ; Cascade mode. Single 16-state sequencer
        splk    #0Fh,MAXCONV    ; Setup for 16 conversion
        splk    #03210h,CHSELSEQ1       ; Convert Channels 0,1,2,3
        splk    #07654h,CHSELSEQ2       ; Convert Channels 4,5,6,7
        splk    #0BA98h,CHSELSEQ3       ; Convert Channels 8,9,10,11
        splk    #0FEDCh,CHSELSEQ4       ; Convert Channels 12,13,14,15
        splk    #02000h,ADCTRL2         ; Start the conversions
CHK_EOS1:
        bit     ADCTRL2,BIT12           ; Wait for SEQ1 Busy bit to clear
```

```
        bcnd    CHK_EOS1,TC             ; If TC=1 ,keep looping. (Sampling va)
*****************
* ADC CHANNEL 1 * TEST_Signal:Va
*****************
        lacc    RESULT0,10              ; Digital signal to ACC.
        ldp     #ctrl_n
        sach    tmp
        lacl    tmp
        and     #3FFh
        sub     #512                    ; Subtract the offset (2.5V)
        sacl    tmp
        spm     3                       ; PM=11,6 right shift after multiplication
        lt      tmp
        mpy     Kvoltage
        pac
        rpt     #1
        sfr
        sub     #230                    ; Subtract a DC offset
        sacl    va                      ; Sampled voltage va, 4.12 format
        spm     0                       ; PM=00

;*****************
;*  Example for sin input*
;*****************
        ;ldp    #0E1h                   ; Sampling vb
        ;lacc   RESULT1,10              ; Digital signal to ACC.
        ;ldp    #ctrl_n
        ;sach   tmp
        ;lacl   tmp
        ;and    #3FFh
        ;sub    #512
        ;sacl   tmp
        ;spm    3                       ; PM=11,6 right shift after multiplication
        ;lt     tmp
        ;mpy    Kvoltage
        ;pac
        ;rpt    #1
        ;sfr
        ;add    #0                      ; Subtract a DC offset
        ;sacl   vb                      ; Sampled voltage vb, 4.12 format
        ;spm    0                       ; PM=00

*****************
* ADC CHANNEL 2 * Send Vo Input
*****************
        ldp     #0E1h                   ; Sampling VDC
        lacc    RESULT1,10              ; Digital signal to ACC.
        ldp     #ctrl_n
        sach    tmp
        lacl    tmp
        and     #3FFh
        sacl    tmp
        spm     3                       ; PM=11,6 right shift after multiplication
        lt      tmp
        mpy     Kvdc ;Kvoltage
        pac
        rpt     #1
        sfr
        ;add    #820
        sacl    Vo                      ; Sampled voltage VDC, 4.12 format
        spm     0                       ; PM=00

*****************
* ADC CHANNEL 3 * Send Vs(RMS) Input
*****************
        ldp     #0E1h                   ; Sampling VDC
```

```
        lacc    RESULT2,10          ; Digital signal to ACC.
        ldp     #ctrl_n
        sach    tmp
        lacl    tmp
        and     #3FFh
        sacl    tmp
        spm     3                   ; PM=11,6 right shift after multiplication
        lt      tmp
        mpy     Kvdc;Kvoltage;Kvdc
        pac
        rpt     #1
        sfr
        ;add    #820
        sacl    Vs                  ; Sampled voltage VDC, 4.12 format
        spm     0                   ; PM=00

*****************
* ADC CHANNEL 4 * Send ILoad Input
*****************
         ldp    #0E1h               ; Sampling VDC
        lacc    RESULT3,10          ; Digital signal to ACC.
        ldp     #ctrl_n
        sach    tmp
        lacl    tmp
        and     #3FFh
        sacl    tmp
        spm     3                   ; PM=11,6 right shift after multiplication
        lt      tmp
        mpy     Kvdc;Kvoltage
        pac
        rpt     #1
        sfr
        ;add    #820
        sacl    ILoad               ; Sampled voltage VDC, 4.12 format
        spm     0                   ; PM=00

*****************
* ADC CHANNEL 5 * Send IL1 Input
*****************
        ldp     #0E1h               ; Sampling VDC
        lacc    RESULT4,10          ; Digital signal to ACC.
        ldp     #ctrl_n
        sach    tmp
        lacl    tmp
        and     #3FFh
        sacl    tmp
        spm     3                   ; PM=11,6 right shift after multiplication
        lt      tmp
        mpy     Kvdc1
        pac
        rpt     #1
        sfr
        add     #820
        sacl    IL1                 ; Sampled voltage VDC, 4.12 format
        spm     0                                   ; PM=00

*****************
* ADC CHANNEL 7 * Send IL2 Input
*****************
        ldp     #0E1h               ; Sampling VDC
        lacc    RESULT6,10          ; Digital signal to ACC.
        ldp     #ctrl_n
        sach    tmp
        lacl    tmp
        and     #3FFh
        sacl    tmp
```

```
        spm     3                       ; PM=11,6 right shift after multiplication
        lt      tmp
        mpy     Kvdc1
        pac
        rpt     #1
        sfr
        add     #820
        sacl    IL2                     ; Sampled voltage VDC, 4.12 format
        spm     0                       ; PM=00

*****************
* ADC CHANNEL 8 * Send IL3 Input
*****************
  ldp           #0E1h                   ; Sampling VDC
        lacc    RESULT7,10              ; Digital signal to ACC.
        ldp     #ctrl_n
        sach    tmp
        lacl    tmp
        and     #3FFh
        sacl    tmp
        spm     3                       ; PM=11,6 right shift after multiplication
        lt      tmp
        mpy     Kvdc1
        pac
        rpt     #1
        sfr
        add     #820
        sacl    IL3                     ; Sampled voltage VDC, 4.12 format
        spm     0                       ; PM=00

****************************************
*       END sampling - AD conversions  *
****************************************

****************************************
*       Inductor Current Monitor       *
****************************************

        ldp     #ctrl_n
        lacc    IL1
        sacl    IL1_new
        and     #0FFFFh
        sacl    IL1_new

        lacc    IL2
        sacl    IL2_new
        and     #0FFFFh
        sacl    IL2_new

        lacc    IL3
        sacl    IL3_new
        and     #0FFFFh
        sacl    IL3_new


        lacl    IL1_new
        sub     #820
        sub     #300                    ; sub offset input1
        bcnd    N1,LEQ                  ; check IL1_new if IL1_new < 0  jump to N = 3

        lacl    IL2_new
        sub     #820
        sub     #300                    ; sub offset input2
        bcnd    N3,LEQ                  ; check IL2_new if IL2_new < 0  jump to N = 3

        lacl    IL3_new
```

```
        sub     #820
        sub     #300                    ; sub offset input3
        bcnd    N4,LEQ                  ; check IL2_new if IL3_new < 0  jump to N = 3

        lacl    #k2
        sacl    kout
        splk    #00h,Count1
        splk    #00h,Count2
        splk    #00h,Count3
        B       N5

N1      lacl    #0Fh
        sub     Count1
        bcnd    N2,LT
        lacl    #k2
        sacl    kout
        lacl    Count1
        add     #01
        sacl    Count1
        B       N5

N2      lacl    #k1
        sacl    kout
        B       N5

N3      lacl    #0Fh
        sub     Count2
        bcnd    N2,LT
        lacl    #k2
        sacl    kout
        lacl    Count2
        add     #01
        sacl    Count2
        B       N5

N4      lacl    #0Fh
        sub     Count3
        bcnd    N2,LT
        lacl    #k2
        sacl    kout
        lacl    Count3
        add     #01
        sacl    Count3
N5

*************************
*          inverse number     *
*************************
        LDP             #ctrl_n
        LACL            Vs              ;4.12 format

        ;LACL   #0200h                  ;8.8 format
        ;LACL   #2000h                  ;4.12 format

        sfr
        sfr
        sfr
        sfr                             ;conversion 8.8 format

      SACL      inv2_input
      SPLK      #8192,inv2_input        ; Store LSW of X at sqrt_input
      SETC   OVM                        ; To saturate ABS value of 0x8000 to 0x7fff
      SETC   SXM
      SPM    #0
      LAR    AR2,#inv2_input            ; AR2->inv1_input
      LAR    AR0,#temp2                 ; AR0->temp
```

```
        MAR    *,AR2

;================================================
; From here the code is same as CcA
;================================================

        LACC   *,16,AR0         ; Load the input to the ACCH
        BCND   calculate,NEQ    ; If input is zero, return with 0
        LACC   #0000h
        B      return1

calculate:  BCND   positive, GT
        ABS                     ; Obtain the absolute value of x<0

positive:   SACH   *            ; Store |x| in 16.0
        LACC   #01h,15          ; Load 1 in Q15

        RPT    #15
        SUBC   *                ; Perform division to obtain Q

        AND    #0ffffh

        SACL   *
        BIT    *,0,AR2
        BCND   isnot1,NTC
        LACC   #7fffh

isnot1:    BIT    *,0
        BCND   return1,NTC
        NEG

return1:    CLRC   OVM
;================================================
; Upto this point, The code is same as CcA
;=============================================================================
        MAR    *,AR2
        LAR    AR2,#inv2_output
        SACL   *

          lacl      inv2_output
          sfl
          sfl
          sfl
          sfl
          sfl
          sacl      inv2_output1

*************************
*            End inverse number *
*************************

*************************
* Power Balance Control      *
*************************
          spm       0                       ;multiplier kout For N Module
          lacc      kout
          sacl      tmp
          lacc      Vo                      ;Output Voltage Value
          sacl      tmp1
          lt        tmp
          mpy       tmp1
          pac
          sach      tmp,4
          lacc      ILoad                   ;Load Current Value
          sacl      tmp1
          lt        tmp
```

```
        mpy     tmp1
        pac
        sach    tmp,4
        lacc    inv2_output1            ;1/Vs Value RMS Value
        sacl    tmp1
        lt      tmp
        mpy     tmp1
        pac
        sach    tmp,4
        lacc    sqrt_2                  ;Multiplier by 1.414 for Peak Value
        sacl    tmp1
        lt      tmp
        mpy     tmp1
        pac
        sach    tmp,4
        lacc    #930                    ;scale IL_peak for control Output
        sacl    tmp1
        lt      tmp
        mpy     tmp1
        pac
        sach    IL_peak,4

*******************************
* End Power Balance Control    *
*******************************

init

****************************************
*       DAC Displaying                 *
****************************************

        lacc    IL_peak
        rpt     #5
        sfr
        add     #80h
        sacl    data
        sacl    daouttmp
        out     daouttmp,DAC1

        lacc    Vo
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
        out     daouttmp,DAC2

        lacc    Vs
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
        out     daouttmp,DAC3

        lacc    ILoad
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
        out     daouttmp,DAC4

        lacc    IL1
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
```

```
        out     daouttmp,DAC5

        lacc    IL2
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
        out     daouttmp,DAC6

        lacc    IL3
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
        out     daouttmp,DAC7

        lacc    IL_peak
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
        out     daouttmp,DAC8

        out     daouttmp,DAC9
        out     daouttmp,DAC10
        out     daouttmp,DAC11
        out     daouttmp,DAC12

        lacc    #001Ah
        add     #80h
        out     daouttmp,DAC13

        lacc    #001Ah
        add     #80h
        out     daouttmp,DAC14

        lacc    kout
        rpt     #5
        sfr
        add     #80h
        sacl    daouttmp
        out     daouttmp,DAC15
        out     daouttmp,DAC16
****************************************
*       END DAC Displaying              *
****************************************

********************************************************************************
        ldp     #0E8h
        splk    #200h,EVAIFRA   ;Clear all flags, may be change with only T1 underflow ;int.
********************************************************************************

************************************
*       Context restore and Return *
************************************
        larp    ar7
        mar     *+
        lacl    *+                      ;Accu. restored for context restore
        add     *+,16
        lst     #0,*+
        lst     #1,*+
        clrc    INTM
        ret
************************************
*       END Context Restore and Return  *
************************************
```

```
*********************************************************
*       END _c_int2 ISR
*       synchronization of the control algorithm with the PWM
*       underflow interrupt
*********************************************************

_c_int0:

************************
*       Board general settings
************************
        clrc    xf

****************************************
*       Function to disable the watchdog timer
****************************************
        ldp     #0E0h
        splk    #006Fh, WDCNTR
        splk    #05555h, WDKEY
        splk    #0AAAAh, WDKEY
        splk    #006Fh, WDCNTR
        splk    #006Fh, WDCR            ; Disable WD

*********************************************************
*       Function to initialise the Event Manager
*       GPTimer 1 => Full PWM
*       Enable Timer 1==0 interrupt on INT2
*       All other pins are IO
*********************************************************
;Set up SYSCLK and PLL for C24 EVM with 10MHz ;External Clk

        splk    #02FCh,SCSR1            ; Enable clock 20 MHz
        ldp     #ctrl_n
        splk    #0100h,tmp              ; I/O Wait state 4 Clock , Program      WS 4 clock
        out     tmp,WSGR


        ;Clear All EV1 Registers
        zac
        ldp     #0E8h
        sacl    GPTCONA
        sacl    T1CNT
        sacl    T1CMPR
        sacl    T1PR
        sacl    T1CON
        sacl    T2CNT
        sacl    T2CMPR
        sacl    T2PR
        sacl    T2CON
        sacl    COMCONA
        sacl    ACTRA
        sacl    DBTCONA
        sacl    CMPR1
        sacl    CMPR2
        sacl    CMPR3
        sacl    CAPCONA
        sacl    CAPFIFOA
        sacl    CAP1FIFO
        sacl    CAP2FIFO
        sacl    CAP3FIFO
        sacl    CAP1FBOT
        sacl    CAP2FBOT
        sacl    CAP3FBOT

        ;Initialise PWM                 ; No software dead-band
```

```
        splk    #666h,ACTRA             ;Bits 15-12 not used, no space vector
                                        ;PWM compare actions
                                        ;PWM6/PWM5 -Active Low/Active High
                                        ;PWM4/PWM3 -Active Low/Active High
                                        ;PWM2/PWM1 -Active Low/Active High
        splk    #05f0h,DBTCONA          ;dead time generate 40 nS
        splk    #100,CMPR1
        splk    #200,CMPR2
        splk    #300,CMPR3
        splk    #0207h,COMCONA          ;FIRST enable PWM operation
                                        ;Reload Full Compare when T1CNT=0
                                        ;Disable Space Vector
                                        ;Reload Full Compare Action when T1CNT=0
                                        ;Enable Full Compare Outputs
                                        ;Disable Simple Compare Outputs
                                        ;Full Compare Units in PWM Mode
        splk    #8207h,COMCONA          ;THEN enable Compare operation
        splk    #PWMPRD,T1PR ;Set T1 period
        splk    #0,T1CNT
        splk    #08800h,T1CON           ;Ignore Emulation suspend
                                        ;Cont Up/Down Mode
                                        ;x/1 prescalar
                                        ;Use own TENABLE
                                        ;Disable Timer,enable later
                                        ;Internal Clock Source
                                        ;Reload Compare Register when T1CNT=0
                                        ;Disable Timer Compare operation
                                        ;Enable Timer 1
        splk    #08840h,T1CON

*****************************
* Initialization New Module  *
*****************************
        ldp             #ctrl_n
        splk    #k2,kout                ; Kout = 2 N-module Normal Operation
        lacc    #0
        sacl    IL1
        sacl    IL2
        sacl    IL3
        sacl    IL1_new
        sacl    IL2_new
        sacl    IL3_new
        sacl    Count1
        sacl    Count2
        sacl    Count3
        sacl    ILoad
        sacl    IL_peak
        sacl    Vo
        sacl    Vs
*********************************
* End Initialization New Module  *
*********************************

*******************
* ADC Initial     *
*******************
        ldp     #0E1h
        splk    #04000h,ADCTRL1         ; Reset ADC Module
*******************
* End Initial     *
*******************

*********************************************************
*       PWM Channel enable
*       74HC541 chip enable connected to IOPC3 of Digital
*       input/output
```

```
*********************************************************
        ;Configure IO\function MUXing of pins
        ldp     #0E1h
        splk    #0000h,MCRA
        splk    #00F9h,MCRB
        splk    #0001h,MCRC
        splk    #0000h,PBDATDIR
        splk    #0000h,PEDATDIR
        splk    #0FF00h,PFDATDIR
*** END: PWM enable

  ldp   #ctrl_n
  splk  #3E8h,VDCinvT   ;vdc=VDC/Vbase=600/600=1 VDCinvT=PWMPRD/vdc=1000/1=1000
                        ;VDCinvT=PWMPRD/vdc=1000/1=1000 , 3E8h ,4.12 format


*********************************************************
*       Initialize ar7 as the stack for context save
*       space reserved: DARAM B2 60h-80h (page 0)
*********************************************************
        lar     ar7,#79h
        setc    OVM
        spm     0                       ;no shift after multiplication
        setc    sxm                     ;sign extension mode
*******************************
*       END Variables initialization
*******************************

***************************
*       Enable Interrupts
***************************
                                        ;Clear EV IFR and IMR regs
        ldp     #0E8h
        splk    #0200h,EVAIFRA
        splk    #0000h,EVAIFRB
        splk    #0000h,EVAIFRC
                                        ;Enable T1 Underflow Int
        splk    #0200h,EVAIMRA          ;PDPINT is disabled, with 0201h is enabled
        splk    #0000h,EVAIMRB
        splk    #0000h,EVAIMRC
                                        ;Set IMR for INT2 and clear any Flags
        ldp     #0h
        lacc    #03Fh
        sacl    IFR
        lacc    #0000010b
        sacl    IMR
        ldp     #ctrl_n                 ;set the right control variable page
        clrc    INTM                    ;enable all interrupts, now we may serve interrupts
***************************
*       END Enable Interrupts
***************************

***************
*       Virtual Menu
***************
menu
                                        ;default mode (will be saved as context)
        ldp     #0E1h
        splk    #0FF00h,PFDATDIR
        B       menu
*********************************************************
*       END Program
*********************************************************
```

ภาคผนวก ค

บทความวิชาการ

Analysis of Interleaved Input Current Technique for Paralleling Single - phase AC to DC CUK converters

Somsak Manman, Uthen Kamnarn and Viboon Chunkag

Department of Electrical Engineering, Faculty of Engineering
King Mongkut's Institute of Technology North Bangkok, Bangkok, Thailand 10800
E-mail: smm_kmitnb@yahoo.com, k_uthen@hotmail.com, vck@kmitnb.ac.th

ABSTRACT

The analysis of interleaved input current technique for paralleling single – phase AC to DC CUK Converters is presented in this paper. The proposed scheme include three parallel CUK modules using single voltage loop control and inductor current calculator for input wave shaping, inductor current sharing and output voltage regulation. Interleaved technique is proposed to reduce ripple input current. All control parts are implemented by Digital Signal Processor (DSP). The converters have a DC output voltage -48 V and output power 1,500W. Each converter operates in Continuous Conduction Mode (CCM) together with PWM current control. All systems are simulated by MATLAB/Simulink to verify the proposed technique.

Keywords: interleaved input current technique, current sharing, power factor correction, Paralleling Single – phase AC to DC CUK converters.

1. INTRODUCTION

In recently, all technologies have been developed. The operation of distributed power system require high efficiency power supplies. Conventional off-line switching power supplies draw non-sinusoidal input current waveform, resulting in high input current harmonics, low input power factor, high losses on power lines and causing malfunction of electrical equipment.

The ideal AC to DC converters is to shape input line current to be in phase and sinusoidal as the input voltage. The input power factor can be improved to nearly unity by eliminating the input current harmonics. Active power factor correction technique, using a DC to DC converter, has been successfully improved the power factor and reduce input current distortion[1] in single-phase line current rectification.

The parallel-connected single-phase power factor correction circuits have been developed recently. Boost and CUK converter[2][3] are used in PFC applications. Interleaved current technique is proposed for reduce ripple input current. This technique consists of a phase shifting of the control signals of each modules in parallel operating at the same switching frequency.

In this paper, N module for paralleling single – phase AC to DC CUK converters approach is proposed to control input current by power balance control technique[3][4]. Each module operates in CCM and input current among them. The objective of the proposed parallel PFC scheme is to reduce the input ripple current by interleaved technique and improves controller for fast response. The simulation results demonstrate that the proposed system works well, fast dynamic response, and good power factor correction.

2. PROPOSED TOPOLOGY

The schematic diagram of the purposed systemis shown in Fig. 1.

2.1 The Power Stage

The power stage of the system consist of three AC to DC non-isolated CUK converters PFC, a bridge rectifier ,a DC-DC CUK converter. A single output capacitor C_1, is connected at the output terminals for filtering the output voltage ripples for all modules.

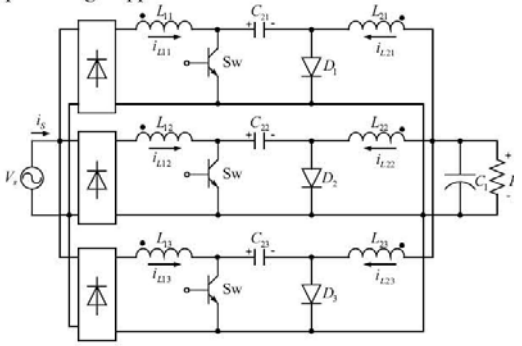


Fig.1: Modular single-phase AC/DC CUK PFC scheme

2.2 The Control Stage

The power balance control technique for the proposed system is shown in Fig.2,. It can be easily implemented by digital control using algorithm programs in DSP chip. It consists of a sinusoidal reference, dc-voltage PI-controller and inductor current calculator. The inductor current calculator computes the desired AC input current. The output voltage is measured and compared to a reference voltage. The resulting error is injected into the PI-controller. The summation signal of the PI- controller and the inductor current calculator computes are multiplied by a signal of rectified input voltage and

compared to a signal of the input inductor current. The resulting modulation signal is processed by a suitable PWM current control together with interleaved switching frequency, generating the driving signal for each modules to control the switch.

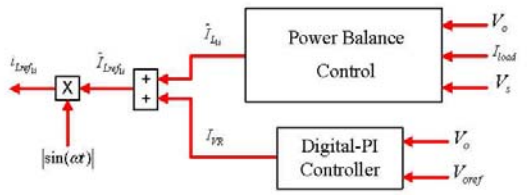


Fig.2: Block diagram for control Stage

2.3 The Interleaved Technique

Interleaved technique can be possibly implemented because general DSP controllers have several numbers of timers so that the switching frequency of supply current is N-time as much as those of inductor current. Therefore, EMI filter can be minimized in the proposed parallel CUK PFC. Fig.3 shows the waveform of interleaved switching technique. Fig.4, Fig 5 shows interleaved technique algorithm implement by DSP.

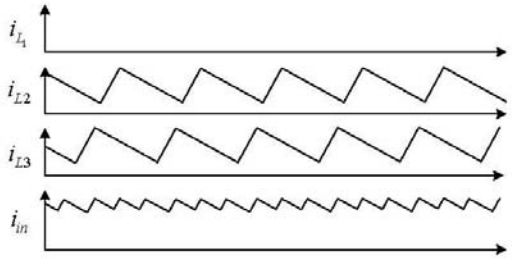


Fig.3: Interleaved switching technique of 3 CUK PFC module.

3. AVERAGE SMALL SIGNAL ANALYSIS

The averaged small signal model of the parallel CUK PFC circuits is based on a power balance control. In this case, the small-signal analysis is performed on an average basis over a complete half-cycle of the sinusoidal input.

3.1 The Power balance control

The power balance [3] [4] equation for operation is :

$$V_g \cdot \sum_{i=1}^{N} I_{L_{1i}} = V_o I_o \qquad (1)$$

V_g is the RMS value of rectifier voltage

$I_{L_{1i}}$ is the RMS values of input inductor current in each module

V_o is the DC output voltage

I_o is the average output current over a line cycle

N is the number of converter in system

$$\hat{I}_{Lref_{1i}} = \hat{I}_{L_{1i}} + I_{VR} \qquad (2)$$

$\hat{I}_{L1i}$ is current signal from inductor current calculator

I_{VR} is correcting signal from PI-controller

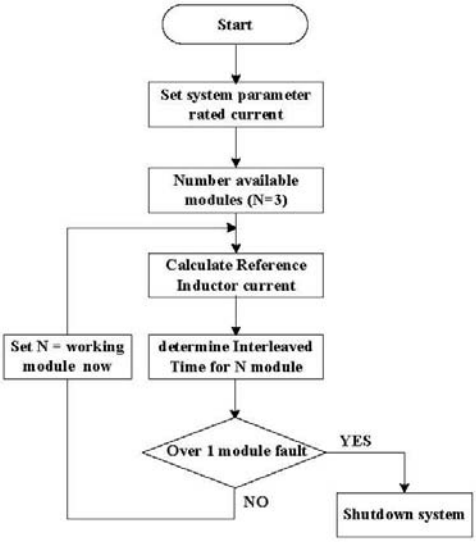


Fig.4: Interleaved Technique Algorithm

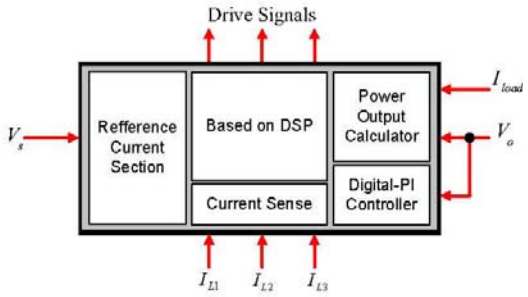


Fig.5: Block diagram of current and voltage control are implemented by DSP algorithms.

The basic concept of the power balance control is that the input power and the output power of the system are equal for one cycle operation, the computed peak value of the inductor current is :

$$V_g \cdot \sum_{i=1}^{N} I_{L_{1i}} = k_g V_o I_{load} \qquad (3)$$

let $\hat{I}_{L_{11}} = \hat{I}_{L_{12}} = \hat{I}_{L_{13}}$

$$\hat{I}_{L_{1i}} = \frac{k_g V_o I_{load}}{N V_g} \qquad (4)$$

The inductor reference current is :

$$i_{Lref_{1i}} = \hat{I}_{Lref1i} \left|\sin(\omega t)\right| \quad (5)$$

The dynamic equation of the output voltage is

$$\sum_{i=1}^{N} I_{L_{2i}} = I_o = C_1 d\frac{V_o}{dt} + I_{load} \quad (6)$$

I_{load} is the load current of proposed system

Applying the perturbation for small signal transfer functions [3][4]. The output voltage can be expressed as

$$\tilde{v}_o = \frac{NG_{VR}\overline{V}_g k_{rms}}{\overline{V}_o C_1 S + NG_{VR}\overline{V}_g k_{rms} k_{fb}} \tilde{v}_{ref} \quad (7)$$

k_{rms} is RMS gain

kfb is feedback gain

3.1 Analysis of Loop Gain

Block diagram of the voltage loop is shown in Fig. 6,. The Nyquist criterion can be translated as the crossover of the loop gain. Phase margin, the difference between the phase at the crossover and -180°, in Bode diagram analysis is larger than -180°.

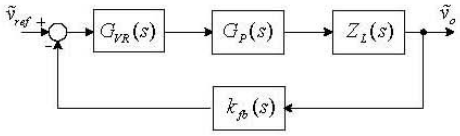


***Fig.6:** Block diagram of the voltage loop.*

4. CONTROLLER DESIGN

Feedback compensation is required to regulate the output voltage when output load is change. A suitable crossover frequency is 1/6 the frequency of line input

Here, a PI controller is :

$$G_{VR}(s) = \frac{k_p(s+\omega_z)}{s} \quad (8)$$

When

$G_{VR}(s)$ is transfer function of PI controller.

$k_p(s)$ is the gain of PI controller.

ω_z is the location of zero.

Plant transfer function is :

$$PTF = \frac{N\overline{V}_g k_{rms} k_{fb}}{(\overline{V}_o C_1)s} \quad (9)$$

Open loop transfer function is :

$$OLTF = (G_{VR})\left(\frac{N\overline{V}_g k_{rms} k_{fb}}{(\overline{V}_o C_1)s}\right) \quad (10)$$

Fig. 7,. show the Bode plot for voltage loop transfer function. The voltage loop is designed to have a crossover frequency of 8 Hz. It also gives a 56° phase margin at crossover frequency.

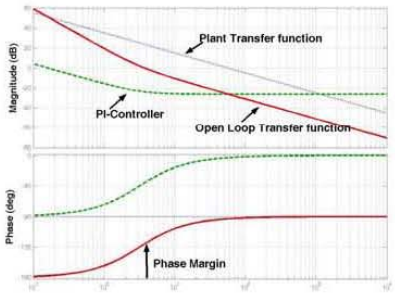


***Fig.7:** Bode plot of the proposed system.*

5. SIMULATION RESULTS

The proposed interleaved input current technique for paralleling single – phase AC to DC CUK Converters have been verified by MATLAB/Simulink with the following parameter. Where as, there is one redundancy module.

Supply Voltage:	220 V 50 Hz
C_{21}, C_{22}, C_{23} :	1 μF
C_1 :	2 x 13,600 μF
L_{11}, L_{12}, L_{13} :	5 mH
L_{21}, L_{22}, L_{23} :	1 mH
Output Voltage:	- 48 V
Rate Module:	750 W/module
Output Power:	1,500 W
Switching Frequency:	50 kHz
Sampling Frequency:	20 kHz

5.1 Steady state response

Input current and voltage waveforms, and inductor current waveforms are shown in Fig. 8,. when N=3 and simulated at the full load (1,500W). Evidently, the line current is exactly in phase with the input line voltage and nearly sinusoidal. Thus, the input power factor approaches unity. Fig. 9 and Fig 10. show the simulated of inductor currents at full load.

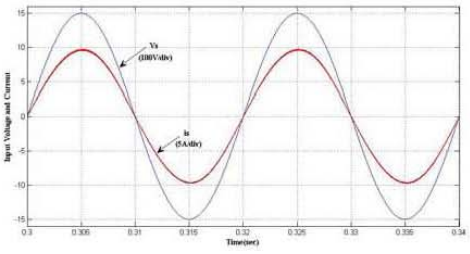


***Fig.8:** Simulation result of input voltage and current waveforms of the proposed system*

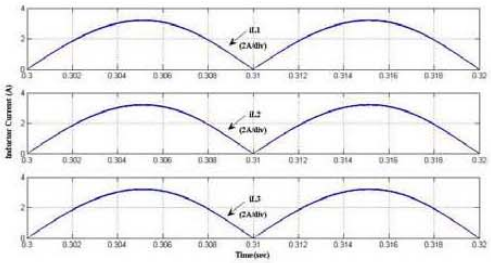


Fig.9: *Simulation result of inductor current waveforms of the proposed system.*

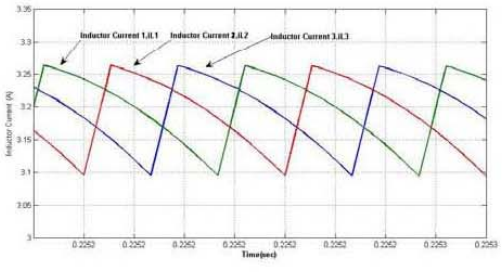


Fig.10: *Simulation result of inductor current waveforms with interleaved technique of the proposed system.*

5.2 Transient response

The simulation result of transient response of the input voltage and current at load step chang from 1,500W to 750W are shown in Fig.11,. In Fig.12,. shows transient response of inductor currents while load had been stepped from 1,500W to 750W. And Fig.13 shows transient response of the output voltage and step load current from 1,500W to 750W and 1,500W.

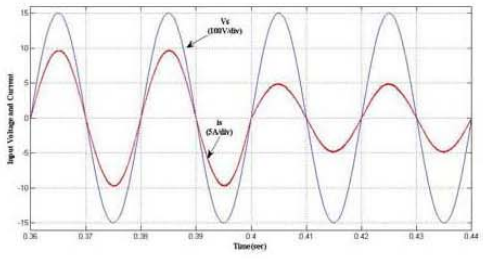


Fig.11: *Transient response of input voltage and current with the proposed controller for step load.*

5. CONCLUSIONS

The interleaved input current technique for paralleling single – phase AC to DC CUK Converters are presented in this paper. The simulation results demonstrate that the proposed system can be performed as expectation. It has been shown that good output voltage regulation, high power factor correction and the inductor sharing are achieved by controlling duty-ratio for all modules.

Moreover, the interleaved technique can reduce ripple input current. And EMI filter can be minimized. All control part employ Digital Signal Processor (DSP). It is simple to generate program algorithm for control the system .

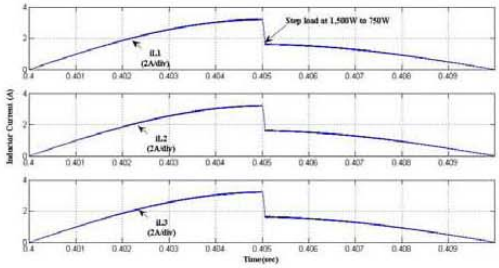


Fig.12: *Transient response of inductor current with the proposed controller for step load.*

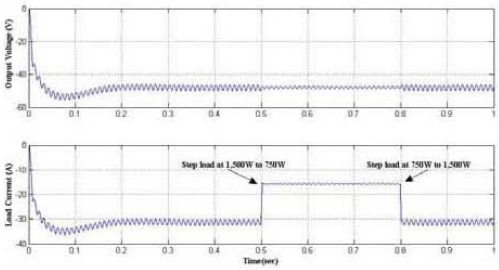


Fig.13: *Transient response of output voltage and load current controller for two step change load.*

5. ACKNOWLEDGEMENT

The authors are grateful to the Department of Electrical Engineering, Faculty of Engineering King Mongkut's Institute of Technology North Bangkok, Bangkok Thailand for the simulation tools of this project.

6. REFERENCES

[1]J.Sebastian, M. Janureguizer, and Uceda,"An overview of power factor correction in single phase off line power supply system," *IECON'94*, Vol. 3, pp.1688-1693,1994.

[2]A. Newton, T.C. Green and D. Andrew, "AC/DC power factor correction using interleaved boost & cuk converts ," *IEE Conf. Publ*, No. 475, 8th, pp 293-298, 1994.

[3]U.Kamnarn, V.Chunkag, "Analysis and Design of Paraallel CUK PFC Circuit based on Power balance control technique," *IPEC 2005*, 2005.

[4]U.Kamnarn, V.Chunkag, "Power balance control techniques applied to parallel AC to DC converters using single – phase SEPIC rectifier modules," *TENCON 2004*, Vol. 4, pp 57 - 60 ,2004.

การวิเคราะห์วงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟสชนิดชุก ด้วยวิธีขนาน โดยตรวจจับกระแสด้านแหล่งจ่ายเพียงชุดเดียว และใช้เทคนิคการเหลื่อมกระแสด้านเข้า

Analysis of Interleaved Input Current Technique for Paralleling Single – phase AC/DC CUK Converters with Line Current Sensing Only

สมศักดิ์ มานมาน อุเทน คำน่าน และวิบูลย์ ชื่นแขก
ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ
1518 ถ.พิบูลสงคราม บางซื่อ กรุงเทพฯ 10800 โทร. 0-2913-2500-24 ต่อ 8518 โทรสาร 0-2585-7350
E-mail:smm_kmitnb@yahoo.co.th, dee69002@kmitnb.ac.th, vck@kmitnb.ac.th

บทคัดย่อ

บทความนี้นำเสนอการวิเคราะห์วงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟส ชนิดชุกด้วยวิธีขนาน โดยตรวจจับกระแสด้านแหล่งจ่ายเพียงชุดเดียว และใช้เทคนิคการเหลื่อมของกระแสด้านเข้า เป็นระบบที่ประกอบด้วยวงจรแปลงผันไฟตรง – ไฟตรงชนิดชุกต่อขนานกัน 3 โมดูล ใช้เทคนิคสมดุลกำลังไฟฟ้าเพื่อคำนวณหากระแสขดลวดเหนี่ยวนำอ้างอิง โดยลดจำนวนของตัวตรวจจับกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล และใช้เทคนิคการเหลื่อมของกระแสด้านเข้า เพื่อลดการกระเพื่อมของกระแสด้านเข้า ในส่วนของแรงดันเอาต์พุตจะควบคุมให้คงที่โดยใช้ตัวควบคุมแบบพีไอ ระบบที่นำเสนอได้ถูกวิเคราะห์และจำลองการทำงานด้วย MATLAB/Simulink ที่แรงดันอินพุต 220 โวลต์ 50 เฮิรตซ์ มีขนาดแรงดันเอาต์พุต – 48 โวลต์ 1,500 วัตต์

คำสำคัญ : เทคนิคการเหลื่อมของกระแสด้านเข้า, เทคนิคสมดุลกำลังไฟฟ้า, การขนานวงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟสชนิดชุก

Abtract

This paper present the analysis of interleaved input current technique for paralleling single – phase AC to DC CUK Converters with Line Current Sensing Only. The proposed scheme consists of three parallel CUK modules. The Power Balance Control Technique used to calculate reference inductor current in each module, and interleaved input current technique used to reduce ripple input current. The output voltage is controlled to be constant by using PI controller. This paper presents the simulation results by using MATLAB/Simulink based on 220V 50Hz input voltage and -48V 1,500W output system .

Keyword : interleaved input current technique, Power Balance Control Technique, Paralleling Single – phase AC to DC CUK converters

1. คำนำ

ในปัจจุบันเทคโนโลยีด้านต่าง ๆ ได้มีการพัฒนาอย่างต่อเนื่อง กระบวนการทำงานของระบบไฟฟ้าขนาดใหญ่ต้องการแหล่งจ่ายกำลังไฟฟ้าที่มีประสิทธิภาพสูง วงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟสที่มีการปรับปรุงตัวประกอบกำลังให้มีค่าใกล้เคียงหนึ่ง เป็นวิธีการที่ทำให้รูปคลื่นกระแสอินพุตใกล้เคียงรูปคลื่นไซน์ และมีกระแสฮาร์มอนิกส์ต่ำ โดยจะมีส่วนวงจรแปลงผันไฟตรง – ไฟตรงประกอบอยู่ด้วย เพื่อปรับปรุงและลดความเพี้ยนของกระแสอินพุต [1]

การขนานวงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟสที่มีการปรับปรุงตัวประกอบกำลังได้ถูกพัฒนาขึ้น มีวัตถุประสงค์เพื่อเพิ่มความสามารถในการจ่ายกำลังไฟฟ้าให้สูงขึ้น โดยมีการนำวงจรแปลงผันไฟตรง – ไฟตรงแบบบูสและชุก[2][3] มาใช้ จากบทความที่ [4] นำเสนอระบบที่ตรวจจับกระแสที่ไหลผ่านขดลวดเหนี่ยวนำของแต่ละโมดูล ทำให้สิ้นเปลืองอุปกรณ์ตรวจจับกระแส ดังนั้นในบทความนี้จะนำเสนอการตรวจจับกระแสด้านแหล่งจ่ายเพียงชุดเดียว และเทคนิคการเหลื่อมของกระแส [4] เพื่อลดการกระเพื่อมของกระแสด้านเข้า โดยเลื่อนเวลาในการควบคุมการสวิตช์ในแต่ละโมดูลให้ทำงานเหลื่อมเวลากัน ทำงานที่ความถี่สวิตช์เท่ากันทุกโมดูล ในโหมดกระแสต่อเนื่อง คำนวณกระแสอ้างอิงด้วยเทคนิคสมดุลกำลังไฟฟ้า[2][3]

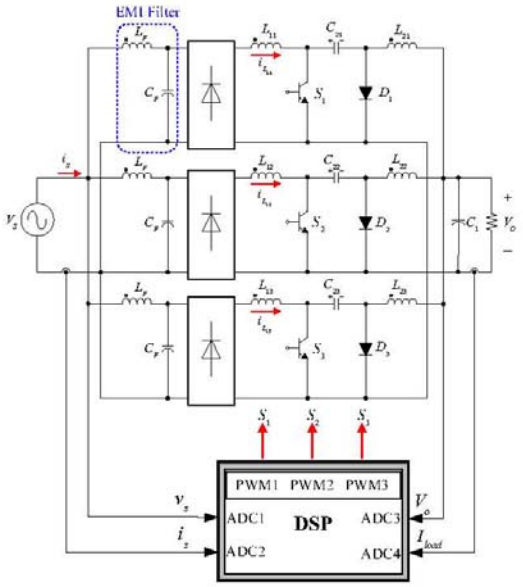
2. ระบบที่นำเสนอ

ระบบที่นำเสนอใช้วงจรแปลงผันไฟตรง – ไฟตรงชนิดชุกในการปรับปรุงตัวประกอบกำลังของวงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟส ที่สามารถประยุกต์ใช้ตัวประมวลสัญญาณดิจิตอลควบคุมระบบทั้งหมดได้ ดังแสดงในรูปที่ 1

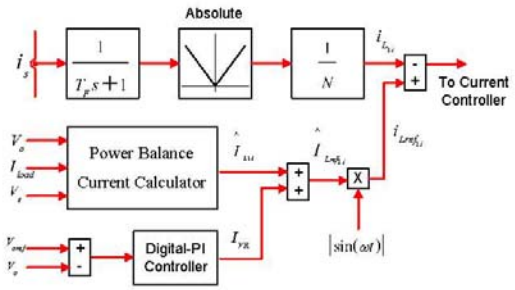
2.1 วงจรภาคกำลัง

ในรูปที่ 1 แสดงโครงสร้างของวงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟสชนิดชุก 3 โมดูลต่อขนานกัน ประกอบด้วย วงจรเรียง

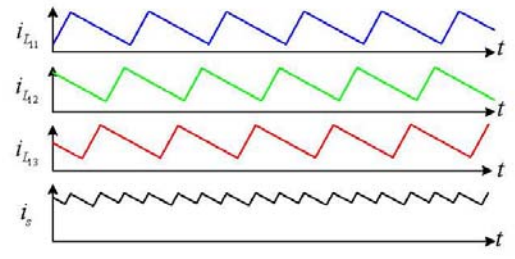
กระแสแบบบริดจ์ อุปกรณ์ทางด้านกำลังของวงจรชุก และมีคาปาซิเตอร์ C_1 ต่ออยู่ด้านเอาต์พุตเพื่อกรองแรงดันทางด้านเอาต์พุตให้มีริปเปิ้ลลดลง



รูปที่ 1 โครงสร้างของวงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟสที่มีการปรับปรุงตัวประกอบกำลังชนิดชุก



รูปที่ 2 บล็อกไดอะแกรมการควบคุมของระบบที่นำเสนอ



รูปที่ 3 เทคนิคการเหลื่อมของกระแสด้านเข้า

2.2 วงจรภาคควบคุม

ภาคควบคุมทั้งหมดของระบบ แสดงในรูปที่ 2 ประกอบด้วยส่วนของการตรวจจับกระแสทางด้านเข้า ส่วนของการคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิง และส่วนของการควบคุมอุปแรงดันเอาต์พุต โดยตัวควบคุมแบบพีไอ ลักษณะการควบคุมจะเริ่มต้นจากการตรวจจับกระแสทางด้านเข้ามา โดยลดจำนวนตัวตรวจจับกระแสลงจากเดิม [4] ที่ตรวจจับกระแสทั้ง 3 โมดูล แล้วส่งไปยังส่วนทำหน้าที่เปลี่ยนเป็นกระแสขดลวดเหนี่ยวนำรวมของระบบ จากนั้นผ่านส่วนทำหน้าที่แบ่งกระแสให้เท่ากันทั้ง 3 โมดูล กระแสที่ได้จากส่วนนี้จะนำไปเปรียบเทียบกับกระแสขดลวดเหนี่ยวนำอ้างอิงในแต่ละโมดูล ส่วนของการคำนวณกระแสขดลวดเหนี่ยวนำอ้างอิง จะอาศัยเทคนิคสมดุลกำลังไฟฟ้าในการคำนวณหาค่ายอดคลื่นของกระแสขดลวดเหนี่ยวนำอ้างอิง เพื่อนำไปรวมกับสัญญาณแก้ไขที่ได้จากตัวควบคุมแบบพีไอ จากนั้นนำผลรวมดังกล่าวคูณกับสัญญาณไซน์อ้างอิง เพื่อเป็นกระแสขดลวดเหนี่ยวนำอ้างอิงของระบบ

2.3 เทคนิคการเหลื่อมของกระแสด้านเข้า

รูปที่ 3 เป็นหลักการของเทคนิคการเหลื่อมของกระแสด้านเข้า เป็นวิธีการเพื่อลดการกระเพื่อมของกระแสด้านเข้าที่เกิดจากการสวิตช์ความถี่สูง โดยควบคุมการสวิตช์ในแต่ละโมดูลให้เหลื่อมเวลากัน ดังนั้นวิธีนี้จึงมีส่วนช่วยในการลดขนาด EMI filter ของระบบดังกล่าวได้

3. การวิเคราะห์และหาแบบจำลองของระบบ

การวิเคราะห์และหาแบบจำลองทางคณิตศาสตร์ ใช้หลักการของเทคนิคสมดุลกำลังไฟฟ้า [3] [4] โดยสมมุติว่า กำลังไฟฟ้าด้านอินพุตเท่ากับด้านเอาต์พุต ระบบไม่มีการสูญเสีย

3.1 สมการโอนย้ายของระบบ

สมการขนาดของกระแสขดลวดเหนี่ยวนำอินพุตอ้างอิงในแต่ละโมดูลคือ

$$\hat{I}_{Lref_{11}} = \hat{I}_{L_{11}} + I_{VR} \qquad (1)$$

$\hat{I}_{L_{11}}$ คือ ขนาดของกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล

I_{VR} คือ สัญญาณแก้ไขที่ได้จากตัวควบคุมแบบพีไอ

เมื่อพิจารณาสภาวะสมดุลกำลังไฟฟ้า สามารถคำนวณหาค่าขนาดของกระแสขดลวดเหนี่ยวนำอินพุตได้ดังนี้

$$V_g \cdot \sum_{i=1}^{N} \hat{I}_{L_{1i}} = k_g V_o I_{load} \qquad (2)$$

กำหนดให้ $\hat{I}_{L_{11}} = \hat{I}_{L_{12}} = \hat{I}_{L_{13}}$

สมการกระแสยอดคลื่นขดลวดเหนี่ยวนำอินพุตในแต่ละโมดูล คือ

$$\hat{I}_{L_{1i}} = \frac{k_g V_o I_{load}}{N V_g} \qquad (3)$$

k_s คือ ค่าคงที่ peak

I_{load} คือ กระแสที่ไหลผ่านภาระ

V_o คือ แรงดันเอาต์พุต RMS

V_g คือ แรงดันเรคติไฟร์

N คือ จำนวนโมดูลที่ต่อขนาน

สมการกระแสขดลวดเหนี่ยวนำอินพุตอ้างอิงในแต่ละโมดูล คือ

$$i_{Lref_{1i}} = \hat{I}_{Lref_{1i}} \left|\sin(\omega t)\right| \tag{4}$$

สมการภาคพลวัตภาคเอาต์พุตของระบบ คือ

$$\sum_{i=1}^{N} i_{L_{2i}} = I_o = C_1 \frac{d}{dt} V_o + I_{load} \tag{5}$$

จากสมการที่ 1 ถึง 5 สามารถหา average small signal model [2][3] ของระบบ โดยการแทนค่าเฉลี่ยและสัญญาณขนาดเล็ก ซึ่งจะได้สมการโอนย้ายของระบบทั้งหมดดังนี้

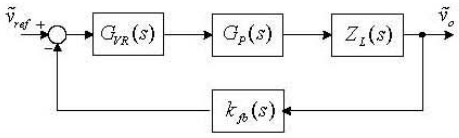
$$\tilde{v}_o = \frac{NG_{VR}\overline{V}_g k_{rms}}{\overline{V}_o C_1 s + NG_{VR}\overline{V}_g k_{rms} k_{fb}} \tilde{v}_{ref} \tag{6}$$

k_{rms} คือ ค่าคงที่ rms

k_{fb} คือ ค่าคงที่ป้อนกลับของระบบ

G_{VR} คือ สมการโอนย้ายของตัวควบคุมแบบพีไอ

4. การออกแบบภาคควบคุม

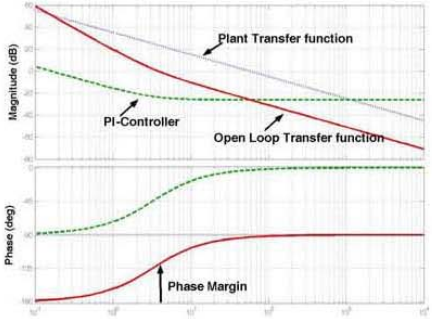


รูปที่ 4 บล็อกไดอะแกรมของลูปควบคุมแรงดัน

บล็อกไดอะแกรมของลูปแรงดัน แสดงในรูปที่ 4 เพื่อรักษาระดับแรงดันเอาต์พุต เมื่อภาระมีการเปลี่ยนแปลง ใช้การวิเคราะห์ด้วยโบดไดอะแกรมของระบบ โดยเลือกความถี่ตัด 1/6 เท่าของความถี่ด้านแหล่งจ่ายอินพุต และพิจารณา Phase Margin ที่เกิดขึ้นระหว่างความถี่ตัดกับมุม -180° ของระบบ ดังแสดงในรูปที่ 5 เพื่อวิเคราะห์หาเสถียรภาพในการควบคุมลูปแรงดัน สมการโอนย้ายวงเปิดของระบบทั้งหมดคือ

$$OLTF(s) = (G_{VR})\left(\frac{N\overline{V}_g k_{rms} k_{fb}}{(\overline{V}_g C_1)s}\right) \tag{7}$$

รูปที่ 5 เป็นขนาดและมุมเฟสของระบบที่นำเสนอ สำหรับออกแบบควบคุมลูปแรงดัน โดยเลือกความถี่ตัดที่ 8 Hz ซึ่งได้ Phase - Margin ที่ความถี่ตัดเท่ากับ 56°



รูปที่ 5 โบดไดอะแกรมของระบบที่นำเสนอ

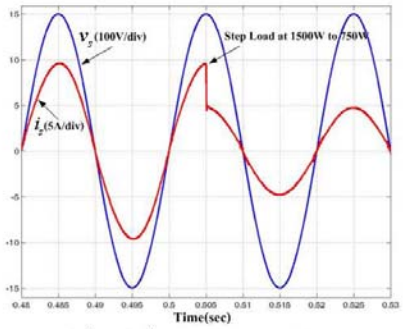
5. ผลการจำลองการทำงาน

ระบบที่นำเสนอสามารถจำลองการทำงานด้วยโปรแกรม MATLAB/Simulink เพื่อศึกษาพฤติกรรมของระบบควบคุมที่มีผลต่อการเปลี่ยนแปลง โดยใช้ค่าพารามิเตอร์ดังนี้

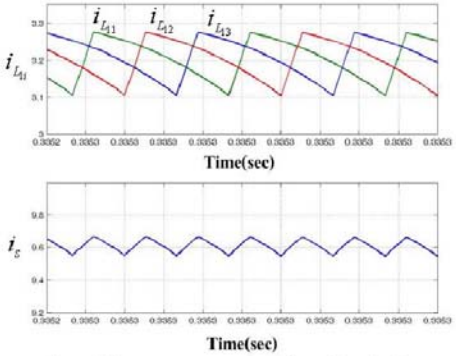
Supply Voltage:	220 V 50 Hz
C_{21}, C_{22}, C_{23} :	1 μF
C_1 :	2 x 13,600 μF
L_{11}, L_{12}, L_{13} :	5 mH, 6 mH, 7 mH
L_{21}, L_{22}, L_{23} :	1 mH, 1.5 mH, 2 mH
Output Voltage:	- 48 V
Output Power:	1,500 W
Switching Frequency:	50 kHz
Sampling Frequency:	20 kHz

ในรูปที่ 6 แสดงรูปคลื่นของกระแสและแรงดันอินพุต เมื่อต่อขนาน 3 โมดูล จำลองการทำงานที่ภาระ 1,500 W จะเห็นว่าระบบสามารถปรับปรุงกระแสอินพุตได้ใกล้เคียงรูปไซน์ และมีค่าตัวประกอบกำลังใกล้เคียงหนึ่ง ส่วนรูปที่ 7 เป็นรูปคลื่นของกระแสขดลวดเหนี่ยวนำโดยใช้เทคนิคการเหลื่อมกระแสด้านเข้า จะได้กระแสขดลวดเหนี่ยวนำในแต่ละโมดูลเหลื่อมกัน ทำให้ผลรวมของกระแสมีการกระเพื่อมลดลง

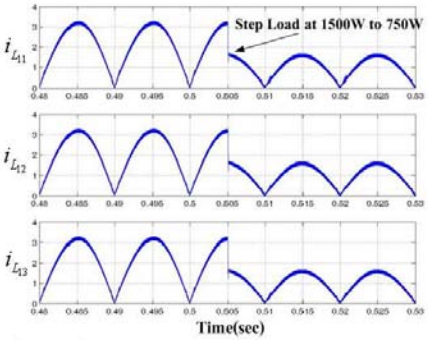
ในรูปที่ 8 แสดงรูปคลื่นของกระแสในแต่ละโมดูล ขณะที่เปลี่ยนแปลงภาระจาก 1,500 W เป็น 750 W และในรูปที่ 9 แสดงรูปคลื่นของแรงดันเอาต์พุตและกระแสที่ภาระของระบบ ขณะเปลี่ยน แปลงภาระระหว่าง 1,500 เป็น 750 W และเปลี่ยนแปลงกลับจาก 750 W เป็น 1,500W อีกครั้ง ซึ่งจะเห็นได้ว่าตัวควบคุมสามารถรักษาระดับแรงดันเอาต์พุตได้ดี และมีความเร็วในการตอบสนองที่ดี



รูปที่ 6 รูปคลื่นแรงดันและกระแสอินพุต



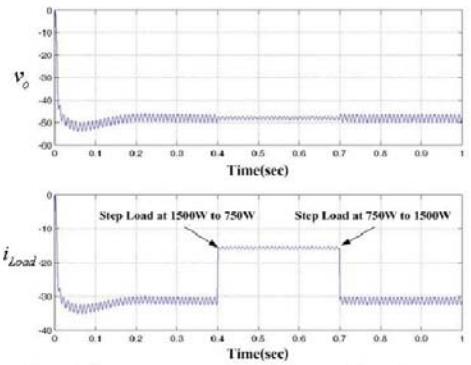
รูปที่ 7 รูปคลื่นของกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล



รูปที่ 8 รูปคลื่นของกระแสขดลวดเหนี่ยวนำในแต่ละโมดูล ขณะเปลี่ยนแปลงภาระระหว่าง 1,500 - 750W

6. สรุป

จากผลการจำลองการทำงานด้วย MATLAB/Simulink ของวงจรแปลงผันไฟสลับ – ไฟตรง 1 เฟส ชนิดชุกด้วยวิธีขนานโดยตรวจจับกระแสด้านแหล่งจ่ายเพียงชุดเดียว และใช้เทคนิคการเหลื่อมของกระแสด้านเข้า ที่ภาระเอาต์พุต 1,500 W สำหรับ 3 โมดูล สามารถปรับปรุงกระแสด้านเข้าให้ใกล้เคียงรูปคลื่นไซน์ มีค่าตัวประกอบกำลังใกล้เคียงหนึ่ง และรักษาระดับแรงดันด้านเอาต์พุตของระบบได้ดี



รูปที่ 9 รูปคลื่นแรงดันและกระแสเอาต์พุตขณะเปลี่ยนแปลงภาระระหว่าง 1,500 - 750W

เอกสารอ้างอิง

[1] J.Sebastian, M. Jamureguizer, and Uceda,"An overview of power factor correction in single phase off line power supply system," *IECON'94*, Vol. 3, pp.1688-1693,1994.

[2] A. Newton, T.C. Green and D. Andrew, "AC/DC power factor correction using interleaved boost & cuk converts ," *IEE Conf. Publ*, No. 475, 8th, pp 293-298, 1994.

[3] U.Kamnarn, V. Chunkag, "Analysis and Design of Parallel CUK PFC Circuit based on Power balance control technique," *IPEC 2005*, 2005.

[4] S. Manman, U. Kamnarn and V. Chunkag, "Analysis of Interleaved Input Current Technique for Paralleling Single – phase AC to DC Converters," *ECTI-CON 2006*, pp 583 - 586, 2006.

สมสักดิ์ มานมาน นักศึกษาภาควิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ งานวิจัย การออกแบบระบบจ่ายไฟสลับ – ไฟตรงที่ควบคุมด้วยตัวประมวลสัญญาณแบบดิจิตอล

อุเทน คำน่าน นักศึกษาภาควิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ งานวิจัย การออกแบบระบบจ่ายไฟสลับ – ไฟตรง ระบบจ่ายไฟตรง – ไฟตรง

วิบูลย์ ชื่นแขก อาจารย์ประจำภาควิชาวิศวกรรมไฟฟ้าสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ งานวิจัย การออกแบบแหล่งจ่ายไฟแบบสวิตช์ชิ่ง ฮาร์มอนิกส์และการแก้ไข

ประวัติผู้วิจัย

ชื่อ : นายสมศักดิ์ มานมาน

ชื่อวิทยานิพนธ์ : การวิเคราะห์และออกแบบวงจรแปลงผันไฟฟ้ากระแสสลับ 1 เฟสเป็นไฟฟ้ากระแสตรงชนิดชุกด้วยวิธีขนานและใช้เทคนิคการเหลื่อมกระแสด้านเข้า

สาขาวิชา : วิศวกรรมไฟฟ้า

ประวัติ

เกิดวันที่ 12 พฤษภาคม พ.ศ. 2524 ที่จังหวัดนครนายก เป็นบุตรคนที่ 3 ในจำนวนพี่น้อง 4 คน ปัจจุบันอาศัยอยู่บ้านเลขที่ 66/113 หมู่ 3 ซอยจาริพิบูลย์ ต.บางเขน อ.เมือง จ.นนทบุรี 11000

ประวัติการศึกษา สำเร็จการศึกษาในระดับประกาศนียบัตรวิชาชีพ สาขาวิชาช่างอิเล็กทรอนิกส์ จากวิทยาลัยเทคนิคนครนายก เมื่อปีการศึกษา 2541 สำเร็จการศึกษาระดับปริญญาตรีครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ เมื่อปีการศึกษา 2545

ประวัติการทำงาน พ.ศ. 2546-2547 อาจารย์ประจำแผนกช่างอิเล็กทรอนิกส์ โรงเรียนเทคโนโลยีพระรามหก บางพลัด กรุงเทพฯ พ.ศ. 2548-2550 อาจารย์พิเศษภาควิชาครุศาสตร์ไฟฟ้า คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ