หัวข้อวิทยานิพนธ์	การเพิ่มความเร็วของการประมวลผลสัญญาณดิจิตอล ด้วยโปรเซสเซอร์คู่ขนานโดยใช้ TMS320Cxx
นักศึกษา	นายพิเชษฐ์ ศรีสังข์งาม
รหัสประจำตัว	40061082
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ. ศ.	2543
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. กอบชัย เดชหาญ

บทคัดย่อ

การประมวลผลสัญญาณที่เวลาจริง (Real Time Processing) เช่น การประมวลผลสัญญาณเสียง (Speech Processing) การประมวลผลสัญญาณภาพ (Image Processing) มักจะประสบปัญหาในเรื่องตัวประมวลผลสัญญาณทำงานได้ไม่เร็วพอ ทำให้เกิดความผิดพลาดขึ้นในระบบการประมวลผลสัญญาณนั้นๆ วิทยานิพนธ์นี้จึงนำเสนอการออกแบบและสร้างระบบประมวลผลสัญญาณดิจิตอลโดยใช้ตัวประมวลผลสัญญาณดิจิตอลเบอร์ TMS320C2x สองตัวทำงานร่วมกันในลักษณะใช้หน่วยความจำร่วมกัน (Share Memory) เพื่อให้มีความเร็วในการประมวลผลสัญญาณของระบบสูงขึ้น สถาปัตยกรรมของระบบการประมวลผลสัญญาณที่ใช้ในวิทยานิพนธ์นี้เป็นสถาปัตยกรรมแบบ MIMD.(Multiple Instruction Stream Multiple Data Stream) สำหรับอัลกอริทึมที่นำมาสร้างบนระบบนี้นั้นจะต้องทำการปรับปรุงอัลกอริทึมให้เหมาะสมกับการคำนวณแบบขนาน (Parallel Computing) ซึ่งวิทยานิพนธ์นี้ได้ทำการทดลองปรับปรุงอัลกอริทึมพื้นฐานในระบบการประมวลผลสัญญาณดิจิตอล คือ ตัวกรองดิจิตอลแบบเอฟไออาร์ ไอไออาร์ และการแปลงสัญญาณดิจิตอลแบบฟาสท์ฟูเรียร์ โดยผลการทดลองจะแสดงเป็นเวลาที่ใช้ในการคำนวณระหว่างการใช้ตัวประมวลผลสัญญาณดิจิตอลตัวเดียวเทียบกับการใช้ตัวประมวลผลสัญญาณดิจิตอลสองตัว ผลการทดลองพบว่าความเร็วจะเพิ่มขึ้นซึ่งเป็นไปตามทฤษฎี