หัวข้อวิทยานิพนธ์	การออกแบบและวิเคราะห์สมรรถนะของระบบเอ็มเอฟเอสเค
นักศึกษา	นายสัมพันธ์ พรหมพิชัย
รหัสประจำตัว	39061025
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2542
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบและการวิเคราะห์ระบบ MFSK โดยในภาคมอดูเลเตอร์ได้นำเสนอโครงสร้างใหม่โดยใช้ IIR ซึ่งใช้บิตข้อมูลไปควบคุมการเปลี่ยนความถี่ เฟสของสัญญาณมีความต่อเนื่องทุกๆ บิตข้อมูล โดยรักษาดรรชนีการมอดูเลตเท่ากับ 0.5 โครงสร้างมีความซับซ้อนน้อยกว่าโครงสร้าง MFSK มอดูเลเตอร์แบบมาตรฐานทั่วไป ภาคดีมอดูเลเตอร์ออกแบบเป็นแบบร่วมนัยโดยใช้วิธีการของ FFSK ในส่วนของแคเรียซิงโครไนซ์ออกแบบโดยการถ่ายโอนความสัมพันธ์จากอนาลอกโดเมนมาสู่ดิจิตอลโดเมน โดย DVCO ใช้โครงสร้างของ IIR ลูปฟิลเตอร์อาศัยวิธีการถ่ายโอนจากฟังก์ชันถ่ายโอนของอนาลอกเฟสล็อกลูป ร่วมกับส่วนเข้าจังหวะสัญญาณนาฬิกา ส่วนคอรีเรเตอร์ ส่วนดีโคดเดอร์ ส่วนดิฟเฟอเรนเชียลดีโคดเดอร์ โครงสร้างทั้งหมดจำกัดบิตในการคำนวณไว้ที่ 12 บิต ใช้อัตราการสุ่ม 20 เท่าของอัตราบิต สมรรถนะของระบบทดสอบโดยจำลองการทำงานด้วยโปรแกรม MATLAB เมื่อเปรียบเทียบกับเครื่องรับสัญญาณ FSK แบบร่วมนัยมาตรฐาน ระบบที่นำเสนอจะลดขนาดของ $\frac{E_b}{No}$ ลงมากถึง 3 dB ที่ BER ในช่วง 10^{-3} ถึง 10^{-4} ระบบตอบสนองต่อการเปลี่ยนเฟสและความถี่อย่างทันทีทันใดเร็วกว่าระบบที่ออกแบบด้วยวิธีการทางดิจิตอลโดยตรง และได้เสนอแนวทางในการแก้ปัญหาเมื่อนำไปใช้งานกับการเลื่อนความถี่อย่างรุนแรง