

วิทยานิพนธ์นี้เป็นการนำเสนอการนำเทคนิคไปป์ไลน์มาปรับปรุงประสิทธิภาพของไมโครคอนโทรลเลอร์ MCS-51 ให้สูงขึ้นโดยพยายามลดจำนวนสัญญาณนาฬิกาที่ใช้ในการทำคำสั่งลงจากเดิม 12 ไซเคิลต่อ 1 คำสั่งให้เหลือเพียง 1-9 ไซเคิลต่อ 1 คำสั่ง การออกแบบใช้ไปป์ไลน์จำนวน 5 สเตจโดยใช้ภาษาวีเอชดีแอลในการออกแบบและทดสอบความถูกต้องด้วยวิธีการจำลองการทำงานแล้วทำการสังเคราะห์วงจรให้อยู่ในระดับเกต และทดสอบการทำงานบนเอฟพีจีเอ สิ่งที่ได้คือโปรเซสเซอร์ความเร็วสูงสำหรับการสร้างวงจรแบบฝังตัวที่มีความเร็วสูงกว่าไมโครคอนโทรลเลอร์เบอร์ 80C51 ของบริษัท Intel ถึง 7.3 เท่าในแง่ของจำนวนคำสั่งที่สามารถทำงานได้ต่อหน่วยเวลาเมื่อทำงานที่ความถี่สัญญาณนาฬิกาเดียวกัน โดยโปรเซสเซอร์ที่พัฒนาขึ้นมาสามารถสนับสนุนชุดคำสั่งของ MCS-51 ได้ทุกคำสั่งจำนวน 111 คำสั่ง

ABSTRACT

TE138947

This thesis describes the use of pipeline technique to improve the performance of MCS-51 microcontroller by reducing the clock cycle per instruction from 12 clocks per cycle to 1-9 clocks per cycle. The CPU was designed with 5-stages pipeline by using VHDL language to model the CPU and verified by simulation. We have done the simulation in 2 levels: functional simulation and post-layout simulation. The outcome CPU is a high speed processor core which 7.3 times faster than lagacy 8051 in terms of clock cycles per instruction at the same clock frequency.