T 140368

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เป็นการนำเสนอการออกแบบวงจรกรองสัญญาณเชิงเลข(Digital Filter) ซึ่งใช้โครงสร้างเลขคณิตกระจาย (Distributed Arithmetic) ที่นำเสนอโดย [1-8] แต่วิธีการดังกล่าวได้สร้างขึ้นมาจากฟังก์ชันถ่ายโอน (Transfer Function) โดยตรง ส่วนในวิทยานิพนธ์นี้ได้ใช้เทคนิคการแทนสมการผลต่างสืบเนื่องด้วยปริภูมิสเตท (State-Space Representation) ส่งผลให้จำนวนของสัญญาณอินพุทที่ใช้ในการอ้างอิงตำแหน่งของหน่วยความจำลดลง และเนื่องจากปริภูมิสเตทเป็นรูปแบบทางคณิตศาสตร์ที่อยู่ในรูปของเมตริกซ์ ทำให้การคำนวณหาค่าสเกลลิ่งแฟคเตอร์ (Scaling Factor) เพื่อป้องกันการเกิดโอเวอร์โฟล์ว (Overflow) สามารถคำนวณได้โดยง่ายด้วยวิธีการทางเมตริกซ์ ส่วนในแง่ของการสร้างได้ใช้ภาษา VHDL ในการบรรยายการทำงานของวงจรที่ออกแบบ แล้วทำการสังเคราะห์เป็นวงจรออกมา โดยวงจรที่ได้จะถูกนำไปแม็ปลงไปยังอุปกรณ์ FPGA (Field Programmable Gate Array) เพื่อทดสอบการทำงาน

TE140368

ABSTRACT

This thesis presents a design of digital filter based on distributed arithmetic, its transfer function can be used for hardware realization. This thesis proposes state-space representation in order to reduce a number of input of a memory. Scaling factor to prevent the overflow can be determined by matrix computation. An implementation can be used VHDL to describe the hardware of digital filter and synthesis for mapping on FPGA.