214534

วิธีการอัดคำสั่งเป็นวิธีลดขนาดโปรแกรมวิธีหนึ่ง ทำโดยการนำคำสั่งหลายๆคำสั่งมารวมกันบรรจุไว้ด้วยกัน ส่งผลให้วิธีการนี้มีส่วนช่วยเพิ่มสมรรถนะของหน่วยประมวลผล โดยช่วยลดเวลาที่ใช้ในการอ่านคำสั่งจากหน่วยความจำ

วิทยานิพนธ์นี้นำเสนอขั้นตอนการออกแบบวงจรหน่วยประมวลผล พร้อมทั้งนำเสนอการนำวิธีการอัดคำสั่งมาประยุกต์ใช้ เพื่อเพิ่มสมรรถนะให้กับหน่วยประมวลผลนี้ เนื่องจากงานวิจัยนี้มีจุดมุ่งหมายที่จะสร้างหน่วยประมวลผลสำหรับระบบฝังตัวที่มีทรัพยากรจำกัด เป้าหมายการออกแบบวงจรหน่วยประมวลผลเพื่อให้มีขนาดเล็ก ใช้ทรัพยากรเท่าที่จำเป็น โดยที่ยังมีประสิทธิภาพในการทำงานที่ไม่ช้าเกินไป อีกทั้งวิธีการอัดคำสั่งที่ใช้ต้องมีคุณสมบัติในด้านใช้ทรัพยากรน้อย โดยพิจารณาจากขนาดวงจรที่ต้องเพิ่มเข้าไป เพื่อให้วงจรหน่วยประมวลผลรองรับการอัดคำสั่งได้

การอัดคำสั่งที่นำมาประยุกต์ใช้กับหน่วยประมวลผลนี้ ช่วยลดขนาดโปรแกรมได้ร้อยละ 37.9 ของขนาดโปรแกรมปกติ และทำงานได้เร็วขึ้น 1.22 เท่า จากการลดจำนวนรอบนาฬิกาที่ใช้ในการอ่านคำสั่งจากหน่วยความจำ ในด้านการใช้ทรัพยากร วงจรที่ต้องเพิ่มให้วงจรหน่วยประมวลผลเพื่อให้รองรับการอัดคำสั่งนั้น มีขนาดเพียงร้อยละ 3 ของขนาดวงจรหน่วยประมวลผลเดิม

หน่วยประมวลผลที่ได้ออกแบบในงานวิจัยนี้ ใช้จำนวนเกตสมมูล 13,060 เกต ในด้านประสิทธิภาพของหน่วยประมวลผลนี้ได้รับการเปรียบเทียบกับหน่วยประมวลผลไมโครแบลซ ซึ่งเป็นหน่วยประมวลผลขนาด 32 บิต ที่มีการใช้งานกันอย่างแพร่หลายในอุตสาหกรรมระบบฝังตัว พบว่าหน่วยประมวลผลที่ได้ออกแบบในงานวิจัยนี้ ใช้จำนวนรอบนาฬิกาในการทำงานใกล้เคียงกับหน่วยประมวลผลไมโครแบลซ ความถี่สัญญาณนาฬิกาสูงสุดของหน่วยประมวลผลที่ออกแบบในงานวิจัยนี้อยู่ที่ 63 เมกะเฮิร์ทซ์

Instruction packing is one of the code compression techniques. It is done by packing more than one instruction to form a new packed-instruction. The packed-instruction can be fetched from the program memory in one clock cycle. Hence the processor's performance is improved by reducing the number of memory access.

This thesis proposes a design of a 32-bit processor. Its performance has been improved by instruction packing method. The proposed processor is designed for a limitted resource embedded system. The goal of this work is to design a low-cost processor with adequate performance. The instruction packing method must requires low resource. It should not increase the size of the circuit too much.

The instruction packing proposed in this work reduces the code size by 37.9% compared to a normal code. In term of performance, the processor executes packed-code 1.22 time faster than normal code. The instruction packing method increases the proposed processor equivalent gate by 3%.

The proposed processor requires 13,060 equivalent gates. Its maximum frequency is 63 MHz. In term of cycles consumed, it compares very well to the commercial 32-bit Xilinx's microprocessor, Micro Blaze.