

247329

ห้องสมุดงานวิจัย สำนักงานคณะกรรมการการวิจัยแห่งชาติ



รายงานวิจัยฉบับสมบูรณ์

โครงการ โพรเซสเซอร์ร่วมกำลังไฟต่ำสามารถปรับเปลี่ยน โครงสร้างได้แบบไดนามิก

โดย ผศ. ดร. วรณรัช สันติอมรทัต และคณะ

กุมภาพันธ์ 2554

600252014

247329

ห้องสมุดงานวิจัย สำนักงานคณะกรรมการวิจัยแห่งชาติ



247329



รายงานวิจัยฉบับสมบูรณ์

โครงการ โพรเซสเซอร์ร่วมกำลังไฟต่ำสามารถปรับเปลี่ยน โครงสร้างได้แบบไดนามิก



โดย ผศ. ดร. วรณรัช สันติอมรทัต และคณะ

กุมภาพันธ์ 2554

รายงานวิจัยฉบับสมบูรณ์

โครงการ โพรเซสเซอร์ร่วมกำลังไฟต่ำสามารถปรับเปลี่ยนโครงสร้าง
ได้แบบไดนามิก

คณะผู้วิจัย

1. ผศ. ดร. วรณรัช สันติอมรทัต
2. รศ. ดร. สินชัย กมลวิวงศ์

สังกัด

มหาวิทยาลัยสงขลานครินทร์
มหาวิทยาลัยสงขลานครินทร์

สนับสนุนโดย

สำนักงานกองทุนสนับสนุนการวิจัย

(ความเห็นในรายงานนี้เป็นของผู้วิจัย สกว. ไม่จำเป็นต้องเห็นด้วยเสมอไป)

กิตติกรรมประกาศ

งานวิจัยนี้สำเร็จลุล่วงลงได้ ด้วยการสนับสนุนทุนวิจัย (ทุนพัฒนาศักยภาพในการทำงานวิจัยของอาจารย์รุ่นใหม่) จากสำนักงานคณะกรรมการอุดมศึกษาและสำนักงานกองทุนสนับสนุนการวิจัย ผู้เขียนขอขอบพระคุณ คณะผู้บริหารและเจ้าหน้าที่ของ สกว. ในทุกระดับชั้น ที่ได้ให้การสนับสนุนและช่วยเหลือในการทำงานวิจัยนี้

ผู้เขียนขอขอบพระคุณ รศ.ดร. สินชัย กมลวิวงศ์ ที่ได้ออกหนังสือรับรองในการเป็นที่ปรึกษาให้กับโครงการวิจัยนี้

ผู้เขียนขอขอบพระคุณ อาจารย์ ผศ. อภินันท์ อุณาภูล ภาควิชาวิศวกรรมคอมพิวเตอร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้ให้แรงบันดาลใจและแนวคิดที่ช่วยเหลือในการทำงานหลายๆด้าน Dr. Jim Garside มหาวิทยาลัยแมนเชสเตอร์ ที่คอยให้คำปรึกษาแนวคิดผ่านทาง E-mail เสมอมา ขอขอบพระคุณกำลังใจจากคนที่ “บ้าน” ที่ช่วยให้ความท้อแท้หายไป แล้วสามารถเขียนงานได้สำเร็จ

สุดท้ายนี้ ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ครู อาจารย์ ที่ได้ให้ชีวิต เลี้ยงดู อบรม และ สั่งสอน จนผู้เขียนมีวันนี้ได้

บทคัดย่อ

รหัสโครงการ: MRG5080411

ชื่อโครงการ: โพรเซสเซอร์ร่วมกำลังไฟต่ำสามารถปรับเปลี่ยนโครงสร้างได้แบบไดนามิก

ชื่อนักวิจัย: ผศ. ดร. วรณรัช สันตอมรทัต มหาวิทยาลัยสงขลานครินทร์

อีเมล: wannarat@coe.psu.ac.th, suntiamorntut@gmail.com

ระยะเวลาโครงการ: 2 ปี

247329

เนื่องจากหน่วยประมวลผลที่เป็นแบบ ASIC (application specific integrated circuit) สามารถตอบสนองความต้องการในเรื่องการทำให้พลังงานต่ำและสามารถให้ประสิทธิภาพการสูง แต่ราคาที่สูงของเทคโนโลยีแบบ ASIC ทำให้ไม่เหมาะที่จะนำมาใช้งานสำหรับผลผลิตทางอิเล็กทรอนิกส์ระดับกลาง – เล็ก สำหรับเทคโนโลยีแบบที่สามารถโปรแกรมได้ (programmable device) ที่อาจจะไม่ได้เปรียบในเชิงของการใช้พลังงาน แต่สามารถช่วยเพิ่มประสิทธิภาพและความยืดหยุ่นให้กับผู้ใช้งาน ในงานวิจัยนี้จึงใช้โครงสร้างแบบผสมระหว่าง ASIC ในบล็อกถือว่าเป็น element หนึ่ง โดยผู้ใช้งานสามารถควบคุมและโปรแกรมได้ ซึ่งมีโครงสร้างของ datapath ที่สามารถปรับเปลี่ยนได้ตามงานที่ได้รับ เราเรียกว่า dynamically reconfigurable datapath (DRD)

การปรับเปลี่ยนโครงสร้างภายในเช่นนี้ช่วยให้งานแต่ละชนิดสามารถใช้ทรัพยากรที่มีอยู่ได้อย่างคุ้มค่า ส่งผลให้เกิดการใช้พลังงานได้อย่างเหมาะสมที่สุด งานวิจัยนี้นำเสนอโพรเซสเซอร์ร่วมที่สามารถปรับเปลี่ยนได้แบบไดนามิกที่ออกแบบด้วยเทคนิค clock-gating และนำเสนอแนวคิดของซอฟต์แวร์ช่วยออกแบบในการวางอุปกรณ์และการเชื่อมต่อที่ทำงานได้รวดเร็ว เพื่อลด overhead ในระหว่างการทำงาน

โพรเซสเซอร์ร่วมมีโครงสร้างที่สามารถโปรแกรมให้ใช้งานได้สูงสุด 4 FU (Functional Unit) ผลการจำลองการทำงานบนเทคโนโลยี FPGA XC3SD1800 ในกรณีนี้ที่ทำงานด้วย FU สูงสุด 4 ตัว พบว่าทำงานได้ด้วยความถี่ 59 MHz ใช้พลังงาน 34.64mW ซึ่งสามารถประมวลผล FIR 20-tap เสร็จภายในเวลา 0.339 ไมโครวินาทีและสำหรับผลการทดสอบแนวคิดการวาง task แบบไดนามิกบน FPGA ของซอฟต์แวร์ช่วยออกแบบ พบว่าใช้อัลกอริทึมแบบ first fit และ best fit ใช้ความเร็ว และจำนวนของ task ที่วางลงบน FPGA ไม่ได้ไม่แตกต่างกัน ดังนั้นจึงเลือกใช้อัลกอริทึมแบบ first fit เนื่องจากมีจำนวนของพื้นที่ว่างน้อยกว่า

คำหลัก: dynamically reconfigurable datapath, run-time placement algorithm, FPGA

Abstract

Project Code: MRG5080411

Project Title: Low Power Coprocessor using Dynamically Reconfiguration

Investigator: Asst. Dr. Wannarat Suntiamorntut Prince of Songkla University

E-mail Address: wannarat@coe.psu.ac.th, suntiamorntut@gmail.com

Project Period: 2 years

247329

ASIC (application specific integrated circuit) processor dissipates a low power consumption and is able to perform at a high speed. Unfortunately, ASIC production costs every high expense. Therefore, it is not suitable for a prototype or a small volume product. A programmable device becomes a good choice. Reconfigurable hardware will give a better performance and flexibility. This research work proposes Dynamically Reconfigurable Datapath (DRD) which is to reconfigure a part of FPGA while the processor of FPGA is still working.

This reconfigurable datapath can increase resource utilization and sharing when image or video processing applications are applied. Thus it also increases the energy efficiency. This dynamically reconfigurable co-processor employs clock-gating technique. We also introduce the concept of computer aided software for dynamic reconfigurable design which is able to reduce an overhead of place and route algorithm.

This dynamic reconfigurable co-processor can be programmed and used up to four parallel functional units (FUs). The design was implemented on FPGA XC3SD1800. The simulation result shows that the co-processor can run at 59 MHz and dissipated 34.64 mW which can complete FIR 20-tap within 0.339 us. The preliminary result of task placement suggests that both first fit and best fit algorithms give the similar speed and the number of task that cannot be placed. Therefore, we choose first fit algorithm in our EDA tool because of the lower list of the empty space.

Keywords: dynamically reconfigurable datapath, run-time placement algorithm, FPGA

สารบัญ

| | หน้า |
|--|-----------|
| กิตติกรรมประกาศ | iii |
| บทคัดย่อ (ไทย) | iv |
| บทคัดย่อ (อังกฤษ) | v |
| สารบัญ | vi |
| หน้าสรุปโครงการ (Executive Summary) | 1 |
| | |
| บทที่ 1 บทนำ | 6 |
| 1.1 ชื่อโครงการวิจัย | 6 |
| 1.2 สาขาวิชาที่ทำกรวิจัย | 6 |
| 1.3 ความสำคัญและที่มาของปัญหาที่ทำการวิจัย | 6 |
| 1.4 วัตถุประสงค์ของโครงการวิจัย | 7 |
| 1.5 ผลงานวิจัยที่เกี่ยวข้องและเอกสารอ้างอิง | 7 |
| 1.6 ระเบียบวิธีวิจัย | 8 |
| 1.7 ขอบเขตของโครงการวิจัย | 9 |
| 1.8 แผนการดำเนินงานวิจัยตลอดโครงการ | 9 |
| 1.9 ผลงานวิจัย | 10 |
| 1.10 เอกสารอ้างอิง | 11 |
| บทที่ 2 การออกแบบโปรเซสเซอร์ร่วมกำลังไฟต่ำสามารถปรับเปลี่ยนโครงสร้างได้แบบไดนามิก | 13 |
| 2.1 บทนำ | 13 |
| 2.2 ขั้นตอนการออกแบบโปรเซสเซอร์ร่วมที่สามารถปรับเปลี่ยนโครงสร้างได้แบบไดนามิก | 14 |
| 2.2.1 สถาปัตยกรรม | 14 |
| 2.2.2 รูปแบบคำสั่ง | 16 |
| 2.2.3 ขั้นตอนการออกแบบโมเดลด้วยภาษาซี | 19 |
| 2.2.4 โครงสร้างของตัวแปลภาษา | 20 |
| 2.3 เทคนิคการออกแบบ | 20 |
| 2.3.1. เทคนิคการออกแบบ element พลังงานต่ำใน FU | 20 |
| 2.3.2. การปรับวงจร asynchronous เป็น clock-gating สำหรับ FPGA | 22 |
| 2.4 ผลการทดลอง | 24 |
| 2.5 สรุป | 25 |

| | |
|--|----|
| บทที่ 3 ผลการศึกษาและทดลองซอฟต์แวร์ช่วยออกแบบ | 26 |
| 3.1 บทนำ | 26 |
| 3.2 อัลกอริทึมการ placement | 26 |
| 3.3 ผลการทดลองขั้นต้น | 27 |
| 3.4 เอกสารอ้างอิง | 32 |
| บทที่ 4 สรุปผลการวิจัย | 33 |
| ภาคผนวก | 34 |

หน้าสรุปโครงการ (Executive Summary)
ทุนพัฒนาศักยภาพในการทำงานวิจัยของอาจารย์รุ่นใหม่

1. ชื่อโครงการ โพรเซสเซอร์ร่วมกำลังไฟต่ำสามารถปรับเปลี่ยนโครงสร้างได้แบบไดนามิก
Low Power Coprocessor using Dynamically Reconfiguration

2. ชื่อหัวหน้าโครงการ หน่วยงานที่สังกัด ที่อยู่ หมายเลขโทรศัพท์ โทรสาร และ e-mail

ชื่อ น.ส. วรณรัช สันตือมรตัต

(Ms. Wannarat Suntiamorntut)

คุณวุฒิ ปริญญาเอก

ตำแหน่ง ผู้ช่วยศาสตราจารย์

สถานที่ทำงาน ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์

มหาวิทยาลัยสงขลานครินทร์ อ.หาดใหญ่ จ.สงขลา 90112

โทรศัพท์ 074-287354 หรือ 074-287075

โทรสาร 074-287076

e-mail: wannarat@coe.psu.ac.th, wsuntiamorntut@gmail.com

3. ปัญหาที่ทำการวิจัย และความสำคัญของปัญหา

ปัจจุบันระบบสมองกลฝังตัวได้ถูกนำมาใช้งานกันอย่างแพร่หลายเนื่องด้วยมีขนาดเล็ก สะดวกต่อการใช้งานและช่วยลดการใช้พลังงาน ระบบสมองกลฝังตัวได้เริ่มพัฒนาจากระดับเล็กโดยการใช้งานไมโครคอนโทรลเลอร์ขนาด 8 บิตควบคุมอุปกรณ์อิเล็กทรอนิกส์ จากนั้นได้มีการพัฒนาอย่างต่อเนื่องเรื่อยมาจนกระทั่งมีการนำโพรเซสเซอร์ขนาดใหญ่ 16 – 32 บิต เข้ามาใช้งานโดยเฉพาะอย่างยิ่งกับงานที่จะต้องมีการประมวลผลอย่างหนักเช่น โทรศัพท์มือถือรุ่นที่ 3 (3G) คอมพิวเตอร์พกพาขนาดเล็ก เครื่องเล่นเกม Play Station (PS) เป็นต้น จะพบว่าระบบสมองกลฝังตัวในปัจจุบันต้องรับภาระงานหนักมากขึ้น โดยเฉพาะอย่างยิ่งในการทำงานด้าน Multimedia applications หรือ Recognition applications เป็นต้น ซึ่งงานทางด้านนี้เกี่ยวข้องกับการประมวลผลสัญญาณดิจิทัล (Digital Signal Processing) ที่จะต้องใช้หน่วยประมวลผล (Functional Unit; FU) ทำการคำนวณอยู่ตลอดเวลา ดังนั้นจำเป็นที่ระบบจะต้องการความเร็วในการทำงาน โครงสร้างของโพรเซสเซอร์ทั่วไปจึงไม่เหมาะสำหรับการใช้งานประเภทนี้ นอกจากนี้แล้วระบบสมองกลฝังตัวจะมีขนาดเล็กและสามารถใช้ไฟจากแรงจ่ายแบตเตอรี่ที่เท่านั้น ส่งผลให้งานวิจัยที่มุ่งเน้นการออกแบบหน่วยประมวลผลให้มีประสิทธิภาพสูงและใช้พลังงานต่ำเป็นที่น่าสนใจและท้าทาย

เนื่องจากหน่วยประมวลผลที่เป็นแบบ ASIC (application specific integrated circuit) สามารถตอบสนองความต้องการในเรื่องการทำให้พลังงานต่ำและสามารถให้ประสิทธิภาพการสูง แต่ราคาที่สูงของเทคโนโลยีแบบ ASIC ทำให้ไม่เหมาะที่จะนำมาใช้งานสำหรับผลผลิตทาง

อิเล็กทรอนิกส์ระดับกลาง – เล็ก สำหรับเทคโนโลยีแบบที่สามารถโปรแกรมได้ (programmable device) ที่อาจจะไม่ได้เปรียบในเชิงของการใช้พลังงานและประสิทธิภาพในการทำงาน แต่ถือว่าช่วยเพิ่มความยืดหยุ่นให้กับนักออกแบบและผู้ใช้งาน รวมทั้งช่วยห่นระยะเวลาของการออกแบบและพัฒนาได้ ฉะนั้นในงานวิจัยนี้จึงใช้โครงสร้างแบบผสมระหว่าง ASIC ในบล็อกถือว่าเป็น element หนึ่ง โดยให้การต่อเชื่อมถึงกัน (Interconnection) นั้นสามารถถูกควบคุมและโปรแกรมได้โดยผู้ใช้งานถือได้ว่าเป็นสถาปัตยกรรมแบบ hybrid โดยจะสามารถสร้างโพรเซสเซอร์อย่างง่ายขนาดเล็กรวมกันได้จากการประกอบกันของ element ต่างๆ ให้เป็น datapath โดยโครงสร้างของ datapath นี้จะสามารถปรับเปลี่ยนได้ตามงานที่ได้รับ เราเรียกว่า dynamically reconfigurable datapath (DRD)

การปรับเปลี่ยนโครงสร้างภายในเช่นนี้ช่วยให้งานแต่ละชนิดสามารถใช้ทรัพยากรที่มีอยู่ได้อย่างคุ้มค่า ส่งผลให้เกิดการใช้พลังงานได้อย่างเหมาะสมที่สุด แต่เนื่องจากการปรับเปลี่ยนและก่อตัวเป็นโครงสร้าง datapath นั้นจะต้องใช้เวลา overhead ที่เกิดขึ้นจนเป็นปัญหาที่น่าสนใจคือ จะต้องปรับเปลี่ยนโครงสร้างแบบ dynamically ในลักษณะใดจึงจะช่วยให้ประสิทธิภาพและการใช้พลังงานโดยรวมของระบบดีขึ้น ดังนั้นหัวข้อสำคัญในการศึกษาค้นคว้าและทำวิจัยคือ

- ลด overhead ที่เกิดจากระยะเวลาในการ form โครงสร้างการทำงาน เพื่อให้เป็นระบบที่สามารถ reconfigurable แบบ dynamically อย่างแท้จริง
- เปรียบเทียบประสิทธิภาพและพลังงานระหว่างโครงสร้างที่ปรับเปลี่ยนได้อย่างเร็วรวดกับโครงสร้างที่ปรับเปลี่ยนได้ภายในระยะเวลาที่กำหนดแต่จะมีจำนวนครั้งในการปรับเปลี่ยนน้อยที่สุด
- เพื่อให้ได้ประสิทธิภาพอย่างแท้จริง ดังนั้นการปรับเปลี่ยนโครงสร้างควรเป็น datapath ในระดับของ Functional Unit (FU) ขึ้นไป หรือรวมถึงโครงสร้างภายใน Functional Unit ด้วย
- โครงสร้างในการเชื่อมต่อที่มีประสิทธิภาพและพลังงานต่ำ ที่รวมถึง routing และ switching ซึ่งที่มีอยู่จะเป็นแบบใช้สัญญาณนาฬิกา synchronize ถึงกัน แต่ในงานวิจัยนี้มุ่งเน้นแบบไม่ใช้สัญญาณนาฬิกา (Asynchronous)
- ลักษณะการวาง hardwired unit ในที่นี้ควรจะเป็นระดับ FU หรือ element สำหรับการประมวลผลทั่วไป เพื่อให้ประหยัดพื้นที่และการเชื่อมต่อสายสัญญาณระหว่างกัน
- โมเดลที่ช่วยวิเคราะห์การออกแบบและกำหนดรูปแบบการปรับเปลี่ยนโครงสร้างที่ให้ได้ประสิทธิภาพตามที่ต้องการ
- นำเสนอ Design flow ที่ช่วยให้การออกแบบและพัฒนาสะดวกและมีประสิทธิภาพมากยิ่งขึ้น

4. วัตถุประสงค์

- 4.1 เพื่อศึกษา วิจัย พัฒนาการปรับเปลี่ยนโครงสร้างของ datapath ให้ได้ประสิทธิภาพและประหยัดพลังงานมากที่สุด
- 4.2 เพื่อลด overhead (เวลา, พื้นที่, ขนาดของ configuration bit, พลังงาน) ที่เกิดจากการปรับเปลี่ยนโครงสร้างแบบ dynamically
- 4.3 เพื่อสร้างโปรเซสเซอร์ร่วมที่สามารถปรับเปลี่ยนโครงสร้างแบบ dynamically ที่มีประสิทธิภาพและประหยัดพลังงานมากที่สุดได้
- 4.4 เพื่อพัฒนา design flow ในการ map โค้ดโปรแกรมที่ออกแบบโดยโปรแกรมเมอร์ลงบนโปรเซสเซอร์ที่ได้ออกแบบ

5. ระเบียบวิธีวิจัย

- 5.1 ศึกษาโครงสร้างทั่วไปของสถาปัตยกรรมแบบ reconfigurable
- 5.2 ศึกษาการปรับเปลี่ยนโครงสร้างแบบ dynamically
- 5.3 ศึกษาและวิเคราะห์ความละเอียดของโครงสร้างที่จะทำการปรับเปลี่ยนใหม่ (ความละเอียดของการ Coarse-grain)
- 5.4 ออกแบบและพัฒนาวิธีการปรับเปลี่ยนโครงสร้างแบบ dynamically ที่ใช้เวลาน้อย
- 5.5 ออกแบบและพัฒนาวิธีการ Place และ Route ที่เหมาะกับโครงสร้างที่สามารถปรับเปลี่ยนได้แบบ dynamically
- 5.6 สร้างโมเดลขึ้นเพื่อทดสอบสถาปัตยกรรมที่ออกแบบขึ้นใหม่
- 5.7 พัฒนาโปรเซสเซอร์ที่สามารถปรับเปลี่ยนโครงสร้างได้แบบ dynamically บนเทคโนโลยี FPGA
- 5.8 ทดสอบและเก็บผล
- 5.9 นำเสนอเครื่องมือช่วยในการออกแบบ การ place & route
- 5.10 วิเคราะห์และสรุปทำงานรายงาน

ตารางที่ 1 แผนการดำเนินการตลอดโครงการวิจัย

| ขั้นตอน | วิธีการ | ระยะเวลา | วัตถุประสงค์ข้อที่ |
|---------|---|----------|--------------------|
| 1 | ทำการศึกษาโครงสร้างสถาปัตยกรรมภายในของ FPGA เนื่องจากเป็นอุปกรณ์ที่สามารถโปรแกรมเพื่อปรับเปลี่ยนโครงสร้างได้ โดยมีแหล่งข้อมูลจากหนังสือและเอกสารรายงานการวิจัย | 1 เดือน | 5.1 |
| 2 | ศึกษาขั้นตอน กระบวนการ ของการปรับเปลี่ยนโครงสร้างเพื่อนำมาวิเคราะห์ถึงข้อจำกัดของการทำแบบ dynamically (สามารถหาข้อมูลได้จากบทความทางวิจัย) | 1 เดือน | 5.1 |
| 3 | ศึกษา วิเคราะห์โครงสร้างแบบ coarse-grain และทำการหาความหมายของการทำ coarse-grain โดยการสร้างโมเดลภาษาซีเพื่อทดสอบ | 1 เดือน | 5.1 |
| 4 | ออกแบบและพัฒนาการปรับเปลี่ยนโครงสร้างแบบ dynamically ให้เกิด overhead (เวลา, พื้นที่, การใช้พลังงาน) น้อย โดยการสร้างโมเดลที่สามารถคำนวณหา overhead แล้วนำวิธีการหรือเทคนิคที่ได้คิดค้นมาทดสอบและวัดผล | 3 เดือน | 5.1, 5.2 |
| 5 | พัฒนาการ place และ route โดยการสร้างวงจรที่ได้จากการออกแบบขึ้นเพื่อทดสอบ โดยจะทำการวัดผลจากการใช้โปรแกรมจำลองการทำงานเพื่อวัดหาค่า power, delay ที่เกิดขึ้น | 2 เดือน | 5.2, 5.3 |
| 6 | สร้างโมเดลของโปรเซสเซอร์ที่สามารถปรับเปลี่ยนโครงสร้างได้ด้วยภาษาซีแล้วทำการวัดผลทดสอบขั้นต้นด้วยโมเดลที่ใช้คำนวณวัดค่า overhead จากขั้นตอนที่ 4 | 4 เดือน | 5.3 |
| 7 | ทำการพัฒนาโปรเซสเซอร์ที่ได้ผ่านการทดสอบแล้วลงบนเทคโนโลยี FPGA โดยจะทำการวัดผลเฉพาะในส่วนที่ทำงานหลังจากการโปรแกรมโครงสร้างแล้ว โดยระยะเวลาและ overhead ของการโปรแกรมเพื่อปรับเปลี่ยนโครงสร้างจะใช้จากโมเดลในขั้นตอนที่ 4 ดังนั้นจึงจะได้ประสิทธิภาพโดยรวมทั้งหมดของทั้งระบบ | 4 เดือน | 5.3 |
| 8 | ทำการทดสอบ เก็บและวิเคราะห์ผล | 2 เดือน | 5.3 |
| 9 | พัฒนาเครื่องช่วยในการ mapping และใช้งานโดยให้โปรแกรมเมอร์สามารถถ่ายโปรแกรมในระดับภาษาซีลงบนระบบได้ | 3 เดือน | 5.4 |
| 10 | จัดทำรายงาน | 3 เดือน | - |

6. ผลงาน

ผลงานการตีพิมพ์ในที่ประชุมวิชาการ (ที่เกี่ยวข้องกับงานวิจัยนี้)

1. Sasatorn somwatee, Wannarat Suntiamorntut, survey of finding empty space algorithm for partial reconfigurable FPGAs, *Proceedings of International Joint Conference on Computer Science and Software Engineering (JCSSE2009)*, pp. 489-491, 2009.
2. Sasatorn somwatee, Wannarat Suntiamorntut, performance evaluation of the efficient algorithms for free resources management on the FPGA, *Proceedings of International Joint Conference on Computer Science and Software Engineering (JCSSE2009)*, pp. 303-305, 2009.
3. W. Suntiamorntut, C. Vongchumyen, Design Techniques for Energy Efficient Multiplier, *Ladkrabang Journal*, June, 2007
4. W. Suntiamorntut, L.E.M. Brackenbury, Jim Garside Design and Implementation of an Energy Efficient, Parallel, Asynchronous DSP, *ITC-CSCC07*, July, pp. xxx, 2007.