สำนักงานคณะกรรมการวิจัยแห่งชาติ ห้องสมุดงานวิจัย

บทที่ 4
สรุปผลการวิจัย

งานวิจัยนี้นำเสนอโครงสร้างสถาปัตยกรรมโพรเซสเซอร์ร่วมที่สามารถปรับเปลี่ยนโครงสร้างได้แบบไดนามิก โดยนำเสนอตั้งแต่การออกแบบชุดคำสั่ง สถาปัตยกรรม ดาต้าพาส โมเดลทดสอบการทำงานด้วยภาษาซี และตัวแปลภาษาระดับแอสแซมเบลอร์ โพรเซสเซอร์ร่วมที่ออกแบบสามารถควบคุมการทำงานผ่านทางโพรเซสเซอร์หลักโดยการจัดลำดับการเข้าทำงานและโปรแกรมเก็บไว้ในหน่วยความจำแบบ SRAM ที่ทำงานอย่างรวดเร็ว ในลักษณะของแนวคิดเดียวกับโครงสร้างการโปรแกรมบนเทคโนโลยี FPGA ซึ่งในการออกแบบขั้นต้นนี้จะมีหน่วยประมวลผล FU ให้สามารถเลือกใช้งานได้ไม่เกิน 4 ตัว ทั้งนี้ในการใช้งานจริงสามารถเพิ่มหรือขยายจำนวนของกลุ่มประมวลผลแบบขนานนี้ได้ ซึ่งขั้นตอนการเตรียมข้อมูลโปรแกรมลงบนหน่วยความจำจะทำงานแบบไปป์ไลน์ด้วยเทคนิคของการทำ clock-gating เพื่อประหยัดพลังงานในช่วงเวลาที่ไม่ต้องการใช้งาน นอกจากนี้หน่วยประมวลผล FU ที่ได้ออกแบบสำหรับโพรเซสเซอร์ร่วมนี้สามารถประหยัดพลังงานหรือจำนวนลอจิกได้เนื่องจากมีการลดรูปวงจรและการใช้วงจรร่วมกันระหว่างคำสั่ง MAC MPY ADD และ SUB

ผลการจำลองการทำงานบนเทคโนโลยี FPGA ด้วยโปรแกรมช่วยออกแบบ Xilinx ISE บน XC3SD1800 ในกรณีที่ทำงานด้วย FU สูงสุด 4 ตัว พบว่าทำงานได้ด้วยความถี่ 59 MHz ใช้พลังงาน 34.64 mW ซึ่งสามารถประมวลผล FIR 20-tap เสร็จภายในเวลา 0.339 ไมโครวินาทีและสำหรับผลการทดสอบแนวคิดการวาง task แบบไดนามิกบน FPGA ของซอฟต์แวร์ช่วยออกแบบ พบว่าใช้อัลกอริทึมแบบ first fit และ best fit ใช้ความเร็ว และจำนวนของ task ที่วางลงบน FPGA ไม่ได้ไม่แตกต่างกัน ดังนั้นจึงเลือกใช้อัลกอริทึมแบบ first fit เนื่องจากมีจำนวนของพื้นที่ว่างน้อยกว่า