T146873

บทคัดย่อ

การเข้ารหัสคอนโวลูชันและการถอดรหัส Viterbi เป็นเทคนิคหนึ่งที่ใช้แก้ไขความผิดพลาดจากการรับส่งข้อมูลในระบบสื่อสารเชิงดิจิตอล ซึ่งสำหรับการเพิ่มประสิทธิภาพของการสื่อสารดังกล่าวในช่องสัญญาณเสียง (Voice Services) ของระบบโทรศัพท์เคลื่อนที่ยุคที่ 3 นั้น ได้นำการเข้ารหัสคอนโวลูชันและการถอดรหัส Viterbi นี้มาใช้งานอย่างเป็นทางการดังมาตรฐาน TS 25.212 ของ 3GPP สำหรับการสร้างชุดถอดรหัส Viterbi ตามมาตรฐานดังกล่าวจะอยู่ในรูปของฮาร์ดแวร์วงจรรวมที่มีพื้นฐานในข้อจำกัดด้านความเร็ว การใช้พื้นที่ (Silicon Area) และการใช้พลังงาน (Power Consumption) อันเป็นสิ่งสำคัญที่แสดงถึงประสิทธิภาพของอุปกรณ์ที่ได้ออกแบบโดยทั่วไปวงจรรวมของชุดถอดรหัส Viterbi นี้มีโครงสร้างสองรูปแบบคือ โครงสร้างแบบขนานและอนุกรม ซึ่งโครงสร้างแบบขนานนั้นให้ความเร็วในการถอดรหัสสูงแต่ใช้พื้นที่และพลังงานมากกว่าแบบอนุกรม จากข้อจำกัดโดยทั่วไปดังกล่าววิทยานิพนธ์นี้จึงได้กำหนดขอบเขตที่มุ่งเน้นถึงโครงสร้างแบบใหม่ที่ทำงานได้รวดเร็วแต่ใช้ขนาดพื้นที่สร้างน้อย และนำเสนอการสร้างชุดถอดรหัส Viterbi โครงสร้างอนุกรมแบบใหม่สำหรับถอดรหัสคอนโวลูชันที่มี Constraint Length (K) เท่ากับ 9 (256 States) อัตราการเข้ารหัส 1/2 และ 1/3 สำหรับ Generator Polynomial (561, 753)$_8$ และ (557, 663, 711)$_8$ ตามลำดับ มีอัตราเร็วในการถอดรหัสที่ค่า 2 Mbps ตามมาตรฐาน TS 25.212 ของ 3GPP การออกแบบชุดถอดรหัสนี้ใช้โครงสร้างอนุกรมแบบ 4 Add-Compare-Select (ACS) และมีการปรับปรุงส่วน Survivor Memory Unit แบบ Register Exchange ที่ให้ความเร็วในการทำงานที่สูงแต่มีโครงสร้างขนาดใหญ่ เพื่อให้มีขนาดเล็กลงและเหมาะสมสำหรับโครงสร้างแบบ 4 ACS ซึ่งการปรับปรุงดังกล่าวได้ส่งผลให้การใช้อุปกรณ์ในเอฟพีจีเอ Xilinx Vertex II มีจำนวนน้อยและให้อัตราเร็วในการถอดรหัสสูงถึง 3.46 Mbps ซึ่งสามารถใช้งานในระบบ 3GPP ได้ และสามารถปรับปรุงให้ใช้กับระบบสื่อสารอื่นๆ ที่เกี่ยวข้องได้ต่อไป

This thesis deals with the implementation of error control coding on voice service channel for 3GPP mobile system by using Convolution encoding and Viterbi decoding. This Viterbi decoding scheme can be categorized into two cases of parallel and serial structure. Basically, its parallel structure operates with a higher speed than that of the serial style but it, of course, obtains a larger implemented area. Due to the limitation of integrated circuits on their speed, silicon area, and power consumption, this work proposes an implementation of a small Viterbi decoder following TS 25.212 standard of 3GPP. Its specifications are coding rates of 1/2 and 1/3, with generator polynomial (561, 753)$_8$ and (557, 663, 711)$_8$ respectively. Both cases are designed with the constraint length of 9 (256 states). In this design, the serial Viterbi decoder architecture with four add-compare-select (ACS) combined with the register exchange method is proposed and it is modified in order to connect with the serial architecture working style. This work is done by using Verilog HDL and implemented on a platform for Xilinx Vertex II FPGA. As a result, it obtains small number of slices and block RAM, achieves up to 3.46 Mbps of data transfer which suitable for 3G W-CDMA mobile system, and could be modified for other related communication systems accordingly.