บทคัดย่อ

T 146986

ในปัจจุบันมีการนำวงจรสังเคราะห์ความถี่แบบดิจิตอลมาใช้งานในระบบสื่อสารกันอย่างแพร่หลาย เนื่องจากวงจรสังเคราะห์ความถี่แบบดิจิตอลมีข้อได้เปรียบวงจรสังเคราะห์ความถี่แบบเฟสล็อกลูป หลายประการคือ มีความละเอียดของความถี่และเฟสสูง, สามารถเปลี่ยนความถี่ได้รวดเร็ว, สัญญาณรบกวนทางเฟสต่ำ และง่ายต่อการมอดูเลทสัญญาณ โดยทั่วไปวงจรสังเคราะห์ความถี่แบบดิจิตอลนิยมเก็บรูปสัญญาณที่ต้องการสังเคราะห์ไว้ในหน่วยความจำ ซึ่งจำเป็นที่จะต้องใช้หน่วยความจำขนาดใหญ่สำหรับสังเคราะห์สัญญาณที่มีคุณภาพสูง-เป็นผลให้ความเร็วในการทำงานลดลง และการใช้กำลังงานสูงขึ้น วิทยานิพนธ์ฉบับนี้จึงนำเสนอการออกแบบวงจรสังเคราะห์ความถี่แบบดิจิตอลสำหรับสังเคราะห์สัญญาณซายน์ โดยใช้การประมาณค่าโพลีโนเมียล ซึ่งสามารถประมาณค่าของสัญญาณซายน์ได้ใกล้เคียงกับสัญญาณจริง มีค่าความผิดพลาดน้อยกว่า 2e-4 ทำให้ไม่จำเป็นต้องมีหน่วยความจำสำหรับเก็บรูปสัญญาณ หรือปรับปรุงคุณภาพของสัญญาณ ผลการทำงานและประสิทธิภาพของวงจรที่ออกแบบสามารถยืนยันได้โดยการจำลองการทำงาน และการทดสอบการทำงานในระดับฮาร์ดแวร์

ABSTRACT

TE 146986

Direct digital frequency synthesizers (DDFS) are playing an increasingly significant role in modern digital communication systems because -of their characteristics of excellent frequency and phase resolution, fast frequency switching, low phase noise, and modulating capability. Typically, most DDFSs store a digital representation of a sinewave in a read-only memory (ROM). The spectral purity of a sinewave is determined by the resolution of the ROM. But larger ROM size means lower speed and higher power consumption. This thesis, thus, presents a design of a sine-output ROM-less direct digital frequency synthesizer by using a polynomial approximation. A maximum error of a sinewave approximated by a polynomial approximation is less than 2e-4. This means that no ROM is required. The functionality and the efficiency of the designed DDFS are guaranteed by simulation and hardware experimental results.