บทคัดย่อ

T153185

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรเรียงลำดับสัญญาณอนาลอกในโหมดศักดาหลัก การทำงานของวงจรอาศัยการทำงานของวงจรหาค่าสูงสุด และ วงจรหาค่าต่ำสุดเป็นหลัก วงจรประกอบด้วยออปแอมป์ ต่อร่วมกับไดโอด และตัวต้านทาน สัญญาณที่ได้จากการออกแบบวงจรนี้สามารถเรียงลำดับสัญญาณอินพุทที่มีค่ามากกว่าไปหาสัญญาณอินพุทที่มีค่าน้อยกว่าได้ตามลำดับ เหมาะสำหรับนำไปประยุกต์ใช้งานในระบบที่เป็นเวลาจริงได้ และเพื่อเป็นการทดสอบสมรรถนะการทำงาน ของวงจรที่ได้ทำการออกแบบ ได้เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ผลจากการเลียนแบบการทำงานของวงจรสามารถยืนยันได้ว่าวงจรที่ออกแบบสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ

A voltage-mode sorting circuit for analog signal is presented in this thesis. The operation principle of the circuit is based on maximum and minimum function cells. The maximum and minimum function cells consist of operational amplifiers (op-amps), diodes and resistors. The outputs are obtained by ordering the inputs in the decreasing order. The proposed circuit achieves a high-speed operation and suitable for real-time systems. The performances of the proposed sorter were studied by the use of the PSPICE analog simulation program. The simulation results verified the circuit performances are agreed with the expected values.