T 165588

บทคัดย่อ

เนื้อหาของวิทยานิพนธ์เล่มนี้ นำเสนอการออกแบบวงจรคูณสัญญาณแอนะลอกแบบ 4 ควอดแดรนท์ โดยใช้เทคโนโลยีซีมอส ซึ่งอาศัยหลักการใหม่ โดยการป้อนสัญญาณเข้าที่ขาบอดี้ของมอสเฟต การออกแบบเป็นการประยุกต์ใช้ขาบอดี้ของมอสเฟตมาใช้งานให้เกิดประโยชน์ อีกทั้งบางวงจรที่นำเสนอ สามารถทำงานที่ระดับแรงดันไฟเลี้ยงที่ต่ำและใช้กำลังงานน้อย การออกแบบวงจรคูณสัญญาณแอนะลอกนี้ใช้วิธีการประมาณค่าจากอนุกรมเทย์เลอร์จากรากที่สอง ในส่วนของแรงดันขีดเริ่ม แล้วนำมาตัดฮาร์โมนิกส่วนที่ไม่ต้องการออกด้วยวิธีการบวกและลบสัญญาณ

ABSTRACT

TE 165588

This Thesis presents the design of the CMOS four-quadrant analog multiplier circuit that use a new concept by driving the input signal at the body-terminal of MOSFETs. This design uses the body-terminal of MOSFETs more usefully and presents the circuits that can operate at low supply voltage and have low power consumption. In the design of analog multiplier use the approximation method from the Taylor's series for threshold voltage's square-root and eradicate the undesired series's harmonics by signal summation and subtraction to increase the electrical characteristic of the circuits.