

วิทยานิพนธ์ฉบับนี้ เป็นการนำเสนอการออกแบบวงจรมอดูเลชันในภาคส่งสัญญาณ สำหรับระบบดีเอสแอล โดยใช้เทคโนโลยีซีมอส เนื้อหาของวิทยานิพนธ์ประกอบด้วยวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกความเร็วสูง ขนาด 12 บิต และ วงจรกรองความถี่ต่ำผ่าน ส่วนแรกคือ วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต การทำงานของวงจรจะให้เอาต์พุตเป็นปริมาณ กระแส แบ่งการทำงานของวงจร 12 บิต แบบ 8/4 segmented ส่วนที่สอง คือ วงจรกรองความถี่ต่ำ 5<sup>th</sup> order elliptic แบบ active-RC ความถี่ตัด 1.1 MHz, การออกแบบวงจรทั้งสองส่วนใช้คุณสมบัติ จำเพาะของเทคโนโลยีซีมอส 0.35  $\mu\text{m}$ . 2-Poly 4-Metal และ เพื่อยืนยันถึงสมรรถนะของวงจร จำลองการทำงานวงจรด้วยโปรแกรม Cadence Spectre และ ออกแบบผังภูมิวงจรด้วยโปรแกรม Cadence Virtuoso

## ABSTRACT

**TE165805**

This thesis is concerned with the design of CMOS analogue integrated circuits for DSL transmitter front-end. The DSL transmitter front-end comprises a high-speed 12-bit digital-to-analogue converter (DAC) and an active-RC low-pass filter. The 12-bit DAC is implemented by using current-mode technique with an 8/4 segmented architecture. The low-pass filter is realized by using the 5<sup>th</sup> order elliptic structure and has the cutoff frequency at 1.1 MHz. The proposed circuits are simulated by using Cadence Spectre with parameters from a CMOS 0.35 $\mu$ m. 2-Poly 4-Metal process technology and their layouts are performed by using Cadence Virtuoso.