ห้องสมุดงานวิจัย สำนักงานคณะกรรมการวิจัยแห่งชาติ
246310

การออกแบบและการอิมพลิเมนท์ประสบการณ์ด้านวิธีการเข้ารหัสหนึ่งในสี่

นางสาวกิตติมา ฐานทีรลัภร์

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2553
ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

b00 250764

ห้องสมุดงานวิจัย สำนักงานคณะกรรมการวิจัยแห่งชาติ
246310

การออกแบบและการอิมพลิเมนท์บัสระบบแบบอสมวารด้วยวิธีการเข้ารหัสหนึ่งในสี่

นางสาวกิตติมา ฐานพีรภัทร์

สำนักงานคณะกรรมการวิจัยแห่งชาติ ห้องสมุดงานวิจัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2553

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

5070680621

A DESIGN AND IMPLEMENTATION OF ASYNCHRONOUS SYSTEM BUS USING 1-OF-4 DATA ENCODING

Miss Kittima Thanpeerapat

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering Program in Computer Engineering

Department of Computer Engineering

Faculty of Engineering

Chulalongkorn University

Academic year 2010

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์	การออกแบบและการอิมพลิเมนท์บัสระบบแบบอสมวาร ด้วยวิธีการเข้ารหัสหนึ่งในสี่
โดย	นางสาวกิตติมา ฐานพีรภัทร์
สาขาวิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก	ผู้ช่วยศาสตราจารย์ ดร. อาทิตย์ ทองทักษ์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(รองศาสตราจารย์ ดร. บุญสม เลิศหิรัญวงศ์)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(รองศาสตราจารย์ ดร. สาธิต วงศ์ประทีป)

..... อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก
(ผู้ช่วยศาสตราจารย์ ดร. อาทิตย์ ทองทักษ์)

..... กรรมการ
(รองศาสตราจารย์ ดร. ธาราทิพย์ สุวรรณศาสตร์)

..... กรรมการภายนอกมหาวิทยาลัย
(อาจารย์ ดร. ภัทร ลีลาพฤทธิ์)

กิตติมา ฐานพีรภัทร์: การออกแบบและการอิมพลิเมนท์บัสระบบแบบอสมวารด้วยวิธีการเข้ารหัสหนึ่งในสี่. (A DESIGN AND IMPLEMENTATION OF ASYNCHRONOUS SYSTEM BUS USING 1-OF-4 DATA ENCODING) อ.ที่ปรึกษาวิทยานิพนธ์หลัก : ผศ.ดร.อาทิตย์ ทองทักษ์, 134 หน้า.

246310

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบและการอิมพลิเมนท์บัสระบบแบบอสมวารด้วยวิธีการเข้ารหัสหนึ่งในสี่ เพื่อพัฒนาประสิทธิภาพทางด้านการใช้พลังงานในการรับส่งข้อมูล และประมวลผลในงานวิจัยของวงจรอสมวาร โดยใช้รหัสหนึ่งในสี่เข้ารหัสในการรับส่งข้อมูลเพื่อลดพลังงานที่ใช้ในบัสระบบ ที่เชื่อมต่อกับไมโครโพรเซสเซอร์แบบอสมวาร หน่วยความจำแบบสมวาร และอุปกรณ์อินพุท/เอาท์พุท ซึ่งรองรับความสามารถในการเพิ่มความเร็วของบัสด้วยเทคนิคอินเตอร์รัพท์และดีเอ็มเอได้

งานวิจัยนี้ได้ออกแบบบัสระบบแบบอสมวารเข้ารหัสหนึ่งในสี่และองค์ประกอบคือไมโครโพรเซสเซอร์ และดีเอ็มเอ ซึ่งใช้งานข้อมูลบนบัสระบบร่วมกัน และทดสอบประสิทธิภาพของบัสระบบในด้านของการใช้พลังงาน ขนาดวงจร และความเร็วในการทำงาน จากผลการทดสอบประสิทธิภาพพบว่า บัสระบบสามารถทำงานร่วมกับองค์ประกอบได้อย่างถูกต้องบนเอฟพีจีเอ Xlinx SPARTAN-3E เบอร์ XC3S-500EFG320 เมื่อเปรียบเทียบบัสระบบเข้ารหัสหนึ่งในสี่กับบัสระบบเข้ารหัสรางคู่บนโครงสร้างเดียวกัน บัสระบบเข้ารหัสหนึ่งในสี่จะมีประสิทธิภาพดีกว่า นอกจากนี้จากผลการทดลองยังพบว่า วงจรฟังก์ชันเข้ารหัสหนึ่งในสี่มีประสิทธิภาพดีในวงจรที่มีการคำนวณเป็นจำนวนคู่ (จำนวน 2n บิต) เช่น คำนวณครั้งละ 4 บิต คำนวณครั้งละ 8 บิต เป็นต้น และมีประสิทธิภาพดีที่สุดในวงจรที่มีการคำนวณครั้งละ 2 บิต อย่างไรก็ตาม วงจรฟังก์ชันเข้ารหัสหนึ่งในสี่มีประสิทธิภาพที่ด้อยในวงจรที่มีการคำนวณครั้งละ 1 บิต

ภาควิชา .....วิศวกรรมคอมพิวเตอร์..... ลายมือชื่อนิสิต กิตติมา ฐานพีรภัทร์

สาขาวิชา.....วิศวกรรมคอมพิวเตอร์.....ลายมือชื่อ อ. ที่ปรึกษาวิทยานิพนธ์หลัก

ปีการศึกษา ..... 2553.....

5070680621 : MAJOR COMPUTER ENGINEERING

KEYWORDS : ASYNCHRONOUS CIRCUIT / ASYNCHRONOUS SYSTEM BUS / 1-OF-4 CODE

KITTIMA THANPEERAPAT : A DESIGN AND IMPLEMENTATION OF ASYNCHRONOUS SYSTEM BUS USING 1-OF-4 DATA ENCODING. ADVISOR : ASST. PROF. ARTHIT THONGTAK, Ph.D., 134 pp.

246310

This thesis proposes a design and implementation of asynchronous system bus using 1-of-4 data encoding for improving power performance of data transfer and processing fields in asynchronous circuit research. The 1-of-4 data encoding used for reducing power consumption in system bus, which is subsystem that connect to asynchronous microprocessor, synchronous memory and I/O device together and also support the interrupt and DMA technique.

This research presents a design of asynchronous system bus using 1-of-4 data encoding and components that are microprocessor and DMA, which share data on the system bus. And then test performance in terms of power, area and time. The performance test report is shown that the system bus and components operate correctly on Xilinx SPARTAN-3E XC3S-500EFG320 FPGA. When compares the 1-of-4 system bus to the dual-rail system bus in the same architecture, the 1-of-4 system bus appears to have the higher performance. Moreover, The test report is shown that the 1-of-4 function circuits can have the good performance in even-bits (2n-bits) computing per time such as compute 4-bits per time, compute 8-bits per time, and have the best performance in the circuit which is compute 2-bits per time. However, the 1-of-4 function circuits have the poor performance in the circuit which is compute 1-bit per time.

Department: ....Computer Engineering... Student's Signature: .....

Field of Study: ..Computer Engineering... Advisor' Signature: .....

Academic Year: .....2010.....

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดีด้วยความกรุณาอย่างยิ่งของผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์ ผู้เป็นอาจารย์ที่ปรึกษาวิทยานิพนธ์ ที่ได้ให้คำแนะนำและเสนอแนะข้อคิดเห็นต่างๆในการทำวิจัยด้วยดีมาตลอด

ขอขอบพระคุณ รองศาสตราจารย์ ดร.สาธิต วงศ์ประทีป รองศาสตราจารย์ ดร.ธาราทิพย์ สุวรรณศาสตร์ อาจารย์ ดร.ภัทร ลีลาพฤทธิ์ และคณาจารย์ที่กรุณาให้คำปรึกษาเพื่อขัดเกลางานวิจัยให้มีความสมบูรณ์

ขอขอบคุณสมาชิกแลป DSEL ทุกคน ที่ให้คำปรึกษาและแนะนำสิ่งต่างๆที่เกี่ยวข้องกับงานวิจัยทั้งทางตรงและทางอ้อม

ท้ายที่สุดนี้ ผู้วิจัยขอกราบขอบพระคุณบิดา มารดา ที่สนับสนุน ห่วงใย และให้กำลังใจแก่ผู้วิจัยเสมอมา

สารบัญ

หน้า

บทคัดย่อภาษาไทย..... ง

บทคัดย่อภาษาอังกฤษ..... จ

กิตติกรรมประกาศ..... ฉ

สารบัญ..... ช

สารบัญตาราง..... ฎ

สารบัญภาพ..... ฎ

บทที่

1 บทนำ..... 1

1.1 ความเป็นมาและความสำคัญของปัญหา..... 1

1.2 วัตถุประสงค์..... 3

1.3 ขอบเขตการดำเนินงาน..... 3

1.4 ประโยชน์ที่คาดว่าจะได้รับ..... 3

1.5 ขั้นตอนการดำเนินงาน..... 4

1.6 ลำดับขั้นตอนในการเสนอการวิจัย..... 4

1.7 ผลงานที่ตีพิมพ์จากงานวิจัย..... 5

2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง..... 6

2.1 วงจรอสมวาร..... 6

2.2 การเข้ารหัสในวงจรอสมวาร..... 8

2.2.1 รหัสรางคู่..... 8

2.2.2 รหัสหนึ่งในสี่..... 10

2.3 การออกแบบวงจรอสมวาร..... 12

2.3.1 การออกแบบวงจรควบคุมที่ไม่ขึ้นกับอัตราเร็วโดยใช้กราฟบรรยายการเปลี่ยนสัญญาณ..... 13

2.3.2 การออกแบบวงจรอสมวารโดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ..... 15

บทที่ หน้า

2.4 บัส..... 17
2.4.1 ส่วนประกอบของบัส..... 17
2.4.2 ชนิดของบัส..... 19
2.4.3 หลักการทำงานของบัส..... 19
2.5 ดีเอ็มเอ..... 21
2.5.1 หลักการทำงานของดีเอ็มเอ..... 21
2.5.2 การเชื่อมต่อดีเอ็มเอ..... 22
2.6 การใช้พลังงานของวงจร..... 23
2.7 งานวิจัยที่เกี่ยวข้อง..... 24
2.7.1 งานวิจัยพัฒนาบัสระบบ MARBLE..... 24
2.7.2 งานวิจัยบัสระบบ CHAIN..... 25
2.7.3 งานวิจัยการออกแบบบัสระบบสำหรับวงจรอสมวาร..... 26

3 การออกแบบบัสระบบแบบอสมวาร..... 28
3.1 คุณสมบัติของบัสระบบ..... 28
3.2 โครงสร้างของบัสระบบ..... 29
3.2.1 บัส..... 29
3.2.2 ส่วนติดต่อของบัส..... 34
3.2.3 ตัวควบคุมบัส..... 42
3.3 การทำงานของบัสระบบ..... 43

4 การออกแบบดีเอ็มเอแบบอสมวาร..... 47
4.1 คุณสมบัติของดีเอ็มเอ..... 47
4.2 โครงสร้างของดีเอ็มเอ..... 48
4.2.1 รีจิสเตอร์ของดีเอ็มเอ..... 49
4.2.2 บัฟเฟอร์ควบคุม..... 50
4.2.3 ตัวควบคุมดีเอ็มเอ..... 51
4.2.4 วงจรเพิ่มค่า..... 51
4.2.5 วงจรลดค่า..... 54

บทที่ หน้า

4.3 บัสอุปกรณ์ต่อพ่วง..... 54
4.3.1 โครงสร้างของบัสอุปกรณ์ต่อพ่วง..... 54
4.3.2 การทำงานของบัสอุปกรณ์ต่อพ่วง..... 55
4.4 การทำงานของดีเอ็มเอ..... 56

5 การออกแบบไมโครโพรเซสเซอร์แบบอสมวาร..... 60
5.1 คุณสมบัติของไมโครโพรเซสเซอร์..... 60
5.2 ชุดคำสั่งและรหัสดำเนินการ..... 61
5.3 โครงสร้างของไมโครโพรเซสเซอร์..... 62
5.3.1 ส่วนอ่านคำสั่งและส่วนแปลความหมายของคำสั่ง..... 62
5.3.2 ส่วนประมวลผลและหน่วยคำนวณทางคณิตศาสตร์และตรรกะ..... 65
5.3.3 ส่วนเขียนผลลัพธ์..... 74
5.3.4 ส่วนบริการอินเตอร์รัพท์..... 75
5.3.5 ส่วนควบคุม..... 77
5.4 การทำงานของไมโครโพรเซสเซอร์..... 77

6 การทดลองบัสระบบ..... 78
6.1 วัตถุประสงค์ของการทดลอง..... 78
6.2 วิธีการทดลอง..... 78
6.2.1 การสร้างวงจรโดยใช้โปรแกรม Petrify 4.2..... 79
6.2.2 การสังเคราะห์วงจรด้วยโปรแกรม Xilinx ISE 11.1..... 83
6.2.3 การอิมพลิเมนท์วงจรด้วยโปรแกรม Xilinx ISE 11.1..... 84
6.2.4 การจำลองการทำงานแบบอิงเวลาด้วยโปรแกรม ModelSim XE 6.4b..... 85
6.2.5 การโปรแกรมวงจรลงเอฟพีจีเอด้วยโปรแกรม Xilinx ISE 11.1..... 86
6.3 การทดลองและผลการทดลอง..... 87
6.3.1 การทดลองวัดประสิทธิภาพของบัสระบบเข้ารหัสหนึ่งในสี่..... 87
6.3.2 การทดลองวัดประสิทธิภาพของหน่วยคำนวณทางคณิตศาสตร์และตรรกะ เข้ารหัสหนึ่งในสี่..... 98
6.3.3 โปรแกรมวงจรบัสระบบเข้ารหัสหนึ่งในสี่ลงเอฟพีจีเอ..... 108

บทที่ หน้า

6.3.4 สรุปผลการทดลองทั้งหมด..... 110

7 สรุปผลการวิจัยและข้อเสนอแนะ..... 112
7.1 สรุปผลการวิจัย..... 112
7.2 ข้อเสนอแนะ..... 115

รายการอ้างอิง..... 116
ภาคผนวก..... 119
ก ชุดคำสั่งและรหัสดำเนินการ..... 120
ข คำศัพท์ที่ใช้ในวิทยานิพนธ์..... 126

ประวัติผู้เขียนวิทยานิพนธ์..... 134

สารบัญตาราง

ตารางที่		หน้า
2.1	ค่าความจริงในสายสัญญาณรหัสรางคู่ที่ใช้เข้ารหัสข้อมูล 1 บิต	9
2.2	ค่าความจริงในสายสัญญาณรหัสหนึ่งในสี่และรหัสรางคู่ที่ใช้เข้ารหัสข้อมูล 2 บิต	10
4.1	ค่าภายในรีจิสเตอร์และอินพุทเอาท์พุทของดีเอ็มเอสำหรับคำสั่ง OUT3 @20, @10	59
5.1	เงื่อนไขการคูณครั้งละ 2 หลักของบูทอัลกอลิทึมเข้ารหัสหนึ่งในสี่	73
6.1	การเปลี่ยนสถานะสัญญาณของบัสระบบเข้ารหัสรางคู่และบัสระบบเข้ารหัสหนึ่งในสี่	91
6.2	พลังงานที่ถูกใช้โดยประมาณของบัสระบบเข้ารหัสรางคู่และบัสระบบเข้ารหัสหนึ่งในสี่	95
6.3	การใช้อุปกรณ์ของบัสระบบเข้ารหัสรางคู่และบัสระบบเข้ารหัสหนึ่งในสี่	96
6.4	เวลาที่ใช้ในการทำงานของบัสระบบเข้ารหัสรางคู่และบัสระบบเข้ารหัสหนึ่งในสี่	97
6.5	ประสิทธิภาพของบัสเข้ารหัสรางคู่และบัสระบบเข้ารหัสหนึ่งในสี่	98
6.6	รหัสรางคู่และรหัสหนึ่งในสี่	101
6.7	การเปลี่ยนสถานะสัญญาณของวงจรคูณเข้ารหัสหนึ่งในสี่แบบใช้วงจรฟังก์ชันเข้ารหัสรางคู่กับใช้วงจรฟังก์ชันเข้ารหัสหนึ่งในสี่	103
6.8	การใช้อุปกรณ์ของวงจรคูณเข้ารหัสหนึ่งในสี่แบบใช้วงจรฟังก์ชันเข้ารหัสรางคู่กับใช้วงจรฟังก์ชันเข้ารหัสหนึ่งในสี่	104
6.9	เวลาที่ใช้ในการทำงานของวงจรคูณเข้ารหัสหนึ่งในสี่แบบใช้วงจรฟังก์ชันเข้ารหัสรางคู่กับใช้วงจรฟังก์ชันเข้ารหัสหนึ่งในสี่	105
6.10	ประสิทธิภาพของวงจรคูณเข้ารหัสหนึ่งในสี่แบบใช้วงจรฟังก์ชันเข้ารหัสรางคู่กับใช้วงจรฟังก์ชันเข้ารหัสหนึ่งในสี่	106
6.11	ประสิทธิภาพของรหัสหนึ่งในสี่เทียบกับการเข้ารหัสแบบอื่น	107
6.12	สรุปผลการทดลองทั้งหมด	110
7.1	คุณสมบัติโดยสรุปของบัสระบบ ดีเอ็มเอ และหน่วยประมวลผล	113

สารบัญภาพ

ภาพที่		หน้า
2.1	สัญญาณนาฬิกาและสัญญาณนาฬิกาที่ไม่พึงประสงค์	6
2.2	การใช้เวลาของงาน A B C D E และ F	7
2.3	วงจรแปลงค่าระหว่างรหัสฐานสองกับรหัสรางคู่	9
2.4	การทำงานรับส่งข้อมูล 1 บิตของรหัสรางคู่กับสัญญาณอาณัติแบบ 4 ขั้น	9
2.5	วงจรแปลงค่าระหว่างรหัสฐานสองกับรหัสรางคู่และรหัสหนึ่งในสี่	11
2.6	การทำงานรับส่งข้อมูล 2 บิตของรหัสรางคู่และรหัสหนึ่งในสี่กับสัญญาณอาณัติแบบ 4 ขั้น	12
2.7	การออกแบบอุปกรณ์ซนิดซีโดยใช้กราฟบรรยายการเปลี่ยนสัญญาณ	14
2.8	การออกแบบวงจรรางคู่ของฟังก์ชัน F=AB'+A'B+C โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ	16
2.9	การแปลงแผนภาพตัดสินใจแบบทวิภาคชนิดลดทอนอันดับเป็นวงจรรางคู่	17
2.10	รอบการอ่านเขียนข้อมูลของบัสแบบอสมวาร	20
2.11	หลักการทำงานของดีเอ็มเอ	21
2.12	การเชื่อมต่อดีเอ็มเอกับระบบ	23
2.13	บัสระบบ MARBLE และองค์ประกอบวงจร	25
2.14	บัสระบบ CHAIN และองค์ประกอบของวงจร	25
2.15	บัสระบบแบบอสมวารและองค์ประกอบวงจร	26
3.1	โครงสร้างของบัสระบบ	27
3.2	การปรับปรุงโครงสร้างบัส	31
3.3	ส่วนติดต่อของบัส	33
3.4	ตัวรวมสัญญาณและตัวแยกสัญญาณ	34
3.5	ส่วนพักข้อมูล	35
3.6	หน่วยความจำ	37
3.7	วงจรเข้ารหัสและวงจรถอดรหัส	38
3.8	วงจรสร้างสัญญาณควบคุมหน่วยความจำแบบสมวาร	39
3.9	การออกแบบวงจรหน่วงเวลาโดยใช้กราฟบรรยายการเปลี่ยนสัญญาณ	40
3.10	ส่วนควบคุมการเปลี่ยนระดับสัญญาณร้องขอและสัญญาณตอบรับ	43

ภาพที่ หน้า

3.11 บัสระบบเข้ารหัสหนึ่งในสี่ขนาด 10 บิต..... 44

3.12 แผนผังแสดงการเปลี่ยนแปลงสถานะลอจิกของส่วนติดต่อหน่วยความจำในคำสั่งอ่านและเขียนข้อมูล..... 46

4.1 ตำแหน่งและโครงสร้างของดีเอ็มเอ..... 48

4.2 โครงสร้างของบัฟเฟอร์ควบคุม..... 50

4.3 การเคลื่อนย้ายข้อมูลด้วยดีเอ็มเอระหว่างหน่วยความจำกับหน่วยความจำ..... 52

4.4 วงจรเพิ่มค่าเข้ารหัสหนึ่งในสี่..... 52

4.5 วงจรลดค่าเข้ารหัสหนึ่งในสี่ขนาด 4 บิต..... 54

4.6 บัสอุปกรณ์ต่อพ่วง..... 55

4.7 การทำดีเอ็มเอแบบ Block Transfer Mode..... 57

4.8 การติดต่อของสัญญาณควบคุมระหว่างดีเอ็มเอกับระบบ..... 58

5.1 ขั้นตอนการทำงานของส่วนอ่านคำสั่ง และส่วนแปลความหมายของคำสั่ง..... 64

5.2 ส่วนประมวลผล..... 66

5.3 การแปลงแผนภาพตัดสินใจแบบทวิภาคชนิดลดทอนอันดับเป็นวงจรหนึ่งในสี่... 67

5.4 การออกแบบวงจรหนึ่งในสี่ของฟังก์ชันเลื่อนทุกบิตไปทางขวาแบบไม่คิดเครื่องหมายขนาด 8 บิต โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ..... 68

5.5 วงจรเลื่อนทุกบิตไปทางขวาแบบไม่คิดเครื่องหมายเข้ารหัสรางคู่และเข้ารหัสหนึ่งในสี่ขนาด 16 บิต..... 70

5.6 วงจรเลื่อนทุกบิตไปทางขวาครั้งละ 2 บิตแบบไม่คิดเครื่องหมายเข้ารหัสรางคู่และเข้ารหัสหนึ่งในสี่ขนาด 16 บิต..... 71

5.7 วงจรคูณครั้งละ 1 หลักและวงจรคูณครั้งละ 2 หลักเข้ารหัสหนึ่งในสี่..... 72

5.8 ส่วนเขียนผลลัพธ์..... 75

5.9 ขั้นตอนบริการอินเตอร์รัพท์..... 76

6.1 บัสระบบเข้ารหัสหนึ่งในสี่และองค์ประกอบ..... 79

6.2 การออกแบบวงจรหน่วงเวลาโดยใช้โปรแกรม Petrify..... 80

6.3 ชิพบนบอร์ดเอฟพีจีเอ SPARTAN..... 83

6.4 การกำหนดคุณสมบัติของอุปกรณ์เอฟพีจีเอ Xlinx SPARTAN-3E เบอร์ XC3S500EFG320..... 83

ภาพที่ หน้า

6.5 ตัวเลือกสังเคราะห์ อิมพลีเมนท์และจำลองการทำงานแบบอิงเวลาในโปรแกรม Xlinx ISE..... 84
6.6 กำหนดพอร์ทเอฟพีจีเอ..... 86
6.7 โปรแกรมลงเอฟพีจีเอ..... 87
6.8 บัสระบบเชื่อมต่อกับหน่วยความจำหนึ่งตัวที่ใช้ทดลอง..... 88
6.9 วงจรนับจำนวนการเปลี่ยนสถานะของสัญญาณ..... 89
6.10 ผลการจำลองการทำงานแบบอิงเวลาของบัสระบบและจำนวนการเปลี่ยนสถานะสัญญาณของบัสระบบ..... 90
6.11 ไฟล์ที่ใช้ในการคำนวณพลังงานบนโปรแกรม XPower Analyzer..... 92
6.12 ผลรายงานของโปรแกรม XPower Analyzer..... 93
6.13 ผลการจำลองการทำงานแบบอิงเวลาและเวลาที่ใช้ในการทำงานในคำสั่งสโตร์ของบัสระบบ..... 96
6.14 วงจรคูณครั้งละ 1 หลักเข้ารหัสหนึ่งในสี่ใช้ฟังก์ชันเข้ารหัสรางคู่และใช้ฟังก์ชันเข้ารหัสหนึ่งในสี่..... 99
6.15 วงจรคูณครั้งละ 2 หลักเข้ารหัสหนึ่งในสี่ใช้ฟังก์ชันเข้ารหัสรางคู่และใช้ฟังก์ชันเข้ารหัสหนึ่งในสี่..... 100
6.16 วงจรแปลงค่าระหว่างรหัสรางคู่กับรหัสหนึ่งในสี่..... 101
6.17 ผลการจำลองการทำงานแบบอิงเวลาของวงจรคูณเข้ารหัสหนึ่งในสี่..... 102
6.18 บัสระบบเข้ารหัสหนึ่งในสี่ องค์ประกอบ ส่วนติดต่อกับสวิทซ์แบบกดติดปล่อยดับ และส่วนติดต่อกับแอลซีดี..... 109
6.19 ผลการทดลองของบัสระบบเข้ารหัสหนึ่งในสี่ร่วมกับองค์ประกอบบนเอฟพีจีเอ.. 110