บทที่ 7

สรุปผลการวิจัยและข้อเสนอแนะ

ในบทนี้ประกอบด้วย การสรุปผลวิจัยและข้อเสนอแนะ โดยสรุปรายละเอียดของการออกแบบ การทดลอง และผลการทดลองของบัสระบบแบบอสมวารเข้ารหัสหนึ่งในสี่กับองค์ประกอบ จากนั้นเสนอข้อเสนอแนะที่ได้จากการทำวิจัยนี้ในตอนท้าย รายละเอียดมีดังต่อไปนี้

7.1 สรุปผลการวิจัย

การพัฒนาวงจรอสมวารมีความน่าสนใจเนื่องจาก วงจรอสมวารไม่ใช้สัญญาณนาฬิกาควบคุมในการรับส่งข้อมูล แต่ใช้วิธีการเข้ารหัสข้อมูลเพื่อตรวจสอบการมาถึงของข้อมูล และสร้างจังหวะในการทำงานที่ถูกต้องให้กับวงจรอสมวารแทน การทำงานที่เป็นอิสระจากสัญญาณนาฬิกานี้ส่งผลให้วงจรอสมวารมีประสิทธิภาพดีกว่าวงจรสมวารทางด้านความเร็ว และการใช้พลังงานที่ต่ำกว่า โดยการเข้ารหัสข้อมูลโดยใช้รหัสหนึ่งในสี่ เป็นรูปแบบการเข้ารหัสแบบ 1-of-N Code ที่ใช้พลังงานในการเปลี่ยนสถานะของสัญญาณน้อยกว่าการเข้ารหัสข้อมูลแบบอื่น สำหรับการออกแบบบัสที่ใช้เป็นเส้นทางรับส่งข้อมูลระหว่างวงจรให้มีประสิทธิภาพทำได้ยาก เนื่องจากการรับส่งข้อมูลระหว่างวงจรมีความแตกต่างกันเพื่อรองรับการทำงานที่หลากหลาย หากในระบบมีทั้งวงจรสมวารและอสมวารรวมกัน จะทำให้การออกแบบยุ่งยากมากยิ่งขึ้นไปอีก เกิดปัญหาการใช้สายสัญญาณจำนวนมาก การใช้พลังงานอย่างสิ้นเปลือง และเกิดความยุ่งยากในการปรับปรุงเพื่อพัฒนาต่อไป

งานวิจัยนี้จึงมีวัตถุประสงค์เพื่อพัฒนาขอบเขตการวิจัยเกี่ยวกับวงจรอสมวารทางด้านการใช้พลังงานให้มีประสิทธิภาพในการรับส่งข้อมูล และประมวลผลวงจรแบบอสมวาร โดยศึกษาการออกแบบบัสระบบแบบอสมวาร โดยใช้รหัสหนึ่งในสี่เข้ารหัสในการรับส่งข้อมูลเพื่อเพิ่มประสิทธิภาพทางด้านการใช้พลังงานให้กับบัสระบบที่เชื่อมต่อกับไมโครโพรเซสเซอร์แบบอสมวาร หน่วยความจำ และอุปกรณ์อินพุท/เอาท์พุท ซึ่งรองรับความสามารถในการเพิ่มความเร็วของบัสด้วยเทคนิคอินเตอร์รัพท์และดีเอ็มเอได้ โดยคุณสมบัติของบัสระบบ ดีเอ็มเอ และหน่วยประมวลผล เปรียบเทียบกับงานวิจัยเวอร์ชันเดิม [4] เป็นดังตารางที่ 7.1

สำนักงานคณะกรรมการวิจัยแห่งชาติ
ห้องสมุดงานวิจัย

การออกแบบบัสแบบอสมวารเข้ารหัสหนึ่งในสี่ในงานวิจัยนี้ ได้ปรับปรุงโครงสร้างจากบัสระบบรางคู่จากงานวิจัยออกแบบบัสสำหรับวงจรอสมวาร [4] เดิม โดยเปลี่ยนการเข้ารหัสบัสระบบ จากรหัสรางคู่เป็นรหัสหนึ่งในสี่ และตัดโครงสร้างส่วนที่มีความซ้ำซ้อนจากบัสระบบเดิมออก รวมถึงเปลี่ยนอุปกรณ์ Weak Inverter ที่ใช้กำจัดสัญญาณไฮ-อิมพีแดนซ์จากลอจิกสามสถานะบนสายสัญญาณบัส เป็นอุปกรณ์แอนเกตแทน เพื่อให้สอดคล้องกับข้อจำกัดซึ่งเป็นการออกแบบระดับเกต เข้ารหัสหนึ่งในสี่กับสัญญาณอาณัติแบบ 4 ขั้น นอกจากนี้ หากไม่ได้ออกแบบวงจรบัสบนเอฟพีจีเอที่ประกอบด้วยตัวต้านทานพูลอัพ และพูลดาวน์เป็นโครงสร้างหลักภายในวงจร I/O Block ของเอฟพีจีเอ จะสามารถต่อตัวต้านทานพูลดาวน์ แทนการต่อแอนด์เกตบนสายสัญญาณบัส เพื่อลดขนาดวงจรของสายสัญญาณบัสได้ บัสระบบแบบอสมวารที่ออกแบบมีคุณสมบัติโดยสรุปคือ เข้ารหัสหนึ่งในสี่กับสัญญาณอาณัติแบบ 4 ขั้น รับส่งข้อมูลได้ทั้งสองทิศทาง ทำงานแบบมัลติเพล็กซ์ มีความกว้าง 20'1of4 บิต รองรับการใช้งานรับส่งเลขที่อยู่ขนาด 20'1of4 บิต และรับส่งข้อมูลขนาด 16'1of4 บิต เชื่อมต่อกับไมโครโพรเซสเซอร์ ดีเอ็มเอ และหน่วยความจำจำนวน 2 ตัว โครงสร้างของบัสระบบประกอบด้วย บัส ส่วนติดต่อกับไมโครโพรเซสเซอร์และดีเอ็มเอ ส่วนติดต่อกับหน่วยความจำแบบสมวาร และตัวควบคุมบัส

ตารางที่ 7.1 คุณสมบัติโดยสรุปของบัสระบบ ดีเอ็มเอ และหน่วยประมวลผล

คุณสมบัติ	งานวิจัยเวอร์ชันเดิม [4]	งานวิจัยนี้
รูปแบบการเข้ารหัสข้อมูล	เข้ารหัสรางคู่	เข้ารหัสหนึ่งในสี่
ขนาดของบัสระบบ	8 บิต	10 บิต
ขนาดของดีเอ็มเอ	8 บิต	24 บิต
ขนาดของหน่วยประมวลผล	8 บิต	8 บิต
จำนวนชุดคำสั่ง	16	27
จำนวนหน่วยความจำที่รองรับ	1	2
จำนวนอุปกรณ์ต่อพ่วงที่รองรับ	2	4
รูปแบบการติดต่อกับอุปกรณ์ต่อพ่วง	Memory-mapped I/O	I/O-mapped I/O
รูปแบบการออกแบบ ALU	Dual-rail BDD	1-of-4 BDD

การออกแบบตัวควบคุมสัญญาณร้องขอและสัญญาณตอบรับ บนบัสระบบและองค์ประกอบคือ ดีเอ็มเอ และไมโครโพรเซสเซอร์ จะใช้อุปกรณ์ไปป์ไลน์ซึ่งมีขนาดเล็กกว่าแทนอุปกรณ์ออโต้สวิปที่มีขนาดใหญ่กว่าในบัสระบบเวอร์ชันเดิม สำหรับวงจรควบคุมระบบและ

องค์ประกอบ สร้างจากกราฟบรรยายการเปลี่ยนสัญญาณ โดยใช้แบบจำลองความหน่วงที่ไม่ขึ้นต่ออัตราเร็ว และใช้โปรแกรม Petrify Tool ช่วยสร้างวงจรให้สมบูรณ์ สำหรับวงจรฟังก์ชันเข้ารหัสหนึ่งในสี่ในองค์ประกอบของบัสระบบ สร้างจากแผนภาพการตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ โดยแทนค่าตัวแปรในพีชคณิตบูลีนและเขียนแจกแจงเป็นโครงสร้างที่มีอันดับชั้นเพื่อช่วยในการออกแบบและสังเคราะห์วงจรที่มีขนาดใหญ่

การออกแบบองค์ประกอบซึ่งเป็นส่วนที่ใช้งานบัส แบ่งออกเป็น การออกแบบดีเอ็มเอ โดยออกแบบดีเอ็มเอเป็นแบบอสมวารเข้ารหัสหนึ่งในสี่ เชื่อมต่อระหว่างบัสระบบกับบัสอุปกรณ์ต่อพ่วง เพื่อทำหน้าที่เป็นตัวกลางรับส่งข้อมูลระหว่างอุปกรณ์ถึงอุปกรณ์โดยตรง การออกแบบองค์ประกอบอีกส่วนหนึ่งคือ การออกแบบไมโครโพรเซสเซอร์ โดยออกแบบไมโครโพรเซสเซอร์ขนาด 8 บิต เข้ารหัสหนึ่งในสี่กับสัญญาณอาณัติแบบ 4 ขั้น ซึ่งสามารถรองรับการทำงานร่วมกับบัสระบบ ดีเอ็มเอ และการบริการอินเตอร์รัพท์ได้

การอิมพลิเมนท์วงจรบัสระบบแบบอสมวารเข้ารหัสหนึ่งในสี่ ด้วยการโปรแกรมลงเอฟพีจีเอเพื่อตรวจสอบความถูกต้องในการทำงานนั้นมีความยุ่งยาก เนื่องจากการสร้างวงจรบนวงจรรวมของเอฟพีจีเอจะสุ่มพื้นที่ในการสร้างวงจรขึ้นเอง จึงไม่สามารถกำหนดตำแหน่งของเกตภายในวงจรให้เป็นไปตามต้องการได้ ระยะทางของเกตภายในวงจรที่ถูกปรับเปลี่ยนจากการสุ่มนั้น จะทำให้ค่าเวลาล่าช้า หรือ Delay Time ในวงจรแตกต่างไปจากที่ออกแบบไว้ อาจส่งผลให้วงจรอสมวารทำงานผิดพลาดได้ กล่าวคือ ผลจำลองการทำงานของวงจรย่อยอาจมีความถูกต้องแต่เมื่อนำวงจรย่อยมาเชื่อมต่อกันเป็นวงจรขนาดใหญ่ขึ้น ผลจำลองการทำงานอาจไม่ถูกต้องตามพฤติกรรมวงจรที่ได้ออกแบบไว้ได้ เนื่องจากวงจรขนาดใหญ่จะถูกทำการสังเคราะห์และอิมพลิเมนท์วงจรใหม่ทั้งหมด รวมถึงสังเคราะห์และอิมพลิเมนท์วงจรย่อยใหม่ทั้งหมดด้วย ซึ่งอาจทำให้วงจรย่อยมีตำแหน่งการจัดวางเกตและเชื่อมสายบนอุปกรณ์เอฟพีจีเอเปลี่ยนไปจากเดิม ส่งผลกระทบถึงค่าเวลาล่าช้าในเกตและสาย ทำให้วงจรย่อยทำงานผิดพลาดได้ ดังนั้นจึงต้องแยกโครงสร้างที่ได้จากการสังเคราะห์และอิมพลิเมนท์วงจรย่อยที่มีความถูกต้องไว้ไม่ให้ถูกแก้ไข และนำโครงสร้างวงจรย่อยเหล่านั้นมาเชื่อมต่อกันเป็นวงจรขนาดใหญ่ภายหลัง

การทดลองการทำงานของบัสระบบเข้ารหัสหนึ่งในสี่ จะวัดประสิทธิภาพของบัสระบบโดย วัดการใช้พลังงาน วัดขนาดวงจร วัดความเร็วในการทำงาน และตรวจสอบความถูกต้องในการทำงาน โดยพบว่า บัสระบบสามารถทำงานร่วมกับองค์ประกอบได้อย่างถูกต้อง โดยบัสระบบเข้ารหัสหนึ่งในสี่มีประสิทธิภาพดีกว่าบัสระบบเข้ารหัสรางคู่ บนโครงสร้างเดียวกัน สำหรับวงจรฟังก์ชันเข้ารหัสหนึ่งในสี่ จะมีประสิทธิภาพสูงกว่าวงจรเข้ารหัสรางคู่ ทั้งทางด้านพลังงานที่ใช้เปลี่ยนสถานะของสัญญาณ ขนาดวงจร และความเร็วในการทำงาน หากเป็นการคำนวณครั้งละ 2 หลัก แต่หากเป็นฟังก์ชันคำนวณทีละ 1 หลัก วงจรฟังก์ชันเข้ารหัสรางคู่จะมีประสิทธิภาพทางด้านความเร็วดีกว่าวงจรฟังก์ชันเข้ารหัสหนึ่งในสี่ ดังนั้นวงจรฟังก์ชันเข้ารหัสหนึ่งในสี่จึงมีประสิทธิภาพดีเมื่อใช้กับงานที่มีการคำนวณเป็นจำนวนคู่ โดยจะมีประสิทธิภาพดีที่สุดเมื่อใช้กับงานที่มีการคำนวณครั้งละ 2 บิต

ผลการทดลองการทำงานของบัสระบบเข้ารหัสหนึ่งในสี่ตามที่ได้กล่าวไปนั้น เป็นผลการทดลองที่อ้างอิงจากการออกแบบวงจรบนเอฟพีจีเอ Xlinx SPARTAN-3E เบอร์ XC3S-500EFG320 โดยเอฟพีจีเอดังกล่าวประกอบด้วย [24] CLB (Configuration Logic Block) ซึ่งเป็นวงจรรวมที่สามารถปรับเปลี่ยนโครงแบบให้มีการทำงานสอดคล้องกับพฤติกรรมของวงจรตามที่ออกแบบไว้ได้ เมื่อเอฟพีจีเอทำงานจะสร้างสัญญาณนาฬิกาไปกระตุ้นให้ฟลิฟฟลอปภายใน CLB ทำงาน การทำงานของเอฟพีจีเอที่จำเป็นต้องอาศัยสัญญาณนาฬิกานี้ ส่งผลให้วงจรอสมวารที่ออกแบบและทดลองบนเอฟพีจีเอไม่สามารถทำงานแบบอสมวารอย่างแท้จริงได้เนื่องจากยังมีสัญญาณนาฬิกาเกี่ยวข้อง การวัดประสิทธิภาพของวงจรอสมวารโดยมีเอฟพีจีเอซึ่งทำงานแบบสมวาร (Synchronous FPGA) มาเกี่ยวข้อง จะทำให้ประสิทธิภาพที่แท้จริงของวงจรอสมวารถูกลดทอนลงไป

7.2 ข้อเสนอแนะ

การทดลองวงจรอสมวารบนเอฟพีจีเอแบบสมวารนั้น ทำให้ประสิทธิภาพที่แท้จริงของวงจรอสมวารถูกลดทอนลงไป ในอนาคตหากมีเอฟพีจีเอแบบอสมวารแพร่หลาย การทดลองวงจรอสมวารบนเอฟพีจีเอแบบอสมวาร (Asynchronous FPGA) จึงมีความน่าสนใจเนื่องจากสามารถวัดประสิทธิภาพที่แท้จริงของวงจรอสมวารได้มากขึ้น เพราะเป็นอิสระต่อสัญญาณนาฬิกาบนเอฟพีจีเอแบบสมวาร