



246307

การออกแบบวงจรแปลงแรงดันสัญญาณเชิงอนุพันธ์เป็นสัญญาณเชิงลบโดยใช้เทคนิคการแปลงครึ่ง
และสองส่วนประจุ

นายอริหะห์ อึ้งวิบูลย์

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2553
ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

600 250 745



การออกแบบวงจรแปลงผันสัญญาณเชิงอนุमानเป็นสัญญาณเชิงเลขโดยใช้เทคโนโลยีการแบ่งวงจร
และสะสมประจุ

นายวาริทห์ ลิ้มวิบูลย์



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2553

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย



A DESIGN OF ANALOG TO DIGITAL CONVERTER BASED ON BINARY CHARGE
DIVISION AND ACCUMULATION TECHNIQUES

Mr. Varit Limwibul

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering Program in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2010

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์

การออกแบบวงจรแปลงผันสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลข
โดยใช้เทคนิคการแบ่งครึ่งและสะสมประจุ

โดย

นาย วาริทธิ์ ลิ้มวิบูลย์

สาขาวิชา

วิศวกรรมไฟฟ้า

อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก

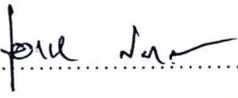
รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้รับวิทยานิพนธ์ฉบับนี้
เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต


..... คณบดีคณะวิศวกรรมศาสตร์
(รองศาสตราจารย์ ดร.บุญสม เลิศธีรณรงค์)

คณะกรรมการสอบวิทยานิพนธ์


..... ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.วันเฉลิม โปธา)


..... อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์)


..... กรรมการภายนอกมหาวิทยาลัย
(ดร. นราธิป วงษ์โคเมท)

วาริทธิ์ ลิ้มวิบูลย์ : การออกแบบวงจรแปลงผันสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลขโดยใช้เทคนิคการแบ่งครึ่งและสะสมประจุ. (A DESIGN OF ANALOG TO DIGITAL CONVERTER BASED ON BINARY CHARGE DIVISION AND ACCUMULATION TECHNIQUES) อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก : รศ. ดร. เอกชัย ลีลาวัศมี, 64 หน้า.

246307

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลที่ใช้โครงสร้างซีมอสที่กินกำลังงานต่ำ โดยใช้เทคนิคการแบ่งครึ่งประจุและการสะสมประจุในการค้นหาสัญญาณแบบการประมาณสืบเนื่อง จากการต่อตัวเก็บประจุที่ถูกอัดประจุไว้ต่อเข้ากับตัวเก็บประจุที่ค่าความจุเท่ากันแต่ไม่มีประจุคงอยู่ ประจุครึ่งหนึ่งจะถูกแบ่งครึ่งไปยังตัวเก็บประจุที่ว่างเปล่าหรือเรียกได้ว่าการแบ่งครึ่งประจุฐานสอง วงจรมีการตัดสินใจในการทิ้งประจุที่ได้หรือเก็บสะสมในตัวเก็บประจุสะสมบนตัวสะสมประจุ กระบวนการทั้งหมดนี้สามารถแบ่งเป็นจำนวน n ครั้งและให้วงจรแปลงผันที่มีความละเอียดการแปลงผัน n บิต วงจรแปลงผันได้ถูกออกแบบให้ทำงานในรูปแบบผลต่างสมบูรณโดยใช้ตัวเก็บประจุที่มีค่าความจุเท่ากัน 6 ตัว ซีมอสสวิตช์ วงจรออปแอมป์ 1 ตัว และ วงจรเปรียบเทียบแบบแลตซ์ ข้อดีของการใช้เทคนิคนี้คือวงจรไม่จำเป็นต้องเปลี่ยนแปลงโครงสร้างตามจำนวนบิตและสามารถปรับเปลี่ยนความละเอียดการแปลงผันได้ตามต้องการ รวมถึงวงจรมีแนวโน้มจะกินพลังงานต่ำเนื่องจากทำงานเฉพาะในการเคลื่อนย้ายประจุ ในงานวิจัยนี้องค์ประกอบที่ทำให้วงจรมีความเร็วในการแปลงผันต่ำสุดได้ถูกวิเคราะห์ รวมถึงวิเคราะห์ความผิดพลาดของวงจรเนื่องจากการขีดของประจุช่องนำกระแสของทรานซิสเตอร์ การทะลุผ่านของสัญญาณนาฬิกา และความผิดพลาดเนื่องจากการรั่วของวงจรรอแอมป์ วงจรแปลงผันนี้ได้ถูกออกแบบโดยใช้เทคโนโลยีมอสเฟตที่ความยาวของช่องนำกระแส 0.5 ไมครอนจากบริษัท โมลิส โดยใช้แรงดันแหล่งกำเนิด 3.3 โวลต์ วงจรที่ถูกทดสอบสามารถทำงานได้ที่ 1.25 เมกะเฮิร์ต โดยให้ความละเอียดการแปลงผัน 8 บิต ด้วยอัตราการใช้ตัวอย่าง 0.15625 เมกะตัวอย่างต่อวินาที

ภาควิชา..... วิศวกรรมไฟฟ้า.....ลายมือชื่อนิสิต.....
 สาขาวิชา..... วิศวกรรมไฟฟ้า.....ลายมือชื่อที่ปรึกษาวิทยานิพนธ์หลัก.....
 ปีการศึกษา..... 2553.....

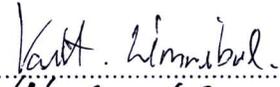
5270693021 : MAJOR ELECTRICAL ENGINEERING

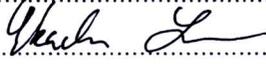
KEYWORDS: SWITCHED CAPACITOR / ANALOG TO DIGITAL CONVERTER (ADC) / BINARY CHARGE DIVISION AND CHARGE ACCUMULATION TECHNIQUES

VARIT LIMWIBUL : A DESIGN OF ANALOG TO DIGITAL CONVERTER BASED ON BINARY CHARGE DIVISION AND ACCUMULATION TECHNIQUES ADVISOR : ASSOC. PROF. EKACHAI LEELARASMEE, Ph.D., 64 pp.

246307

This thesis presents a new CMOS architecture for synthesizing a low power Analog to Digital Converter. It is based on binary charge division and charge accumulation techniques to perform successive approximation. By connecting a charged capacitor with an empty divided capacitors of the same capacitance, half of charge is transferred to the latter, leading to a binary charge division. A decision is then made whether to dump the transferred charge or stored it in an accumulating capacitor through a charge accumulator. This combined process of charge division and accumulation can be repeated n times to implement an n bit successive approximation analog to digital converter. The circuit is designed to operate in fully differential mode using only 6 equal capacitors, a number of CMOS switches, one operational amplifier and a latch comparator. A distinctive advantage of this technique is in its capability to generate any number of bits without changing its structure. The circuit also tends to be low power as it operates only on charges. Factors determining the minimum conversion time will be analyzed. Effect of charge injection, clock feed through and op-amp finite gain will also be given. The circuit is implemented using 0.5um CMOS technology from MOSIS and operated at 3.3V supply voltage. Testing shows that it can operate at 1.25 MHz clock and yields an 8-bit output with a conversion rate of 0.15625 Msample/sec.

Department: ... Electrical Engineering ... Student's Signature: 

Field of Study: ... Electrical Engineering ... Advisor's Signature: 

Academic Year: ... 2010

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างดียิ่งของ รองศาสตราจารย์ ดร.เอกชัย ลีลาวัศมี อาจารย์ที่ปรึกษาวิทยานิพนธ์ของข้าพเจ้า ซึ่งได้ให้คำแนะนำและแนวทางในการออกแบบวงจรรวม และขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ วันเฉลิม โปรา ที่ให้สถานที่และคอมพิวเตอร์ในการทำวิจัย อีกทั้งขอขอบพระคุณอ.บุญช่วย ทรัพย์มณฑล ที่ให้คำแนะนำเกี่ยวกับมอสเฟตและพื้นฐาน

ขอขอบคุณจุฬาลงกรณ์มหาวิทยาลัยที่ให้ความรู้และประสบการณ์ดี ๆ ทั้งด้านวิชาการ ด้านสังคมและอื่นๆแก่ข้าพเจ้า

ขอกราบขอบพระคุณ บิดา-มารดา ที่อำนวยความสะดวกและเป็นกำลังในการงานวิจัยครั้งนี้

ขอขอบคุณคุณพี่ ไพโรจน์ ศรินามารัตนะ และพี่ๆจากบริษัท ซิลิกอนกราฟ ที่ช่วยสอนพื้นฐานการออกแบบวงจรรวมและให้คำปรึกษาในปัญหาการออกแบบ

สุดท้ายนี้ขอขอบคุณพี่ๆ เพื่อนๆ น้องๆ ในห้องปฏิบัติการวิจัยการออกแบบและประยุกต์วงจรรวมทุกคน สำหรับความช่วยเหลือ คำแนะนำและความรู้สึกดี ๆ ที่มีให้มาโดยตลอด

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ง
บทคัดย่อภาษาอังกฤษ	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ	ช
สารบัญตาราง.....	ฅ
สารบัญภาพ	ฉ
บทที่ 1 บทนำ.....	1
1.1. ความเป็นมาและความสำคัญในการทำวิจัย	1
1.2. วัตถุประสงค์ของการวิจัย	3
1.3. ขอบเขตของการวิจัย	3
1.4. ประโยชน์ที่คาดว่าจะได้รับ	4
1.5. วิธีดำเนินการวิจัย	4
1.6. ลำดับขั้นตอนในการเสนอผลการวิจัย	4
บทที่ 2 หลักการและทฤษฎีที่เกี่ยวข้อง	5
2.1. เทคนิคการประมาณแบบสืบเนื่อง (Successive Approximation Technique)	5
2.2. วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณสืบเนื่องโดย การกระจายประจุใหม่ (Charge Redistribution Successive Approximation Analog-to- Digital Converter).....	6
2.3. โครงสร้างสวิตช์และตัวเก็บประจุ (Switched-Capacitor Structure)	9
2.3.1. การใช้มอสเฟตทำหน้าที่สวิตช์ (MOSFET as Switch)	9

2.3.2.	ความเร็วของวงจรสวิตช์และตัวเก็บประจุ (Switched Capacitor Circuits Speed)	10
2.3.3.	ความแม่นยำในการทำงานของสวิตช์ (Switched Capacitor Circuits Precision)	11
2.4.	วงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit)	13
2.5.	วงจรสะสมประจุ (Charge Accumulation Circuit)	14
2.6.	สรุปท้ายบท	15
<p>บทที่ 3 วงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณสี่บิตเนื่องโดยใช้หลักการแบ่งครึ่งประจุและสะสมประจุ (Analog to Digital Converter Circuits based on Binary Charge Division and Charge Accumulation techniques)</p>		
3.1.	โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Prototype Architecture)	16
3.2.	จังหวะการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Operation of Prototype DAC)	18
3.3.	วงจรออปแอมป์แบบผลต่างสมบูรณ์ (Fully-Differential Operational Amplifier)	21
3.4.	โครงสร้างวงจรแปลงผันแอนะล็อกเป็นดิจิทัลในงานวิจัย (Proposed Analog to Digital Converter Architecture)	22
3.5.	สรุปท้ายบท	23
<p>บทที่ 4 การออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัลโดยใช้เทคนิคการแบ่งครึ่งและสะสมประจุ (Design of Analog to Digital Converter Circuit using Binary Charge Division and Accumulation Techniques)</p>		
4.1.	ข้อมูลเบื้องต้นในการออกแบบ (Design Specification)	24
4.2.	การออกแบบวงจรแปลงผันสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Design of Digital-to-Analog Converter Circuit)	25

4.2.1.	การออกแบบวงจรชักตัวอย่างแรงดันอ้างอิง (Design of Reference Voltage Sampling Circuit)	25
4.2.2.	การออกแบบวงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit).....	31
4.2.3.	การออกแบบสวิตช์วงจรสะสมประจุ (Design of Charge Accumulation Switches).....	34
4.2.4.	การออกแบบวงจรออปแอมป์ผลต่างสมบูรณ์ (Design of Fully-Differential Operational Amplifier Circuit)	36
4.3.	การออกแบบวงจรเปรียบเทียบ (Design of Comparator Circuit)	41
4.3.1.	การออกแบบวงจรมายายาเข้า (Design of Preamplifier Circuit).....	41
4.3.2.	การออกแบบวงจรตัดสินใจระดับสัญญาณ (Design of Decision Circuit)	44
4.4.	การออกแบบวงจรแลตช์พลวัต (Design of Dynamic Latch Circuit).....	45
4.5.	การออกแบบวงจรถูกควบคุม (Design of Control Logic Circuit).....	46
4.6.	สรุปท้ายบท.....	47
บทที่ 5 พลังงาน ผลการจำลองสถานะชั่วคราวของทั้งระบบ ความไม่เป็นเชิงเส้นผลต่าง และความไม่เป็นเชิงเส้นผลรวมของวงจร (Power Consumption Overall Transient Simulation Differential Nonlinearity and Integral Nonlinearity of Proposed ADC)		48
5.1.	พลังงานในวงจรแปลงผันแอนะล็อกเป็นดิจิทัล (Power Consumption of ADC)	48
5.2.	ผลการจำลองสถานะชั่วคราวของทั้งระบบ (Overall Transient Simulations)	50
5.3.	ผลความไม่เชิงเส้นผลต่างและความไม่เชิงเส้นผลรวมของวงจรแปลงผัน 8 บิต (Differential Nonlinearity and Integral Nonlinearity of 8 bits Proposed ADC)	58
5.4.	สรุปท้ายบท.....	61
บทที่ 6 ข้อสรุปและข้อเสนอแนะ		62
6.1.	ข้อสรุป.....	62

6.2. ข้อเสนอแนะ.....	62
รายการอ้างอิง.....	63
ประวัติผู้เขียนวิทยานิพนธ์.....	64

สารบัญตาราง

	หน้า
ตารางที่ 1-1 วงจรแปลงผันแอนะล็อกเป็นดิจิทัลชนิดต่างๆในปัจจุบัน	1
ตารางที่ 4-1 ขนาดของทรานซิสเตอร์ในวงจรอปแอมป์หลักในรูปที่ 4-15	37
ตารางที่ 4-2 ขนาดของทรานซิสเตอร์ในวงจรสร้างจุดทำงานรูปที่ 4-16	39
ตารางที่ 4-3 ขนาดของทรานซิสเตอร์ในวงจรป้อนกลับโหมตร่วมรูปที่ 4-17	39
ตารางที่ 4-4 พารามิเตอร์ของทรานซิสเตอร์หนึ่งหน่วยที่ใช้ในการออกแบบวงจรขยายขาเข้า	42
ตารางที่ 4-5 ขนาดของทรานซิสเตอร์ในวงจรตัดสัญญาณระดับสัญญาณ	45
ตารางที่ 4-6 ขนาดของทรานซิสเตอร์ในวงจรผกผันในวงจรแลตซ์พลวัต	46
ตารางที่ 5-1 กระแสและกำลังงานในวงจรอปแอมป์ทั้งหมด	48
ตารางที่ 5-2 พลังงานที่ใช้ในวงจรแปลงผันแอนะล็อกเป็นดิจิทัลหนึ่งวัฏจักร	49

สารบัญภาพ

	หน้า
รูปที่ 1-1 โครงสร้างโดยรวมของวงจรแปลงผันแบบการประมาณสลิปเนื่อง	2
รูปที่ 2-1 ภาพแสดงตัวอย่างการประมาณแบบสลิปเนื่อง	5
รูปที่ 2-2 ผังงานสรุปการทำงานของวงจรแปลงผันแบบสลิปเนื่องความละเอียด n บิต	6
รูปที่ 2-3 วงจรแปลงผันแบบการประมาณสลิปเนื่องที่การกระจายประจุใหม่	6
รูปที่ 2-4 ภาพการทำงานของวงจรแปลงผันแบบกระจายประจุใหม่ 5 บิต	7
รูปที่ 2-5 แบบจำลองมอสเฟตชนิดเอ็นในรูปของความต้านทานขณะทำงานอยู่ในโหมดความ ต้านทานช่วงลึกลับ	9
รูปที่ 2-6 รูปแสดงความเร็วและความผิดพลาดในการชั่งตัวอย่างเมื่อมอสเฟตทำงานในภาวะ ความต้านทานช่วงลึกลับ	10
รูปที่ 2-7 แสดงการไหลของประจุส่วนเกินจากมอสเฟตทั้งสองชนิดขณะกำลังหยุดทำงาน	11
รูปที่ 2-8 การเหนี่ยวนำของสัญญาณพิก้าผ่านตัวเก็บประจุพาราซิติคของมอสเฟต	12
รูปที่ 2-9 วงจรแบ่งครึ่งประจุที่ใช้มอสเฟตในโหมดความต้านทานแทนสวิตช์	13
รูปที่ 2-10 วงจรสมประจุที่ใช้มอสเฟตในการทำงานแทนสวิตช์	14
รูปที่ 3-1 โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบที่ประกอบด้วยวงจรแบ่งครึ่งประจุ และวงจรสมประจุ	16
รูปที่ 3-2 กราฟแสดงตัวอย่างสัญญาณควบคุมวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ	18
รูปที่ 3-3 เฟสการชั่งตัวอย่างของวงจรแปลงผันดิจิทัลเป็นแอนะล็อก	18
รูปที่ 3-4 เฟสการแบ่งครึ่งประจุนระหว่างตัวเก็บประจุ C_1 และ C_2	19
รูปที่ 3-5 กราฟแสดงตัวอย่างแรงดันบนตัวเก็บประจุ C_1 (V_1) และ C_2 (V_2)	19
รูปที่ 3-6 รูปการเพิ่มประจุในเฟสการสมประจุโดยการต่อตัวเก็บประจุ C_2 เข้ากับขาเข้าวงจร ออพแอมป์ตรงขั้ว	20

รูปที่ 3-7 กราฟแรงดันขาออกวงจรแปลงผันดิคิจัลเป็นแอนะล็อกที่มีสัญญาณนาฬิกาควบคุมตามรูปที่ 3-2	20
รูปที่ 3-8 วงจรออปแอมป์แบบผลต่างสมบูรณ์ที่ใช้ในวงจรสะสมประจุ	21
รูปที่ 3-9 บล็อกไดอะแกรมของวงจรแปลงผันในงานวิจัยนี้	22
รูปที่ 3-10 โครงสร้างวงจรโดยรวมของวงจรแปลงผันทั้งหมดในงานวิจัยนี้.....	23
รูปที่ 4-1 วงจรชั๊กตัวอย่างแรงดันอ้างอิงที่ใช้มอสเฟตแทนสวิดซ์	25
รูปที่ 4-2 ผลการจำลองสถานะชั่วคราวผลจากการฉีกประจุของนำกระแสที่ส่งผลต่อแรงดัน V_{11} บนโนดตัวเก็บประจุ C_{11}	27
รูปที่ 4-3 ผลการจำลองสถานะชั่วคราวผลจากการฉีกประจุของนำกระแสที่ส่งผลต่อแรงดัน V_{12} บนโนดตัวเก็บประจุ C_{12}	27
รูปที่ 4-4 ผลการจำลองสถานะชั่วคราวการฉีกประจุของนำกระแสที่ส่งผลต่อแรงดัน V_1 ที่เกิดจากผลต่างแรงดัน V_{11} และ V_{12}	28
รูปที่ 4-5 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั๊กตัวอย่างของแรงดัน V_{11}	29
รูปที่ 4-6 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั๊กตัวอย่างของแรงดัน V_{12}	30
รูปที่ 4-7 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการชั๊กตัวอย่างของแรงดัน V_1	30
รูปที่ 4-8 โครงสร้างวงจรแบ่งประจุร่วมโดยตัวเก็บประจุมีค่าเท่ากันทั้งหมด	31
รูปที่ 4-9 แสดงการไหลของประจุในสวิดซ์มอสเฟต (g) ขณะเริ่มการแบ่งครึ่งประจุ (x) ขณะหลังการแบ่งครึ่งประจุเสร็จสิ้น	31
รูปที่ 4-10 ผลการจำลองสถานะชั่วคราวแรงดันบนตัวเก็บประจุจากการแบ่งครึ่งประจุ	33
รูปที่ 4-11 ผลการจำลองสถานะชั่วคราวของผลต่างแรงดันบนตัวเก็บประจุ C_{11} และ $C_{12}(V_1=V_{11}-V_{12})$	34
รูปที่ 4-12 โครงสร้างวงจรสะสมประจุที่ใช้มอสเฟตชนิดเอ็นแทนสวิดซ์	34
รูปที่ 4-13 การฉีกประจุจากมอสเฟตสวิดซ์ที่ใช้เพิ่มประจุสะสม	35

รูปที่ 4-14 การฉีดประจุจากมอสเฟตสวิตช์ที่ใช้ลดประจุสะสม	35
รูปที่ 4-15 วงจรออปแอมป์สองระยะที่ใช้ในงานวิจัย	38
รูปที่ 4-16 วงจรสร้างจุดทำงานแก่วงจรออปแอมป์หลักใน รูปที่ 4-15	39
รูปที่ 4-17 วงจรป้อนกลับโหมตร่วม	40
รูปที่ 4-18 ผลตอบสนองทางความถี่โดยการจำลองสัญญาณไฟสลับ	40
รูปที่ 4-19 ผลตอบสนองการกวาดแรงดันขาเข้าด้านบวกของวงจรออปแอมป์	41
รูปที่ 4-20 โครงสร้างวงจรขยายขาเข้า (Preamplifier Circuits)	42
รูปที่ 4-21 วงจรการหาพารามิเตอร์ทรานซิสเตอร์	42
รูปที่ 4-22 วงจรตัดสินใจระดับสัญญาณ (Decision Circuit)	44
รูปที่ 4-23 วงจรแลตช์พลวัต (Dynamic Latch)	45
รูปที่ 4-24 รูปแสดงสัญญาณการเปิด/ปิดวงจรแลตช์ (ϕ_{latch})	46
รูปที่ 5-1 รูปบน: กราฟผลต่างแรงดันบนคู่ตัวเก็บประจุ $C_{11}-C_{12}$ (V_1) และ $C_{21}-C_{22}$ (V_2)	50
รูปที่ 5-2 ผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ($V_{D/A}$) และผลต่างแรงดัน สัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล (V_{in}) มีค่า 200 มิลลิโวลต์	51
รูปที่ 5-3 แรงดันขาออกด้านบวกวงจรเปรียบเทียบ (V_{comp+}) เมื่อแรงดันขาเข้าเท่ากับ 200 มิลลิโวลต์	52
รูปที่ 5-4 สัญญาณดิจิทัลขาออก (D_{out}) ซ้อนกับสัญญาณนาฬิกาที่ 2 (clk2) เมื่อแรงดันขาเข้า เท่ากับ 200 มิลลิโวลต์	52
รูปที่ 5-5 ผลต่างแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ($V_{D/A}$) และผลต่างแรงดัน สัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิทัล (V_{in}) มีค่า 400 มิลลิโวลต์	53
รูปที่ 5-6 สัญญาณดิจิทัลขาออก (D_{out}) ซ้อนกับสัญญาณนาฬิกาที่ 2 (clk2) เมื่อแรงดันขาเข้า เท่ากับ 400 มิลลิโวลต์	53

รูปที่ 5-7 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิตัลเป็นแอนะล็อก ($V_{D/A}$) และผลต่างแรงดันสัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิตัล (V_{in}) มีค่า 600 มิลลิโวลต์..... 54

รูปที่ 5-8 สัญญาณดิจิตัลขาออก (D_{out}) ซ้อนกับสัญญาณนาฬิกาที่ 2 ($clk2$) เมื่อแรงดันขาเข้าเท่ากับ 600 มิลลิโวลต์ 55

รูปที่ 5-9 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิตัลเป็นแอนะล็อก ($V_{D/A}$) และผลต่างแรงดันสัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิตัล (V_{in}) มีค่า 800 มิลลิโวลต์..... 55

รูปที่ 5-10 สัญญาณดิจิตัลขาออก (D_{out}) ซ้อนกับสัญญาณนาฬิกาที่ 2 ($clk2$) เมื่อแรงดันขาเข้าเท่ากับ 800 มิลลิโวลต์ 56

รูปที่ 5-11 รูปบน: กราฟผลต่างแรงดัน V_1 และ V_2 3 วงจรการแปลงผัน, รูปล่าง: กราฟสัญญาณนาฬิกาที่ 1 (ϕ_1) และสัญญาณการซัดตัวอย่าง (ϕ_s) 3 วงจรการแปลงผัน 56

รูปที่ 5-12 กราฟผลต่างแรงดันขาออกวงจรแปลงผันดิจิตัลเป็นแอนะล็อก ($V_{D/A}$) และผลต่างแรงดันสัญญาณขาเข้าของวงจรแปลงผันแอนะล็อกเป็นดิจิตัล (V_{in}) ที่มีค่าเปลี่ยนแปลง 57

รูปที่ 5-13 สัญญาณดิจิตัลขาออก (D_{out}) ซ้อนกับสัญญาณนาฬิกาที่ 2 ($clk2$) เมื่อแรงดันขาเข้ามีค่าเปลี่ยนไป 3 วงจร 57

รูปที่ 5-14 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิต 58

รูปที่ 5-15 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 0 ถึงบิต 60 59

รูปที่ 5-16 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 60 ถึงบิต 125 59

รูปที่ 5-17 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 125 ถึงบิต 190 60

รูปที่ 5-18 กราฟการถ่ายโอนของวงจรแปลงผัน 8 บิตในช่วงบิต 190 ถึงบิต 255 60

รูปที่ 5-19 ความไม่เป็นเชิงเส้นผลต่างและความไม่เป็นเชิงเส้นผลรวม 61