

บทที่ 4

การออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัลโดยใช้เทคนิคการแบ่งครึ่งและ

สะสมประจุ (Design of Analog to Digital Converter Circuit using Binary

Charge Division and Accumulation Techniques)

การออกแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลจำเป็นต้องมีการกำหนดสมรรถนะ (Performance) และนำไปออกแบบองค์ประกอบต่างๆของวงจรให้สามารถทำงานได้ตามที่กำหนด ในบทนี้จะกล่าวถึงคุณลักษณะของวงจรแปลงผันรวมทั้งหมด เทคโนโลยีมอสเฟตที่ใช้ในการออกแบบ นำไปสู่การออกแบบองค์ประกอบของวงจรในอันดับต่อไป

4.1. ข้อมูลเบื้องต้นในการออกแบบ (Design Specification)

วงจรแปลงผันในงานวิจัยนี้มีข้อกำหนด (Specifications) ดังต่อไปนี้

- จำนวนบิตแปลงผันสัญญาณ 8 บิต (Output Number of Bits, $n = 8$)
- แรงดันอ้างอิงผลต่าง 1 โวลต์ (Differential Reference Voltage, $V_{ref}=1V$) โดยมีแรงดันอ้างอิงด้านขาบวก (V_{ref+}) เท่ากับ 2 โวลต์ ด้านขาลบ (V_{ref-}) เท่ากับ 1 โวลต์ แรงดันแหล่งจ่าย (V_{DD}) เท่ากับ 3.3 โวลต์ และแรงดันผลรวม (V_{cm}) เท่ากับ 1.5 โวลต์
- ความถี่สัญญาณนาฬิกาหลัก 1.25 เมกะเฮิร์ต (Main Clock Frequency, $f_{clk}=1.25$ MHz) หรือมีคาบสัญญาณนาฬิกาเท่ากับ 0.8 ไมโครวินาที
- กำหนดให้ใช้ตัวเก็บประจุขนาด 1 pF ในวงจรแปลงผันดิจิทัลเป็นแอนะล็อกเพื่อประหยัดพื้นที่ในการออกแบบวงจร รวมถึงเพื่อเพิ่มความเร็วในการทำงาน

จากข้อกำหนดข้างต้นจะได้ว่า
$$1 \text{ LSB} = \frac{V_{reference}}{2^n} = 3.90625 \text{ mV} \quad (4-1)$$

เพื่อไม่ให้เกิดความผิดพลาดในการตัดสินใจบิตสัญญาณดิจิทัล เช่น รหัสที่หายไป (Missing Code) วงจรจะต้องมีความผิดพลาดน้อยกว่า 0.5 LSB หรือเท่ากับ 1.953125 mV

สำหรับเวลาทั้งหมดที่ใช้ในการแปลงผันสัญญาณดิจิทัล 8 บิต 1 วัฏจักร คือ

$$\text{Conversion Time} = (n + 2)T_{clk} = \frac{(n + 2)}{f_{clk}} = 8 \mu\text{s} \quad (4-2)$$

ทรานซิสเตอร์ที่ใช้ในการออกแบบงานวิจัยนี้ใช้ เทคโนโลยี 0.5 um ของบริษัทโมซิส (MOSIS) [8] แบบจำลองของทรานซิสเตอร์ที่ใกล้เคียงเทคโนโลยีนี้คือ บีซิม 3 รุ่นที่ 3 (BSIM 3 version 3) หรือ ระดับที่ 49 (Level 49) ในโปรแกรม เฮสไปซัส (Hspice Program)

4.2. การออกแบบวงจรแปลงผันสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (Design of Digital-to-Analog Converter Circuit)

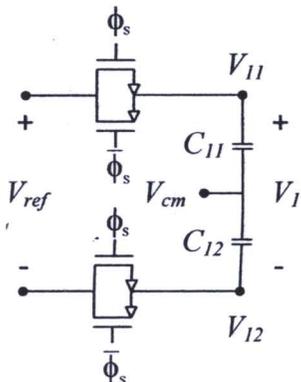
วงจรแปลงผันดิจิทัลเป็นแอนะล็อกในงานวิจัยนี้ประกอบด้วยสามเฟสการทำงานคือ เฟสการชั่งตัวอย่างแรงดันอ้างอิง (Reference Voltage Sampling Phase) เฟสการแบ่งครึ่งประจุ (Binary Charge Division Phase) เฟสการสะสมประจุ (Charge Accumulation Phase) ในหัวข้อนี้จะกล่าวถึงการออกแบบการทำงานของวงจรทั้งสามช่วงโดยใช้ซีมอส ตามข้อกำหนดในหัวข้อ 4.1

4.2.1. การออกแบบวงจรชั่งตัวอย่างแรงดันอ้างอิง (Design of Reference Voltage Sampling Circuit)

เนื่องจากโครงสร้างการชั่งตัวอย่างของวงจรนี้ใช้สวิตช์และตัวเก็บประจุ (Switched Capacitor's Structure) และใช้ทรานซิสเตอร์มอสเฟตในการทำสวิตช์ และการคำนวณหาขนาดของมอสเฟตและตัวเก็บประจุนั้นมีปัจจัยสองปัจจัย คือ ความเร็วของการชั่งตัวอย่าง (Sampling Speed) กับ ความผิดพลาดในการชั่งตัวอย่าง (Sampling Error)

ในแง่ของความผิดพลาด อันดับแรกพิจารณาความผิดพลาดที่เกิดจากขีดของประจุของนำกระแสหลังการทำชั่งตัวอย่าง (Charge Injection Error) ซึ่งขึ้นกับขนาดของสวิตช์ที่ใช้ในการทำงาน ดังนั้นความผิดพลาดชนิดนี้จึงเป็นหนึ่งในข้อกำหนดขนาดทรานซิสเตอร์สูงสุดที่ใช้ได้ในการทำสวิตช์เพื่อไม่ให้ค่าความผิดพลาดเกินข้อกำหนดในหัวข้อ 4.1

ดังที่กล่าวไว้ในหัวข้อ 4.1 วงจรแปลงผันดิจิทัลเป็นแอนะล็อกในงานวิจัยนี้ใช้ตัวเก็บประจุ 6 ตัวที่มีค่าความจุเท่ากัน และกำหนดให้ขนาดตัวเก็บประจุแต่ละตัวมีค่าเท่ากับ 1 pF ซึ่งมีค่ามากกว่าค่าความจุพาราซิติค (Parasitic Capacitance) ของทรานซิสเตอร์มอสเฟตที่ใช้สร้างสวิตช์ ดังนั้นจากสมการ (2-16) ความผิดพลาดจากการทะลุผ่านของสัญญาณนาฬิกา (Clock Feed Through Error) จึงสามารถละเลยได้



รูปที่ 4-1 วงจรชั่งตัวอย่างแรงดันอ้างอิงที่ใช้มอสเฟตแทนสวิตช์

จากรูปที่ 4-2 แสดงโครงสร้างของสวิตช์ที่ใช้ในการชั้กตัวอย่างแรงดันอ้างอิง ซึ่งประกอบด้วยมอสเฟตชนิดเอ็นและชนิดพี เหตุผลที่เลือกใช้มอสเฟตทั้งสองชนิดขนาดกันนั้น เพื่อลดค่าความผิดพลาดจากประจุในช่องนำกระแส เนื่องจากการลบล้างของประจุช่องนำกระแสของมอสเฟตทั้งสองชนิด ดังนั้นสามารถหาอัตราส่วนขนาดโดยประมาณของมอสเฟตทั้งสองชนิดจากจับเท่ากับของสมการ (2-13) และ (2-14) สามารถหาอัตราส่วนขนาดของทรานซิสเตอร์ทั้งสองชนิดได้ดังนี้

$$\therefore \frac{(WL)_n}{(WL)_p} = \frac{(V_m + V_{DD} + V_{THP})}{(V_{DD} - V_m - V_{THN})} \quad (4-3)$$

ในงานวิจัยนี้กำหนดให้ผลต่างแรงดันอ้างอิงมีค่าคือ $V_{ref+} = 2V$, $V_{ref-} = 1V$ และกำหนดให้ความยาวทรานซิสเตอร์ทั้งสองชนิดมีค่าเท่ากับ $1 \mu m$

ดังนั้นจากสมการที่ (4-10) ที่แรงดันมาตรฐานขาบวกสามารถหาอัตราส่วนความกว้างได้ (เมื่อละเลยผลของบอติที่ทำให้แรงดันขีดเริ่ม (Threshold Voltage) เปลี่ยนแปลง) คือ

$$\therefore \frac{(W)_{n,ref+}}{(W)_{p,ref+}} = \frac{(2 + 3.3 - 0.9152268)}{(3.3 - 2 - 0.5914358)} = 6.18825 \quad (4-11)$$

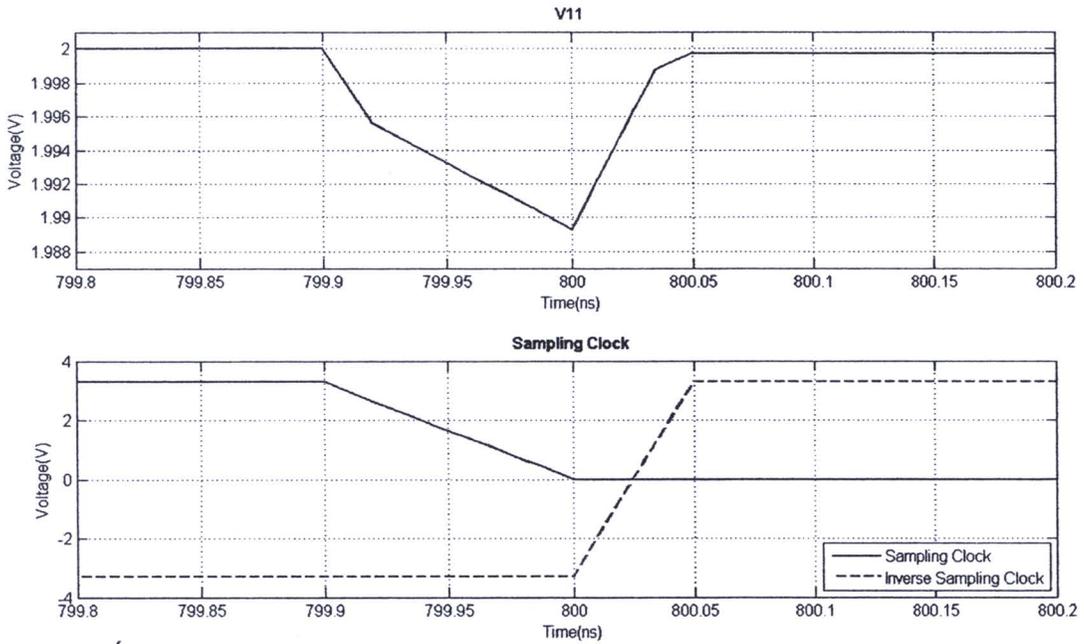
และที่แรงดันอ้างอิงขาลบคือ

$$\therefore \frac{(W)_{n,ref-}}{(W)_{p,ref-}} = \frac{(1 + 3.3 - 0.9152268)}{(3.3 - 1 - 0.5914358)} = 1.98106 \quad (4-12)$$

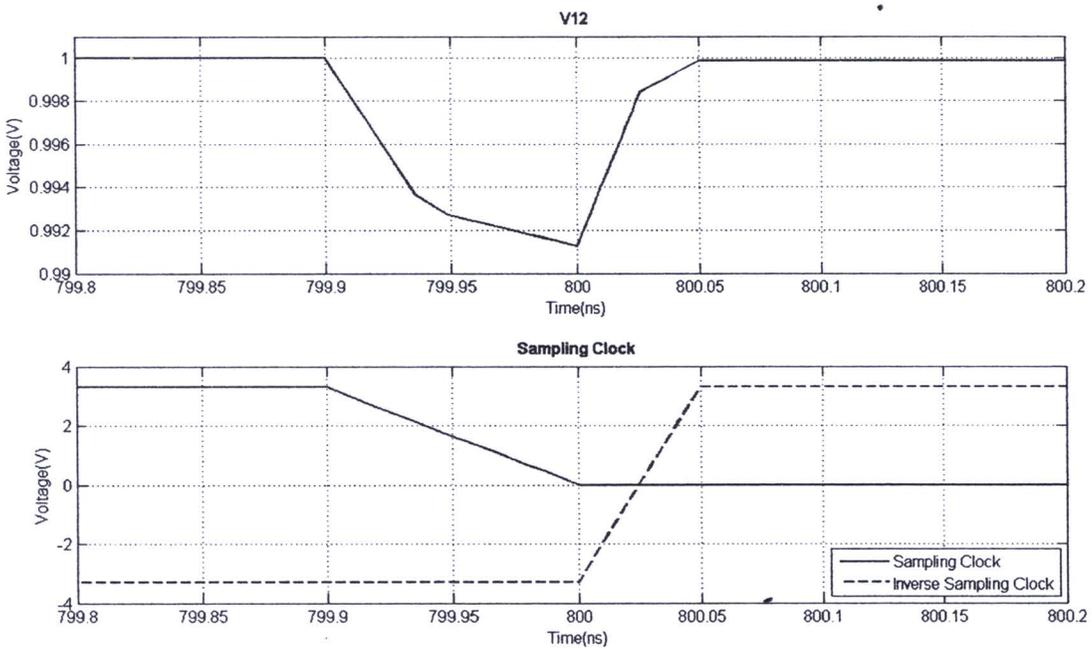
โดยค่าที่ได้จากสมการทั้งสองเป็นค่าประมาณเพื่อใช้ในการหาค่าขนาดความกว้างทรานซิสเตอร์ในเบื้องต้นเท่านั้น เมื่อทำการทดลองโดยใช้โปรแกรมเอสไปซ์จำลองการชั้กตัวอย่างเพื่อหาค่าตามสมการ (4-11) และ (4-12) ขนาดความทรานซิสเตอร์ที่ทำให้ค่าความผิดพลาดเนื่องจากการชั้กตัวอย่างอยู่ในช่วงที่ยอมรับได้คือ

$$\left(\frac{W}{L}\right)_{n,ref+} = \frac{11\mu}{1\mu}, \left(\frac{W}{L}\right)_{p,ref+} = \frac{2\mu}{1\mu}, \left(\frac{W}{L}\right)_{n,ref-} = \frac{4.25\mu}{1\mu}, \left(\frac{W}{L}\right)_{p,ref-} = \frac{2\mu}{1\mu} \quad (4-13)$$

สมการที่ (4-13) มีค่าแตกต่างจากการประมาณในสมการ (4-11) และ (4-12) เนื่องจากแบบจำลองของทรานซิสเตอร์ในโปรแกรมเอสไปซ์มีความซับซ้อนและไม่ตรงกับสมการประจุช่องนำกระแสที่นำมาใช้หาค่าความผิดพลาด ดังนั้นเพื่อลดค่าความผิดพลาดจึงทำการจำลองเพื่อหาขนาดที่ให้ความผิดพลาดน้อยที่สุด โดยผลการจำลองของการชั้กประจุช่องนำกระแสเนื่องจากบนตัวเก็บประจุ C_{11} และ C_{12} ได้ถูกแสดงไว้ในรูปที่ 4-2 และ รูปที่ 4-3 ตามลำดับ



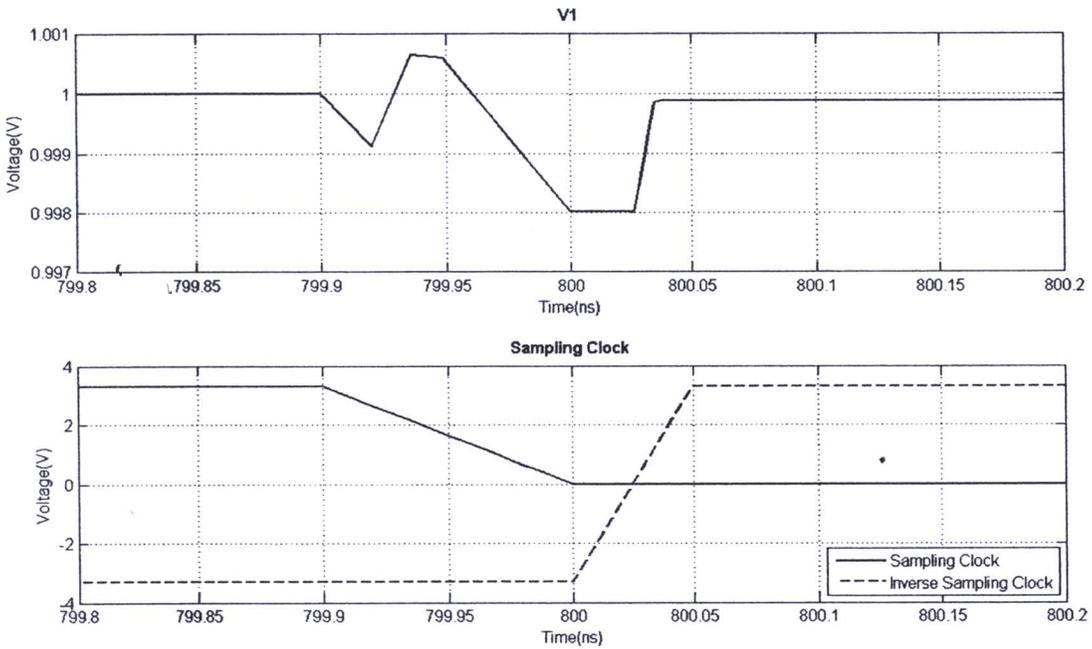
รูปที่ 4-2 ผลการจำลองสถานะชั่วคราวผลจากการฉีดประจุของนำกระแสที่ส่งผลต่อแรงดัน V_{11} บน
โนดตัวเก็บประจุ C_{11}



รูปที่ 4-3 ผลการจำลองสถานะชั่วคราวผลจากการฉีดประจุของนำกระแสที่ส่งผลต่อแรงดัน V_{12} บน
โนดตัวเก็บประจุ C_{12}

จากรูปที่ 4-2 และรูปที่ 4-3 แสดงผลการทดลองจากการจำลองแรงดัน V_{11} และ V_{12} บน
โนดตัวเก็บประจุ C_{11} และ C_{12} ในสถานะชั่วคราว (Transient Simulation) โดยสัญญาณการชัก
ตัวอย่าง (ϕ_S) มีคาบการทำงานเป็นเวลา 800 นาโนวินาที โดยมีช่วงเวลาช่วงเวลาลดระดับ (Fall

Time) เท่ากับ 100 พิโควินาที สัญญาณแรงดัน V_{11} และ V_{12} จะลดลงเนื่องจากการขีดประจุในช่องนำกระแส และสัญญาณการชั้กตัวอย่างผกผันมีช่วงเวลการเพิ่มระดับ (Rise Time) เท่ากับ 50 พิโควินาที แรงดัน V_{11} และ V_{12} จะมีค่าเพิ่มขึ้น จากการชดเชยประจุบวกจากช่องนำกระแสแบบที่กลับไปยังตัวเก็บประจุทั้งสองดังแสดงในรูปที่ 4-2 และ รูปที่ 4-3 และเมื่อนำแรงดันทั้งสองมาหาค่าผลต่างจะให้ผลดังรูปที่ 4-4 ซึ่งแรงดันผลต่างบนคู่ตัวเก็บประจุ C_{11} - C_{12} มีค่าใกล้เคียง 1 โวลต์ หรือแรงดันอ้างอิงผลต่าง



รูปที่ 4-4 ผลการจำลองสถานะชั่วคราวการขีดประจุช่องนำกระแสที่ส่งผลต่อแรงดัน V_1 ที่เกิดจากผลต่างแรงดัน V_{11} และ V_{12}

การพิจารณาความเร็วจะนำค่าขนาดใน (4-13) มาพิจารณาประมาณค่าความเร็วในการชั้กตัวอย่างจากค่าคงตัวทางเวลาดังสมการ (2-11) และ (2-12) โดยค่า $\mu_n C_{ox} = 111 \mu A/V^2$ และ $\mu_p C_{ox} = 50.2 \mu A/V^2$ ซึ่งหาได้จากเทคโนโลยีมอสเฟตที่ใช้ในงานวิจัย ดังนั้นค่าความต้านทานเมื่อทรานซิสเตอร์ทำงานอยู่ในช่วงความต้านทานเล็กคือ

$$R_{n,ref+} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref+} - V_{THN})} = 1.156 k\Omega \quad (4-14)$$

$$R_{p,ref+} = \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{ref+} + V_{DD} + V_{THP})} = 2.272 k\Omega \quad (4-15)$$

และสามารถเขียนสมการประมาณค่าความต้านทานของมอสเฟตที่ต่อขนานที่แรงดันอ้างอิงขาบวกคือ

$$R_{ref+} = R_{n,ref+} // R_{p,ref+} = 0.7662 \text{ k}\Omega \quad (4-16)$$

ดังนั้นสามารถประมาณค่าคงตัวเวลาในการซัดตัวอย่างแรงดันอ้างอิงด้านบวกเมื่อกำหนดให้ใช้ตัวเก็บประจุในการซัดตัวอย่างมีค่า 1 pF คือ

$$\tau_{sampling,ref+} \approx R_{ref+} C_{11} = 0.7662 \text{ ns} \quad (4-17)$$

ในทางตรงกันข้ามสามารถหาความต้านทานด้านแรงดันมาตรฐานขาลบเช่นเดียวกับสมการที่ (4-14) – (4-17) คือ

$$R_{n,ref-} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref-} - V_{THN})} = 1.241 \text{ k}\Omega \quad (4-18)$$

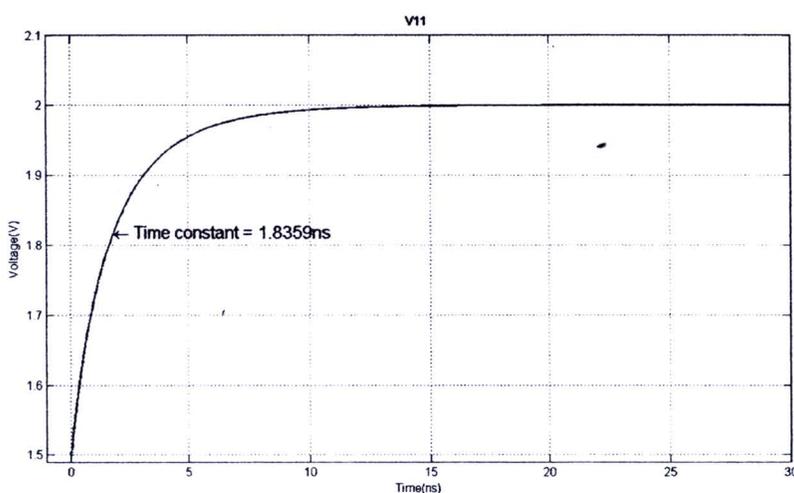
$$R_{p,ref+} = \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{ref+} + V_{DD} + V_{THP})} = 2.943 \text{ k}\Omega \quad (4-19)$$

$$R_{ref-} = R_{n,ref-} // R_{p,ref-} = 0.873 \text{ k}\Omega \quad (4-20)$$

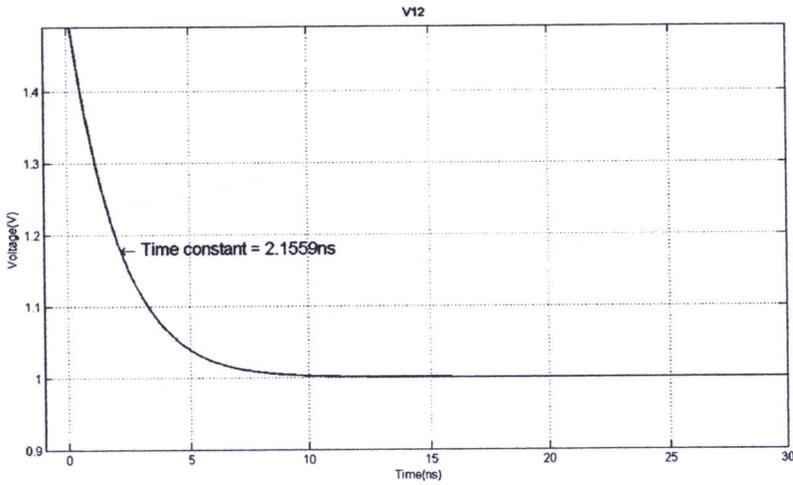
$$\tau_{sampling,ref-} \approx R_{ref-} C_{12} = 0.873 \text{ ns} \quad (4-21)$$

เมื่อเปรียบเทียบสมการ (4-17) และ (4-20) ค่าคงตัวเวลาของวงจรถักตัวอย่างคือ

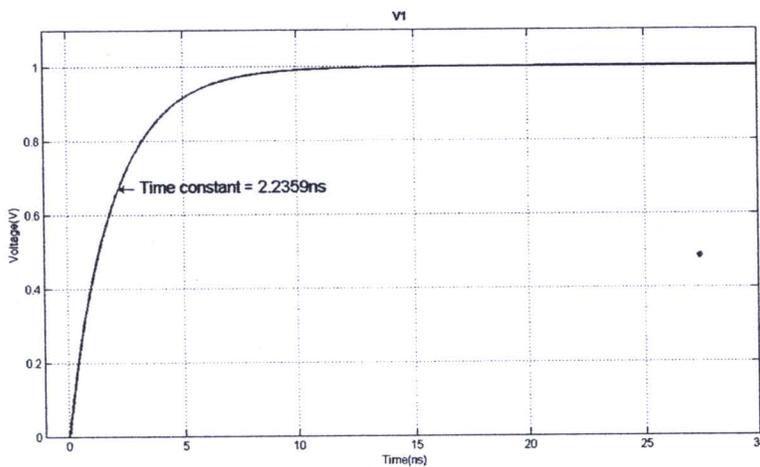
$$\tau_{sampling} \approx 0.873 \text{ ns} \quad (4-22)$$



รูปที่ 4-5 ผลการจำลองสถานะชั่วคราวแสดงความเร็วในการซัดตัวอย่างของแรงดัน V_{11}



รูปที่ 4-6 ผลการจำลองสภาวะชั่วคราวแสดงความเร็วในการชั้กตัวอย่างของแรงดัน V_{12}



รูปที่ 4-7 ผลการจำลองสภาวะชั่วคราวแสดงความเร็วในการชั้กตัวอย่างของแรงดัน V_1

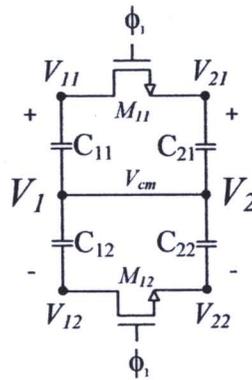
ผลการจำลองสภาวะชั่วคราวเพื่อพิจารณาความเร็วของวงจรการชั้กตัวอย่างแสดงในรูปที่ 4-5 ถึง รูปที่ 4-7 โดยค่าคงตัวเวลาในรูปทั้งหมดมีค่าไม่ตรงกับการคำนวณ เนื่องจากทรานซิสเตอร์ที่ใช้ในแบบจำลองมีค่าความเคลื่อนที่ได้ (mobility) ของมอสเฟตมีค่าลดลงตามแรงดันขีดเริ่ม (Threshold Voltage) ที่เปลี่ยนแปลงตามผลของบอดี (Body Effect) ดังสมการ (4-23) ทำให้สวิตช์มีความต้านทานมากขึ้น และค่าคงตัวเวลามีค่ามากกว่าที่คำนวณได้ รวมถึงสมการความต้านทานได้จากการประมาณของสมการกระแสทรานซิสเตอร์ระดับต่ำ ดังนั้นผลการคำนวณจึงไม่ตรงกับผลการจำลองสภาวะชั่วคราวซึ่งใช้แบบจำลองระดับสูง

$$\mu_{eff} = \frac{\mu_0}{1 + U_a \left(\frac{V_{gs} + V_{th}}{T_{ox}} \right) + U_b \left(\frac{V_{gs} + V_{th}}{T_{ox}} \right)^2 + U_c V_{bs}} \quad (4-23)$$

โดย U_a , U_b , U_c เป็นสัมประสิทธิ์ค่าคงตัวจากเทคโนโลยีมอสเฟต

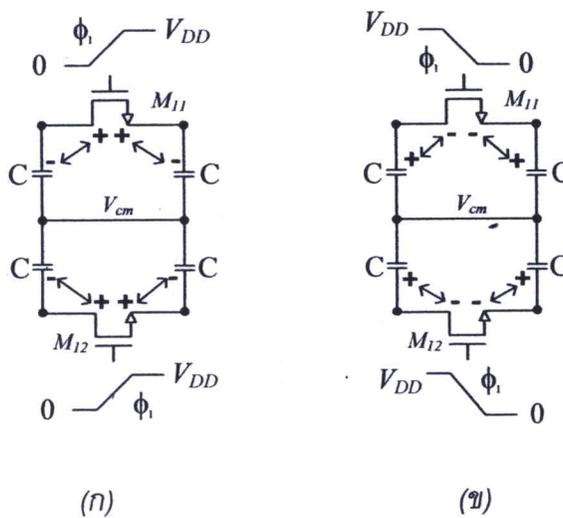
4.2.2. การออกแบบวงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit)

วงจรแบ่งครึ่งประจุใช้ทรานซิสเตอร์มอสเฟตชนิดเอ็นเพียงชนิดเดียวในการทำงาน เนื่องจากแรงดันที่ใช้ในการแบ่งครึ่งประจุมีค่าลดลงและมีค่าไม่คงที่ทุกครั้งในการทำงานหนึ่งวัฏจักร ดังนั้นจึงไม่สามารถใช้ทรานซิสเตอร์ชนิดพี เพื่อชดเชยประจุของนำกระแสได้ดังที่กล่าวไปในหัวข้อการออกแบบวงจรการชักตัวอย่าง วงจรแบ่งครึ่งประจุใช้ตัวเก็บประจุที่มีค่าความจุเท่ากับ 4 ตัวดังรูปที่ 4-8 โดยตัวเก็บประจุ C_{11} ทำการแบ่งครึ่งประจุกับตัวเก็บประจุ C_{21} และ ตัวเก็บประจุ C_{12} แบ่งครึ่งประจุกับตัวเก็บประจุ C_{22} รวมถึงใช้การต่อเข้าแรงดันผลรวม (V_{cm}) เพื่อให้ผลลัพธ์แรงดันที่ถูกแบ่งครึ่งทำงานในช่วงรอบจุดแรงดันผลรวม



รูปที่ 4-8 โครงสร้างวงจรแบ่งประจุร่วมโดยตัวเก็บประจุมีค่าเท่ากันทั้งหมด

ในงานวิจัยนี้กำหนดให้ตัวเก็บประจุมีค่าเท่ากับ 1 พิโคฟารัด ซึ่งมีค่าสูงเทียบกับตัวเก็บประจุพาราซีติกของมอสเฟต ส่งผลให้ความผิดพลาดจากการทะลุสัญญาณนาฬิกาที่มีค่าน้อยเมื่อเทียบกับความผิดพลาดจากการขีดประจุของนำกระแสและถูกละเลยในงานวิจัยนี้



รูปที่ 4-9 แสดงการไหลของประจุในสวิตช์มอสเฟต (ก) ขณะเริ่มการแบ่งครึ่งประจุ (ข) ขณะหลังการแบ่งครึ่งประจุเสร็จสิ้น

การทำงานของมอสเฟตช่วงก่อนการแบ่งครึ่งประจุ มอสเฟตจะทำการดึงประจุลบจากคู่ตัวเก็บประจุเพื่อสร้างช่องนำกระแสในการทำงานดังรูปที่ 4-9 (ก) ดังนั้นแรงดันบนคู่ตัวเก็บประจุจะเพิ่มขึ้นจากเดิมเนื่องจากการเพิ่มประจุบวกเพื่อหักล้างกับประจุลบที่สูญเสียไป หลังจากการแบ่งครึ่งประจุเสร็จสิ้นและทำการปิดสวิตช์มอสเฟตโดยการใส่แรงดันขาเกตต่ำกว่าแรงดันขีดเริ่มทำให้ประจุลบตกค้างในช่องนำกระแสไหลไปยังคู่ตัวเก็บประจุ โดยประจุลบเหล่านี้คือประจุลบเดิมของคู่ตัวเก็บประจุก่อนการทำงานของมอสเฟตนั่นเอง ดังนั้นความผิดพลาดจากการขีดประจุช่องนำกระแสหลังการแบ่งครึ่งประจุ (รูปที่ 4-9 (ข)) ไม่มีผลต่อแรงดันบนตัวเก็บประจุเมื่อการขีดประจุนั้นกระจายอย่างสม่ำเสมอเท่ากันทั้งสองข้างขาเดรนและขาซอส ตามหลักการไม่หนีหายไปของประจุ

ความเร็วในการแบ่งครึ่งประจุ สามารถหาได้จากแบบจำลองความต้านทานและตัวเก็บประจุเช่นเดียวกับวงจรการชักตัวอย่าง ดังนั้นสามารถประมาณค่าความต้านทานสูงสุดขณะทำงานของมอสเฟต M_{11} และ M_{12} ได้เมื่อแรงดันโนดตัวเก็บประจุ C_{11} - C_{12} มีค่ามากที่สุดเท่ากับแรงดันอ้างอิงดังต่อไปนี้

$$R_{M11(Max)} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref+} - V_{THN})} \quad (4-24)$$

$$R_{M12(Max)} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{ref-} - V_{THN})} \quad (4-25)$$

และเนื่องวงจรแบ่งประจรร่วมสามารถเป็นโครงสร้างตัวเก็บประจุสองตัวต่ออนุกรมกัน ดังนั้นสามารถหาค่าคงตัวเวลาได้คือ

$$\tau_{M11(Max)} = \frac{C/2}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{M11} (V_{DD} - V_{ref+} - V_{THN})} \quad (4-26)$$

$$\tau_{M12(Max)} = \frac{C/2}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{M12} (V_{DD} - V_{ref-} - V_{THN})} \quad (4-27)$$

และประมาณค่าขนาดอย่างน้อยที่สุดของทรานซิสเตอร์ เมื่อกำหนดให้ค่าคงตัวทางเวลามีค่าเท่ากับ 8 ns หรือ น้อยกว่า 50 เท่าของครึ่งคาบสัญญาณนาฬิกาได้ดังนี้

$$\therefore \left(\frac{W}{L}\right)_{M11} \geq \frac{C/2}{(\mu_n C_{ox})(\tau_{M11(Max)})(V_{DD} - V_{ref+} - V_{THN})} \approx 0.7946 \quad (4-28)$$

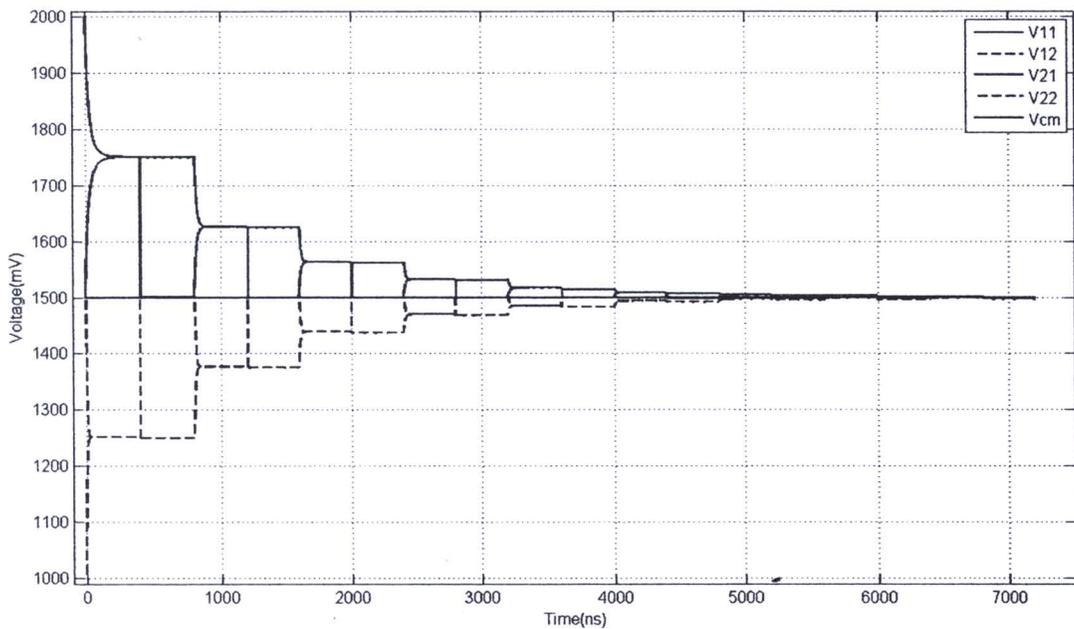
$$\therefore \left(\frac{W}{L}\right)_{M12} \geq \frac{C/2}{(\mu_n C_{ox})(\tau_{M12(Max)})(V_{DD} - V_{ref-} - V_{THN})} \approx 0.330 \quad (4-29)$$

จากสมการ (4-28) และ (4-29) อัตราส่วนขนาดทรานซิสเตอร์อย่างน้อย คือ 0.7946

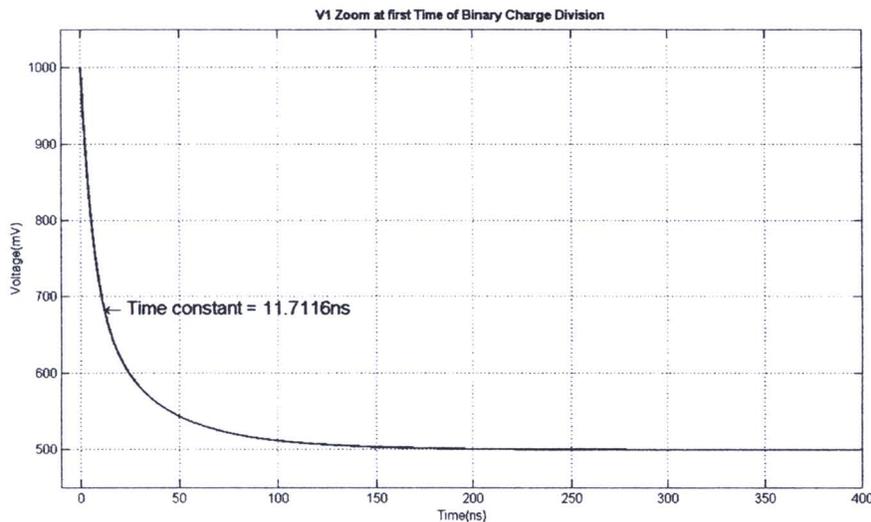
ในการจำลองดังเช่นในวงจรข้างตัวอย่าง ความเร็วในการทำงานของวงจรไม่เท่ากับการคำนวณ ซึ่งค่าคงตัวเวลาในการจำลองจะมากกว่าที่คำนวณได้ ดังนั้นจึงใช้ขนาดทรานซิสเตอร์ใหญ่กว่าที่คำนวณ โดยในงานวิจัยนี้ใช้ขนาดทรานซิสเตอร์คือ

$$\left(\frac{W}{L}\right)_{11} = \left(\frac{W}{L}\right)_{12} = \frac{1.65\mu}{1\mu} \quad (4-30)$$

รูปที่ 4-10 แสดงผลแรงดัน V_{11} , V_{12} , V_{21} และ V_{22} จากการแบ่งครึ่งประจุ ซึ่งใช้วงจรออปแอมป์แบบผลต่างสมบูรณ์และสวิตช์ที่ใช้ในการสะสมประจุในอุดมคติในการดึงประจุจากตัวเก็บประจุ C_{21} และ C_{22} ทำให้แรงดัน V_{21} - V_{22} มีค่าลดลงสู่แรงดันผลรวม V_{cm} ซึ่งมีค่าเท่ากับ 1.5 โวลต์ ในด้านแรงดัน V_{11} ลดลงจากแรงดันเดิม 2 เท่า และมีค่าคงที่ขณะทำการสะสมประจุ (ยกตัวอย่างเช่นช่วงเวลา 400-800 นาโนวินาที ในรูปที่ 4-10)



รูปที่ 4-10 ผลการจำลองสถานะชั่วคราวแรงดันบนตัวเก็บประจุจากการแบ่งครึ่งประจุ



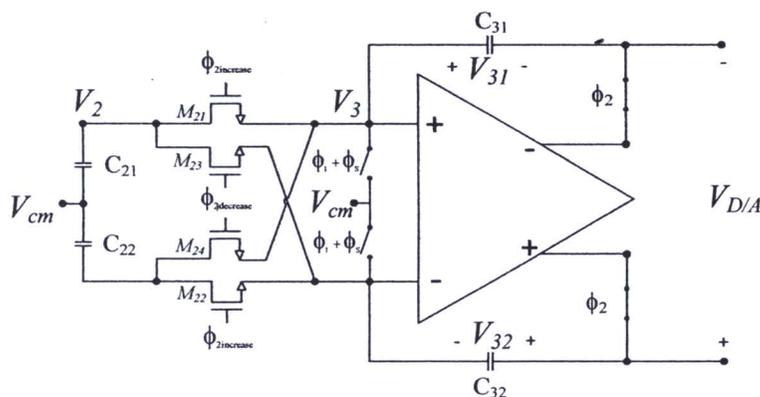
รูปที่ 4-11 ผลการจำลองสภาวะชั่วคราวของผลต่างแรงดันบนตัวเก็บประจุ C_{11} และ $C_{12}(V_1=V_{11}-V_{12})$

รูปที่ 4-11 แสดงผลการจำลองสภาวะชั่วคราวของผลต่างแรงดันบนตัวเก็บประจุ C_{11} และ C_{12} ที่ขยายผลการจำลองในช่วงระยะเวลาการแบ่งครึ่งประจุครั้งแรกที่ใช้เวลาในการทำงานมากที่สุด หนึ่งวัฏจักรการแปลงผัน และเป็นตัวกำหนดความเร็วในการแบ่งครึ่งประจุของวงจร ซึ่งมีความค่าคงตัวเวลามากกว่าที่ทำการออกแบบเนื่องจากการใช้สมการระดับต้นในการคำนวณประมาณค่าคงตัวเวลาไม่ตรงกับในการจำลองของโปรแกรมเฮซสไปท์ที่ใช้สมการระดับสูง

4.2.3. การออกแบบสวิตช์วงจรสะสมประจุ (Design of Charge Accumulation Switches)

วงจรสะสมประจุประกอบไปด้วยวงจรออปแอมป์แบบผลต่างสมบรูณ์และสวิตช์ที่ใช้การเพิ่มหรือลดประจุในตัวเก็บประจุสะสม C_{31} , C_{32} ในหัวข้อนี้จะกล่าวถึงการออกแบบขนาดสวิตช์จากความผิดพลาดที่เกิดจากการขีดประจุของนำกระแสหลังจากทำการสะสมประจุที่มีผลต่อการแบ่งครึ่งประจุ รวมถึงพิจารณาความเร็วในการทำงานให้สามารถทำงานตามข้อกำหนดในหัวข้อ

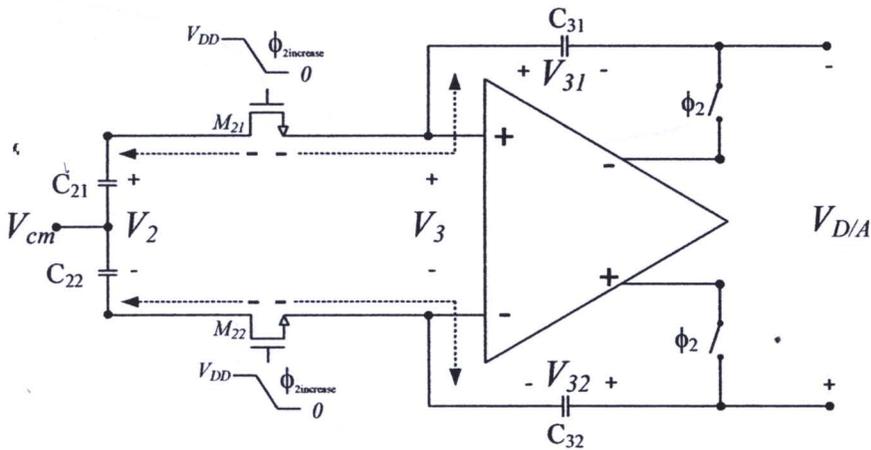
4.1



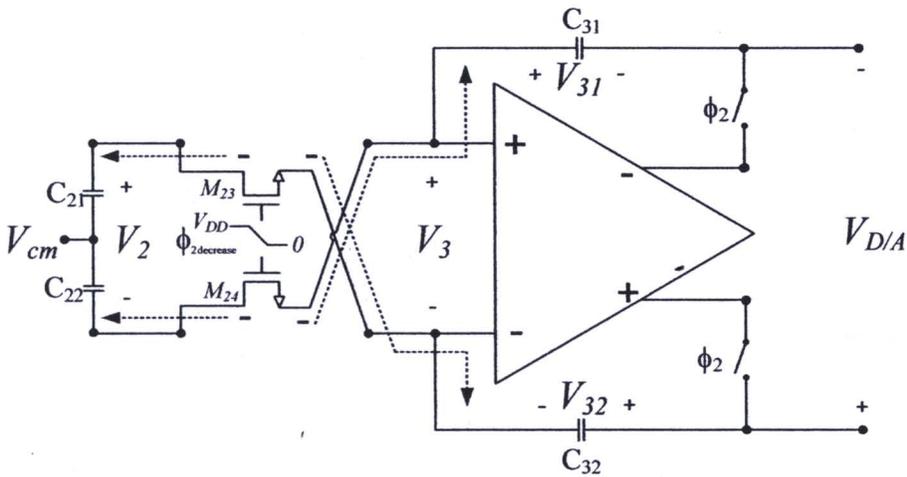
รูปที่ 4-12 โครงสร้างวงจรสะสมประจุที่ใช้มอสเฟตชนิดเอ็นแทนสวิตช์

โครงสร้างการสะสมประจุใช้มอสเฟตชนิดเอ็นในการทำสวิตช์ มีโครงสร้างดังแสดงในรูปที่ 4-12 และใช้มอสเฟตชนิดเอ็นเนื่องจากแรงดันที่ตัวเก็บประจุ C_{21} และ C_{22} มีค่าไม่คงที่ตลอดการแปลงผันจึงไม่สามารถใช้มอสเฟตชนิดพี เพื่อแก้ไขปัญหาการขีดประจุได้ดังที่กล่าวไปในการออกแบบวงจรการซิกตัวอย่าง

ในงานวิจัยนี้จะทำการลดค่าความผิดพลาดของมอสเฟตชนิดเอ็นให้มีค่าความผิดพลาดให้อยู่ในช่วงที่ไม่ทำให้เกิดการตัดสินระดับสัญญาณดิจิทัลผิดพลาด (Quantization Error) โดยแสดงการขีดประจุจากช่องนำกระแสจากมอสเฟตในการเพิ่มนี้ดังรูปที่ 4-13 และจากมอสเฟตในการลดประจุดังรูปที่ 4-14



รูปที่ 4-13 การขีดประจุจากมอสเฟตสวิตช์ที่ใช้เพิ่มประจุสะสม



รูปที่ 4-14 การขีดประจุจากมอสเฟตสวิตช์ที่ใช้ลดประจุสะสม

จากรูปที่ 4-13 และ รูปที่ 4-14 ประจุที่ฉีดไปยังตัวเก็บประจุสะสม C_{21} - C_{31} และ C_{22} - C_{32} มีค่าคงที่เสมอเนื่องจากขาเข้าวงจรรอบแอมป์ขณะทำงานแบบป้อนกลับจะทำให้แรงดันขาเข้า เท่ากับแรงดันผลรวมในการทำงาน ดังนั้นความผิดพลาดผลต่างเนื่องจากการฉีดประจุจะถูก หักล้างกันเพราะประจุในช่องนำกระแสมีค่าเท่ากันโดยสามารถเขียนสมการความผิดพลาดผลต่าง ดังสมการที่ (4-31)

$$\Delta V_{2,accu} \approx \frac{-(WL)_1 C_{ox} [V_{cm} - V_{cm}]}{2(C)} = 0 \quad (4-31)$$

ความเร็วในการสะสมประจุของวงจรรวมประจุขึ้นกับความต้านทานของมอสเฟต สะสมประจุ M_{21} - M_{24} ขณะทำงานในภาวะความต้านทาน (เมื่อกำหนดให้วงจรรอบแอมป์ทำงาน ในช่วงอุดมคติ) และสามารถประมาณค่าความเร็วจากค่าคงตัวเวลาได้เช่นเดียวกับที่กล่าวไว้ใน หัวข้อ 4.2.2 ดังนั้นในส่วนนี้จะใช้ขนาดทรานซิสเตอร์ M_{21} - M_{24} มีค่าเท่ากับ M_{11} และ M_{12} คือ

$$\left(\frac{W}{L}\right)_{21-24} = \frac{1.65 \mu}{1 \mu} \quad (4-32)$$

4.2.4. การออกแบบวงจรรอบแอมป์ผลต่างสมบูรณ์ (Design of Fully-Differential Operational Amplifier Circuit)

การออกแบบวงจรรอบแอมป์จำเป็นต้องพิจารณาคูณลักษณะดังเช่น อัตราการขยาย ไฟตรง (Open Loop DC Gain) ช่วงการแกว่งสัญญาณขาออก (Output Voltage Swing) และ ความกว้างอัตราขยายเชิงความถี่ (Gain Bandwidth) และการกินพลังงาน (Power Consumption) โดยงานวิจัยนี้จะเลยการรบกวนของสัญญาณรบกวนและความไม่เท่ากันของ ขนาดทรานซิสเตอร์เนื่องจากการผลิต (Mismatch Error)

อัตราขยายไฟตรงสามารถหาได้จากความต้องการลดค่าความผิดพลาดขาออกของวงจรรวมแปลงผันสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก ให้น้อยกว่า 0.5 บิตที่มีความสำคัญน้อยที่สุด หรือ 1.953125 มิลลิโวลต์ ดังนั้นในงานวิจัยนี้จึงกำหนดให้ค่าความผิดพลาดสูงสุดเนื่องจากวงจรรอบแอมป์มีค่าไม่เกิน 0.01 มิลลิโวลต์ เพื่อให้มีผลกระทบต่อระบบการทำงานของระบบน้อย

จากสมการทั่วไปของอัตราขยายของวงจรรวมเมื่อมีการป้อนกลับคือ

$$A_{CL}(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{A_{OL}}{1 + \beta A_{OL}} \quad (4-33)$$

$$A_{CL}(s) \approx \frac{1}{\beta} \left(1 - \frac{1}{\beta A_{OL}}\right) \quad (4-34)$$

สามารถหาความผิดพลาดเนื่องจากอัตราขยายเมื่อ $\beta = \frac{1}{2}$ คือ

$$\therefore \Delta V_{out} = -\frac{2}{A_{OL}} V_{in} \quad (4-35)$$

เนื่องจากกำหนดให้ $|\Delta V_{out,max}| = 0.01 \text{ mV}$ และ V_{in} มีค่าสูงสุดเท่ากับ 1 โวลต์ ดังนั้นสามารถคำนวณหาอัตราขยายไฟตรงจากสมการ (4-36) ได้คือ

$$A_{OL,DC} \approx \frac{2000 \text{ mV}}{0.01 \text{ mV}} \approx 200,000 \text{ V/V} = 106.02 \text{ dB} \quad (4-36)$$

ช่วงการแกว่งของสัญญาณขาออกของวงจรรอปแอมป์ (Output Voltage Swing) สามารถพิจารณาจากช่วงแรงดันสูงสุดและต่ำสุดตามแรงดันอ้างอิงที่ใช้ในการเปรียบเทียบกับแรงดันขาเข้า มีช่วงการทำงานคือ

$$1V \leq V_{out} \leq 2V \quad (4-37)$$

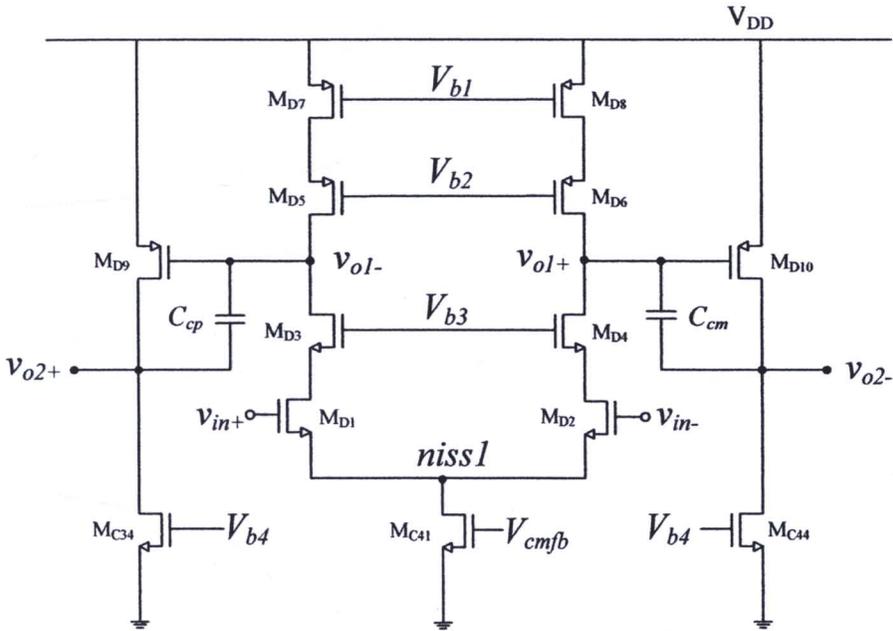
ความกว้างของอัตราขยายเชิงความถี่พิจารณาจากความเร็วของระบบในการแปลงผันโดยแรงดันขาออกของวงจรรอปแอมป์จำเป็นต้องเข้าสู่ภาวะคงตัว (Steady State) ก่อนที่จะนำไปใช้ในการเปรียบเทียบ ในงานวิจัยนี้กำหนดให้วงจรรอปแอมป์สามารถสร้างแรงดันภายใน 400 นาโนวินาที (จากระบบอันดับหนึ่งค่าคงตัวเวลาจึงมีค่าเท่ากับ 80นาโนวินาที) หรือ เร็วกว่า 2 เท่าของสัญญาณนาฬิกาของระบบ (800 นาโนวินาที) ดังนั้นสามารถหาค่าความกว้างอัตราขยายเชิงความถี่ที่จำเป็นต้องใช้ได้คือ

$$GBW = \frac{1}{2\pi\tau_{opamp}} = \frac{1}{2\pi(80ns)} = 1.989 \text{ MHz} \quad (4-38)$$

ภายใต้ข้อกำหนดแรงดันแหล่งจ่าย 3.3 โวลต์ และคุณลักษณะข้างต้นในงานวิจัยนี้จึงเลือกวงจรรอปแอมป์สองระยะที่มีวงจรรอปแอมป์เทเลสโคปิกในระยะแรก และวงจรรายแบบขอสร่วมที่มีแหล่งจ่ายกระแสเป็นโหลด ดังรูปที่ 4-15 เพื่อให้ได้คุณลักษณะตามที่กล่าวไว้ข้างต้น โดยวงจรรยะแรกมี 2 กิ่ง (Branch) ออกแบบให้กินกระแสทำงาน (I_{bias}) รวม 10 ไมโครแอมป์ และในระยะที่สองออกแบบให้กินกระแสทำงานกิ่งละ 20 ไมโครแอมป์ และสรุปขนาดทรานซิสเตอร์และกระแสกิ่งตามตารางที่ 4-1

ตารางที่ 4-1 ขนาดของทรานซิสเตอร์ในวงจรรอปแอมป์หลักในรูปที่ 4-15

Transistors	M_{C41}	$M_{D1} - M_{D4}$	$M_{D5} - M_{D8}$	M_{C34}, M_{C44}	$M_{D9} - M_{D10}$	C_{Cm}, C_{Cp}
I_{bias}	15 μA	5 μA	5 μA	20 μA	20 μA	-
W/L	60/2	20/2	60/2	80/2	240/2	1200fF



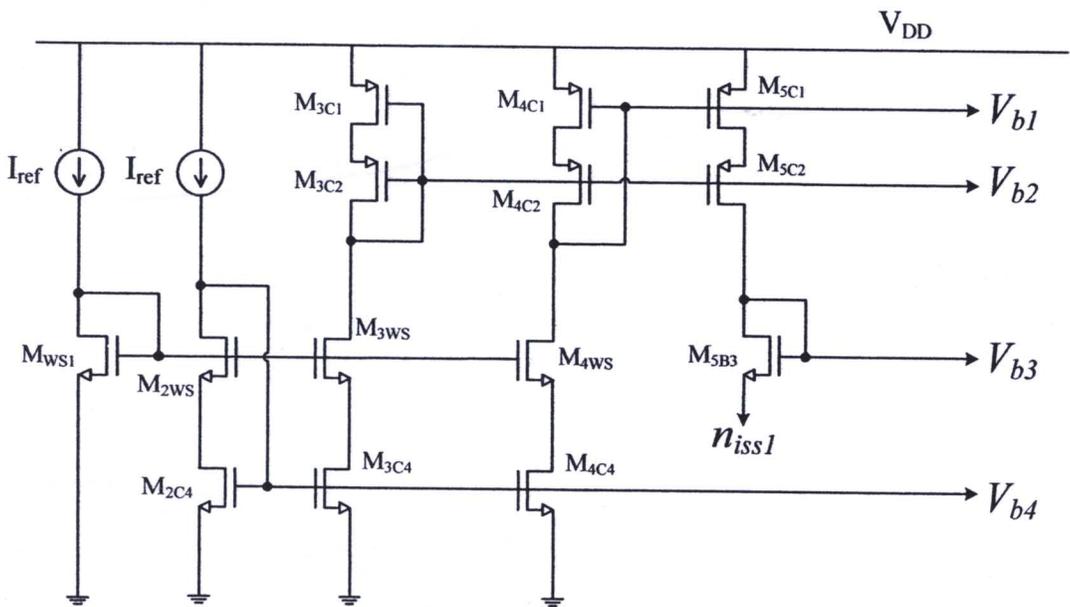
รูปที่ 4-15 วงจรออปแอมป์สองระยะที่ใช้ในงานวิจัย

วงจรรูปที่ 4-15 ใช้วงจรสร้างจุดทำงานของวงจรมีลักษณะดัง รูปที่ 4-16 โดยเป็นโครงสร้างสะท้อนกระแสแบบคาสโคดที่มีช่วงการแกว่งกว้าง (Wide Swing-Cascode Current Mirror) จากแหล่งกำเนิดกระแสอ้างอิง (I_{ref}) 2 แหล่ง จ่ายให้กับกึ่งที่หนึ่ง (M_{WS1}) และกึ่งที่สอง (M_{2WS}, M_{2C4}) นำไปสร้างแรงดันสร้างจุดทำงานแกว่งจรรูปออปแอมป์หลัก $V_{b1} - V_{b4}$ โดยวงจรกำหนดให้ใช้แหล่งกำเนิดกระแสอ้างอิงในอุดมคติมีค่า 5 ไมโครแอมป์ และเมื่อทำการสะท้อนกระแสโดยกำหนดให้ขนาดทรานซิสเตอร์ M_{2WS} และ M_{2C4} มีขนาดเท่ากับ M_{3WS} และ M_{3C4} ดังนั้นเมื่อคิดกระแสในอุดมคติ เมื่อไม่มีผลของช่องนำกระแสทรานซิสเตอร์สั้น (Short-Channel Effect) กระแสที่ไหลในกึ่งที่ 3 จะประมาณเท่ากับกึ่งที่ 2 หรือเท่ากับ 5 ไมโครแอมป์

แรงดัน V_{b2} ถูกสร้างโดยการต่อทรานซิสเตอร์ M_{3C2}, M_{3C1} (ดังแสดงใน รูปที่ 4-16) นำแรงดันนี้ไปต่อเข้ากับทรานซิสเตอร์ M_{4C2} ที่ต่ออยู่กับทรานซิสเตอร์ M_{4C1} เพื่อสร้างแรงดัน V_{b1} ในกึ่งที่ 4 ซึ่งต่อทรานซิสเตอร์ที่สะท้อนกระแสจากกึ่งที่ 2 ($M_{4C3} - M_{4C4}$) ทำให้กึ่งที่ 4 มีกระแสไหลเท่ากับ 5 ไมโครแอมป์เช่นเดียวกับกึ่งที่ 1 และกึ่งที่ 2

ในกึ่งที่ 5 สร้างกระแส 5 ไมโครแอมป์เช่นเดียวกับกึ่งอื่นๆในวงจรสร้างจุดทำงาน จากการต่อทรานซิสเตอร์สะท้อนกระแสจากกึ่งที่สาม ($M_{5C1} - M_{5C2}$) เพื่อหาแรงดัน V_{b3} ซึ่งมีขนาดตามแรงดันเกต-ซอสของทรานซิสเตอร์ M_{5B3} ที่กระแส 5 ไมโครแอมป์ ซึ่ง จะเปลี่ยนแปลงตามขนาดทรานซิสเตอร์ M_{5B3}

โดยสรุปวงจรสร้างจุดทำงานกินกระแสทั้งหมด 25 ไมโครแอมป์ ประกอบไปด้วยวงจร 5 กิ่ง กิ่งละ 5 ไมโครแอมป์ โดยมีขนาดทรานซิสเตอร์ดังแสดงในตารางที่ 4-2



รูปที่ 4-16 วงจรสร้างจุดทำงานแกว่งจรรอบแอมป์หลักใน รูปที่ 4-15

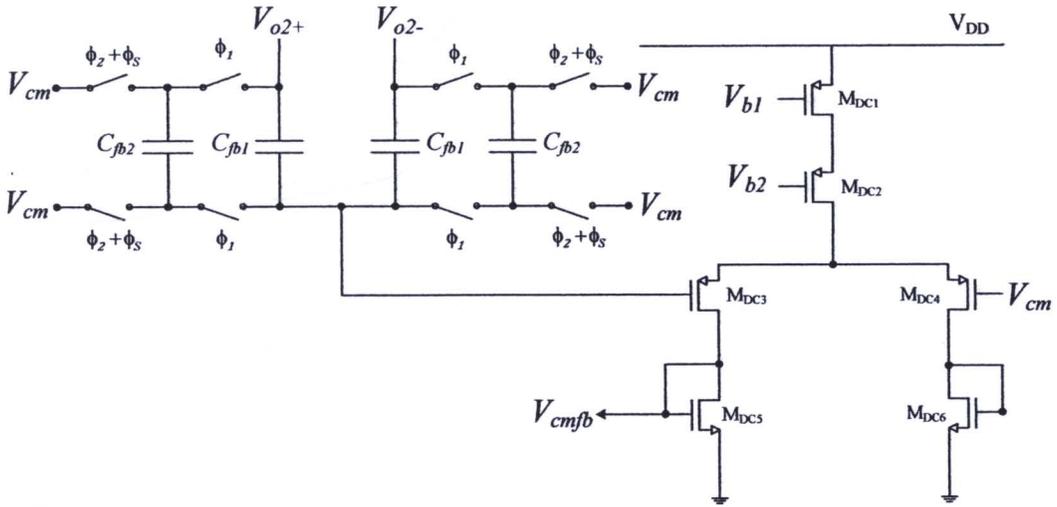
ตารางที่ 4-2 ขนาดของทรานซิสเตอร์ในวงจรสร้างจุดทำงานรูปที่ 4-16

Transistors	M_{WS1}	$M_{2WS}-M_{4WS}$, $M_{2C4}-M_{4C4}$	M_{3C1}	M_{4C1}	M_{4C2}	$M_{5C1}-M_{5C2}$	M_{5B3}
I_{bias}	5 uA	5 uA	5 uA	5 uA	5 uA	5 uA	5 uA
W/L	10/10	20/2	55.67/6	55.67/2	60/2	60/2	10/10

และเพื่อให้วงจรสามารถมีจุดทำงานที่จุดแรงดันผลร่วม (Common Mode Voltage) ดังนั้นจึงใช้วงจรป้อนกลับโหมดรวมดังรูปที่ 4-17 ซึ่งใช้วงจรวัดแรงดันโหมดรวมแบบสวิตช์ (Switching common-mode detector) ทำการวัดแรงดันขาออกทั้งสองข้างของวงจรรอบแอมป์ แล้วส่งไปเปรียบเทียบกับแรงดันผลร่วมที่กำหนดไว้ (V_{cm}) ที่คู่ผลต่าง (Differential pair) กระแสที่เปลี่ยนไปในวงจรคู่ผลต่างจะสร้างแรงดันกลับเฟส V_{cmfb} เพื่อนำไปควบคุมทรานซิสเตอร์ M_{C41} ในวงจรรอบแอมป์หลักต่อไป และมีพารามิเตอร์ของวงจรดังตารางที่ 4-3

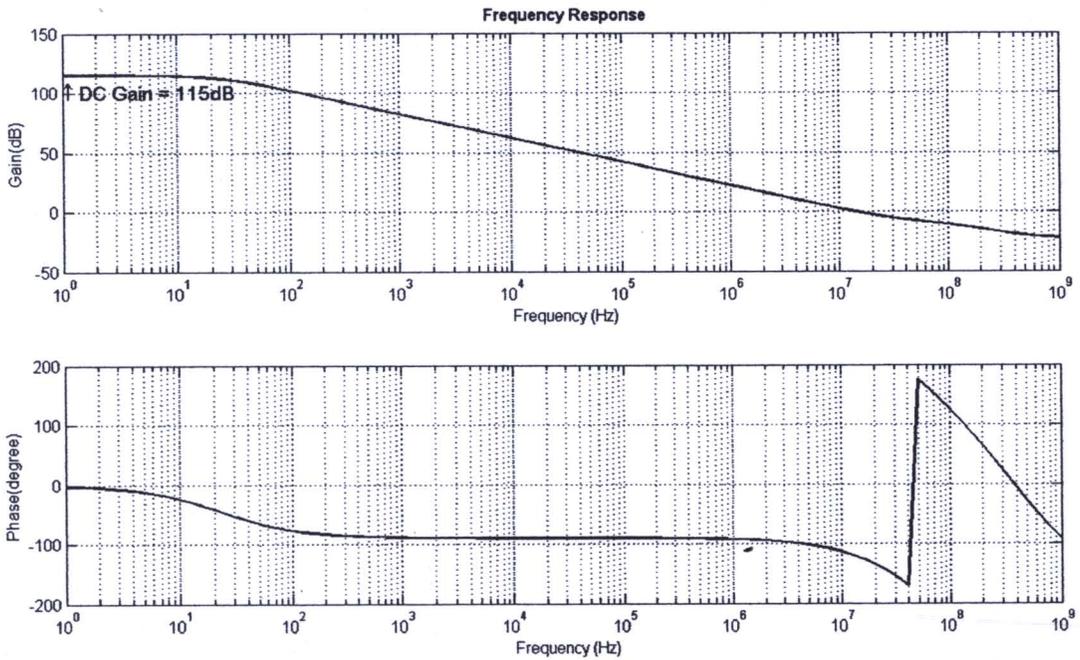
ตารางที่ 4-3 ขนาดของทรานซิสเตอร์ในวงจรป้อนกลับโหมดรวมรูปที่ 4-17

Transistors	$M_{DC1}-M_{DC2}$	$M_{DC3}-M_{DC4}$	$M_{DC5}-M_{DC6}$	C_{fb1}	C_{fb2}
I_{bias}	10 uA	5 uA	5 uA	-	-
W/L	60/2	10/2	20/2	100fF	1000fF

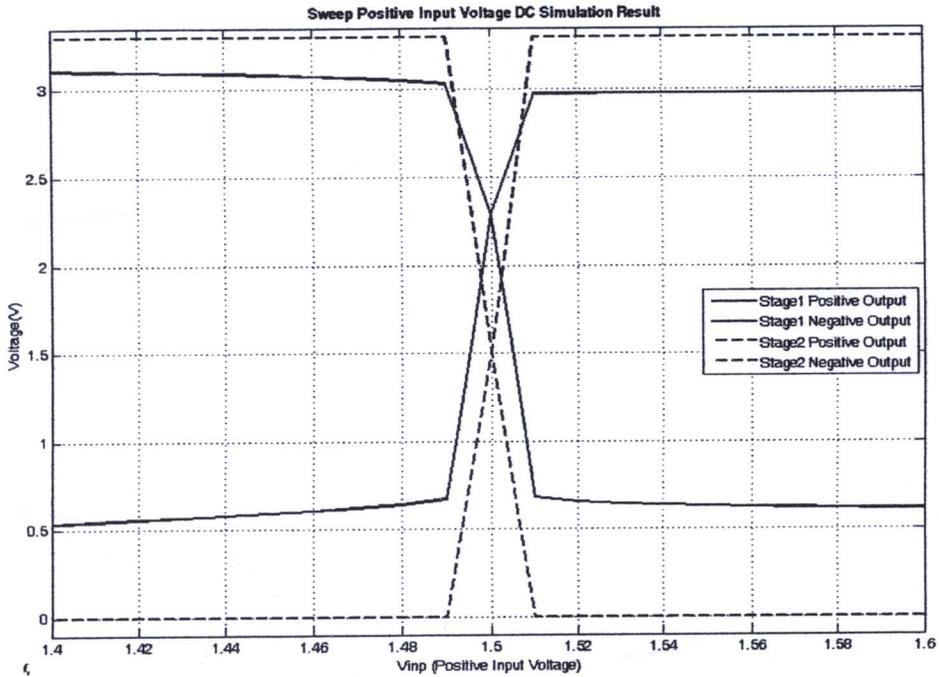


รูปที่ 4-17 วงจรป้อนกลับโหมดร่วม

ผลตอบสนองทางความถี่นำวงจรโหมดร่วม โดยจำลองการป้อนสัญญาณไฟสลับแก้ขาเข้าด้านบวกและไม่มีโหลดต่ออยู่กับวงจรได้ผลดังรูปที่ 4-18 ซึ่งมีอัตราขยายไฟตรงประมาณ 115 เดซิเบล ขนาดความกว้างเชิงความถี่ประมาณ 10 เมกะเฮิรต และมืผลเฟสมาจิ้น (Phase Margin) ประมาณ 120 องศาเพื่อให้งจรอยู่ในเสถียรภาพ



รูปที่ 4-18 ผลตอบสนองทางความถี่โดยการจำลองสัญญาณไฟสลับ



รูปที่ 4-19 ผลตอบสนองการกวาดแรงดันขาเข้าด้านบวกของวงจรรอบแอมป์

ผลตอบสนองของวงจรรอบแอมป์จากการกวาดแรงดันขาเข้าด้านบวก ได้ผลดังแสดงดังรูปที่ 4-19 โดยเส้นประคือแรงดันขาออกของวงจรรอบแอมป์ระยะแรก และเส้นทึบคือแรงดันขาออกของวงจรรอบแอมป์ระยะที่สอง

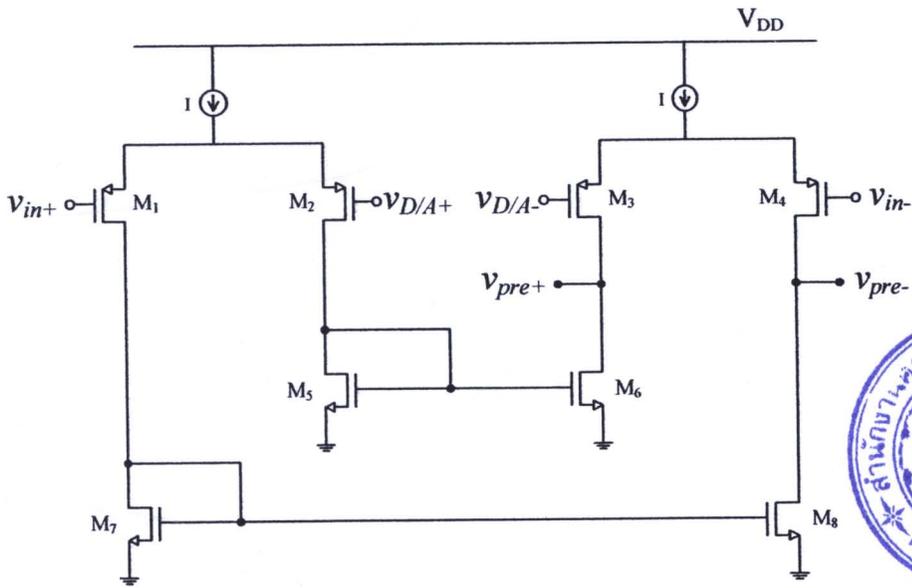
4.3. การออกแบบวงจรเปรียบเทียบ (Design of Comparator Circuit)

วงจรเปรียบเทียบที่ใช้ในงานวิจัยนี้ประกอบด้วยวงจรรขยายขาเข้า (Preamplifier Circuit) และวงจรตัดสินใจระดับสัญญาณ (Decision Circuit) โดยมีการออกแบบดังต่อไปนี้

4.3.1. การออกแบบวงจรรขยายขาเข้า (Design of Preamplifier Circuit)

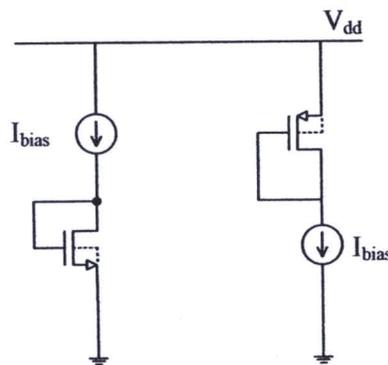
วงจรรขยายขาเข้ามีทำหน้าที่ในการขยายผลต่างแรงดันของแรงดันขาเข้าผลต่าง ($V_{in+} - V_{in-}$) กับ แรงดันวงจรแปลงผันดิจิทัลเป็นแอนะล็อกผลต่าง ($V_{D/A+} - V_{D/A-}$) และให้สัญญาณแรงดันผลต่างขาออกวงจรรขยายขาเข้า ($V_{pre+} - V_{pre-}$) ดังรูปที่ 4-20 ซึ่งแรงดันขาออกของวงจรรขยายขาเข้านั้นมีค่าแรงดันผลรวมเท่ากันเพื่อให้วงจรตัดสินใจระดับสัญญาณให้ค่าดิจิทัลขาออกได้ถูกต้องซึ่งจะกล่าวถึงการออกแบบในหัวข้อถัดไป ตัววงจรใช้วงจรรอบแอมป์ผลต่างสมมาตรสองตัวที่ใช้วงจรสะท้อนกระแส (Current Mirror) เป็นโหลด เพื่อผสมสัญญาณขนาดเล็กในการทำงาน แรงดันที่ได้จากการผสมสัญญาณจะถูกหักล้างเพื่อให้ผลต่างของแรงดันตามสมการ (4-64)

$$V_{ref+} - V_{ref-} = A(s)[(V_{D/A+} - V_{D/A-}) - (V_{in+} - V_{in-})] \quad (4-64)$$



รูปที่ 4-20 โครงสร้างวงจรมายาเข้า (Preamplifier Circuits)

ในการออกแบบวงจรมายาเข้าเน้นเรื่องความเร็วหรือความถี่เชิงความถี่ของอัตราขยาย (Gain Band Width) เป็นหลัก โดยออกแบบให้มีช่วงการทำงานตอบสนองต่อความเร็วสัญญาณพิกัดตามข้อกำหนด ดังนั้นจึงทำการออกแบบวงจรมายาเข้าให้มีความถี่เชิงความถี่มากกว่าความถี่สัญญาณพิกัดของวงจรมายาเข้า และกำหนดให้ใช้ทรานซิสเตอร์ที่ค่าพารามิเตอร์จากเทคโนโลยีตามตารางที่ 4-4 โดยหาค่าพารามิเตอร์จากทดลองตามรูปที่ 4-21



รูปที่ 4-21 วงจรการหาพารามิเตอร์ทรานซิสเตอร์

ตารางที่ 4-4 พารามิเตอร์ของทรานซิสเตอร์หนึ่งหน่วยที่ใช้ในการออกแบบวงจรมายาเข้า

Parameter	NMOS	PMOS
I_{bias}	5 μ A	5 μ A
W/L	10/2	50/2
$V_{DS,SAT}$	132 mV	112 mV

V_{GS}, V_{SG}	798 mV	1022 mV
V_{THN}, V_{THP}	629 mV	927 mV
KP_N, KP_P	111 $\mu A/V^2$	50.2 $\mu A/V^2$
$C'_{ox} = \epsilon_o \epsilon_r / t_{ox}$	2.493 fF/ μm^2	2.493 fF/ μm^2
C_{gsn}, C_{sgp}	30.5579 fF	162.644 fF
C_{gdn}, C_{dgp}	2.1736 fF	15.4834 fF
g_{mn}, g_{mp}	80 $\mu A/V$	80 $\mu A/V$
r_{on}, r_{op}	2.954 M Ω	3.554 M Ω
$g_{mn} r_{on}, g_{mp} r_{op}$	234.885 V/V	289.70 V/V
λ_n, λ_p	0.07 V^{-1}	0.06 V^{-1}

จากวงจรรขยายในรูปที่ 4-20 สามารถหาอัตราขยายเชิงความถี่ได้คือ

$$A(s) = \frac{A_0(2 + s/2\pi f_{p2})}{(1 + s/2\pi f_{p1})(1 + s/2\pi f_{p2})} \quad (4-63)$$

โดยอัตราขยายไฟตรง : $A_0 = -g_{mp}(r_{on} // r_{op}) = 129.05 \approx 42.2 \text{ dB}$ (4-64)

ความถี่มูลหลัก : $f_1 = \frac{1}{2\pi(r_{on} // r_{op})C_L} = 43.0828 \text{ MHz}$ (4-65)

โดย C_L คือโหลดที่เข้ากับวงจรรขยายขาเข้าหรือตัวเก็บประจุขาเข้าของวงจรตัดสัญญาณระดับสัญญาณ ที่มีขนาดทรานซิสเตอร์ดังตารางที่ 4-5 ในหัวข้อ 4.3.2

และความถี่หักมุมที่สอง : $f_2 = \frac{g_{mn}}{C_{mirror}} \approx 1.31 \text{ GHz}$ (4-66)

โดย C_{mirror} คือค่าตัวเก็บประจุที่ขาเกตของวงจรสะท้อนกระแสในรูปที่ 4-20

เนื่องจากวงจรใช้การขยายโดยไม่มีป้อนกลับ ดังนั้นความเร็วการทำงานของวงจรรขยายขาเข้าจึงขึ้นกับความถี่มูลหลักในสมการที่ (4-65) หรือขึ้นกับตัวเก็บประจุโหลด ซึ่งถูกออกแบบให้มีขนาดเล็กทำให้ความถี่มูลหลักมีค่าความถี่มากกว่าความถี่สัญญาณนาฬิกาที่ใช้ในวงจร ทำให่วงจรรขยายเข้านี้สามารถทำงานได้ในข้อกำหนดของวงจรทั้งหมด

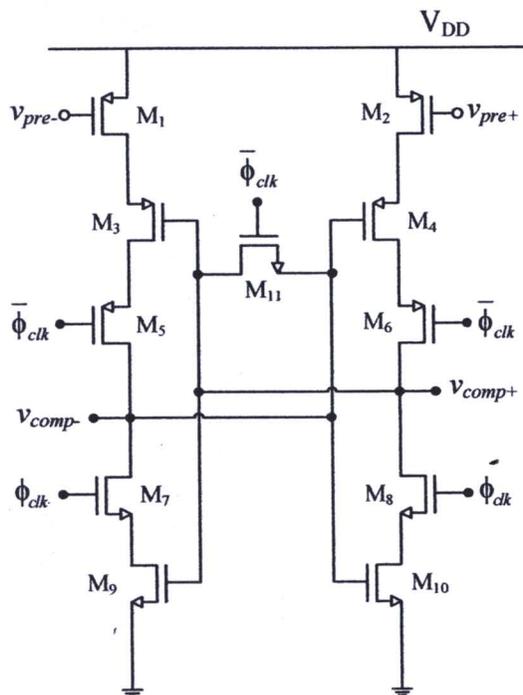
4.3.2. การออกแบบวงจรตัดสินใจระดับสัญญาณ (Design of Decision Circuit)

วงจรตัดสินใจระดับสัญญาณในงานวิจัยนี้ ทำการดัดแปลงจากวงจรเปรียบเทียบใน [7] ซึ่งวงจรจะทำการตัดสินใจระดับสัญญาณที่ได้จากวงจรรายยาเข้า และมีโครงสร้างดังรูปที่ 4-22 โดยทรานซิสเตอร์ M_1 และ M_2 ทำงานในโหมดความต้านทาน (Triode Mode) ที่มีค่าทรานส์คอนดักแตนซ์ (Transconductance) ตามสมการ (4-67) และ (4-68) ขณะทำการตัดสินใจสัญญาณ

$$G_1 = \frac{1}{R_1} = \mu_p C_{ox} \left(\frac{W_1}{L_1} \right) [V_{DD} - v_{pre-} + V_{THP}] \quad (4-67)$$

$$G_2 = \frac{1}{R_2} = \mu_p C_{ox} \left(\frac{W_2}{L_2} \right) [V_{DD} - v_{pre+} + V_{THP}] \quad (4-68)$$

จากสมการทั้งสอง แสดงถึงกระแสของแต่ละกิ่งวงจรเปลี่ยนแปลงตามสัญญาณขาเข้าของวงจร ส่งผลให้วงจรผกผัน (Inverter Circuit) ในแต่ละกิ่งในรูปที่ 4-20 มีแรงดันขาออกไม่เท่ากัน และเนื่องจากวงจรผกผันในแต่ละกิ่งนั้นมีการต่อการป้อนกลับแบบบวกซึ่งกันและกัน แรงดันขาออกของวงจรด้านหนึ่งจะถูกผลักดันขึ้นไปยังแรงดันแหล่งจ่าย (V_{DD}) ในทางตรงกันข้ามอีกด้านหนึ่งจะถูกดึงลงสู่แรงดันดิน (0V) ส่งผลให้เกิดสัญญาณดิจิทัลในแต่ละข้างขาออกวงจรตัดสินใจระดับสัญญาณ



รูปที่ 4-22 วงจรตัดสินใจระดับสัญญาณ (Decision Circuit)

จากรูปที่ 4-22 วงจรตัดสินระดับสัญญาณทำงานในช่วงสัญญาณนาฬิกาหลัก (ϕ_{clk}) มีค่าสูง (V_{dd}) เนื่องจากมีสวิตช์ของมอสเฟต $M_5 - M_8$ ทำงานเพียงแค่ช่วงเวลาดังกล่าว

ช่วงสัญญาณนาฬิกาหลักมีค่าต่ำ (0V) วงจรจะทำการตั้งค่าใหม่ (Reset) แรงดันขาออกทั้งสองให้มีค่าเท่ากันโดยใช้มอสเฟต M_{11} ทำให้แรงดันขาออกเชื่อมถึงกัน เพื่อให้วงจรป้อนกลับแบบบวกทำงานได้อย่างรวดเร็ว

การออกแบบวงจรตัดสินสัญญาณกำหนดให้ขนาดทรานซิสเตอร์ของวงจรตัดสินระดับสัญญาณมีค่าดังตารางที่ 4-5

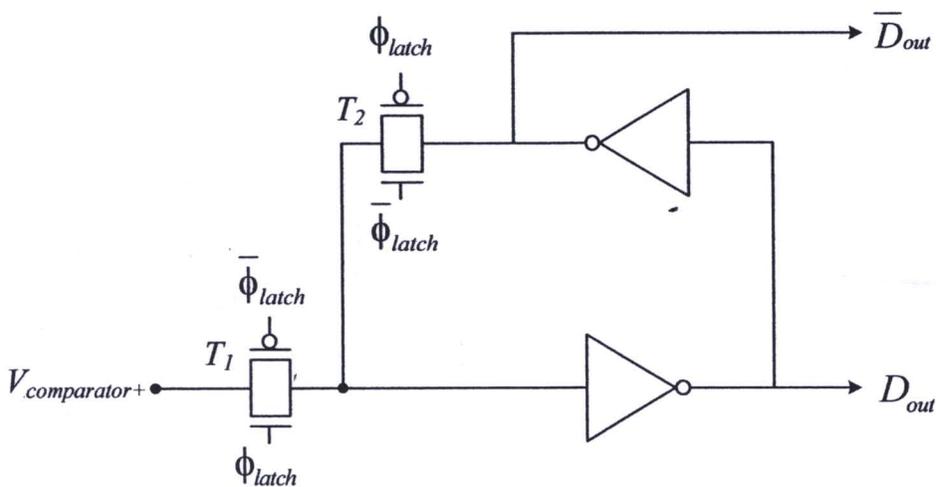
ตารางที่ 4-5 ขนาดของทรานซิสเตอร์ในวงจรตัดสินระดับสัญญาณ

Transistors	$M_1 - M_2$	$M_3 - M_6$	$M_7 - M_{10}$
W/L	5/1	10/1	5/1

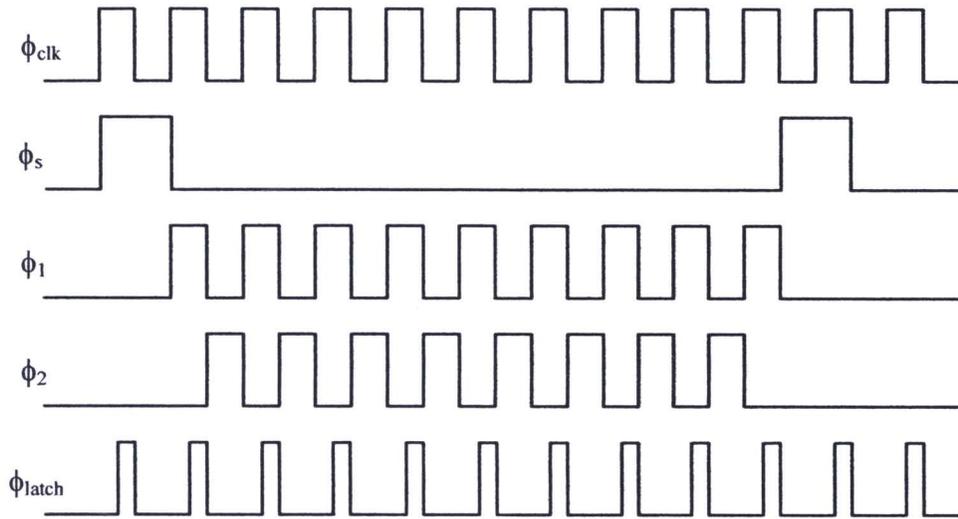
ความผิดพลาดของวงจรตัดสินใจนั้นเกิดจากการความไม่เท่ากันของแรงดันผลรวม (Common Mode Voltage) ซึ่งทำให้ค่าความต้านทานของทรานซิสเตอร์ M_1 และ M_2 มีค่าผิดเพี้ยน เป็นผลให้เกิดการเปรียบเทียบผลต่างที่ไม่ถูกต้อง แต่ปัญหานี้ลดลงเมื่อใช้วงจรขยายขาเข้าในการทำงานให้ระดับแรงดันร่วมขาเข้าของวงจรตัดสินใจมีค่าใกล้เคียงกัน

4.4. การออกแบบวงจรแลตช์พลวัต (Design of Dynamic Latch Circuit)

วงจรแลตช์พลวัตในงานวิจัยนี้มีโครงสร้างดังรูปที่ 4-23 โดยให้มีการทำงานตามสัญญาณการเปิด/ปิดวงจรแลตช์ (ϕ_{latch}) ดังรูปที่ 4-24



รูปที่ 4-23 วงจรแลตช์พลวัต (Dynamic Latch)



รูปที่ 4-24 รูปแสดงสัญญาณการเปิด/ปิดวงจรถัด (ϕ_{latch})

โดยขาเข้าของวงจรถัดกับวงจรถัดสัญญาณในวงจรเปรียบเทียบ และเพื่อให้สามารถขับวงจรถัดที่ทำกรป้อนกลับแบบบวกได้ ในงานวิจัยนี้จึงทำการลดขนาดทรานซิสเตอร์ของวงจรถัดที่ใช้ให้ต่ำกว่าวงจรถัดสนใจและกำหนดขนาดตัวส่งผ่าน (Transmission Gate) ดังตารางที่ 4-6

ตารางที่ 4-6 ขนาดของทรานซิสเตอร์ในวงจรถัดในวงจรถัดพัลส์

Inverter	NMOS	PMOS	Trasmission Gate	NMOS	PMOS
W/L	3/1	6/1	W/L	2/1	4/1

เนื่องจากขนาดของวงจรถัดมีขนาดเล็กกว่าวงจรถัดสนใจดังนั้นความเร็วในการทำงานย่อมมีค่าสูงกว่า สัญญาณที่ได้จากวงจรถัดพัลส์จะถูกนำไปใช้ในวงจรถัดจิกควบคุมเพื่อควบคุมการเปิด/ปิดสวิตช์เพิ่มลดประจุต่อไป

4.5. การออกแบบวงจรถัดจิกควบคุม (Design of Control Logic Circuit)

วงจรถัดจิกทำหน้าที่รับสัญญาณขาออกดิจิทัล (Digital Output) ของวงจรถัดแปลงผ่านวงจรถัดจิกแบบต่างๆเพื่อนำไปควบคุมสวิตช์การเพิ่มประจุ หรือ ลดประจุในวงจรถัดสมประจุ โดยในงานวิจัยนี้ใช้วงจรถัดเหล่านี้ในค่าอุดมคติในการจำลอง และมีโครงสร้างลักษณะการทำงานดังที่กล่าวไว้ในบทที่ 3

4.6. สรุปท้ายบท

ในบทนี้กล่าวถึงการออกแบบวงจรแปลงผันแวนะล็อกเป็นดิจิทัลโดยหาค่าคุณลักษณะที่ต้องการของวงจร และพารามิเตอร์ของทรานซิสเตอร์ที่ใช้ในการออกแบบ โดยลำดับไปด้วยการออกแบบสวิตช์วงจรแบ่งครึ่งประจุ การออกแบบสวิตช์วงจรสะสมประจุ วงจรที่ใช้ในการสะสมประจุ วงจรเปรียบเทียบ และวงจรแลตช์พลวัต โดยพิจารณาความเร็วและความผิดพลาดในการทำงานเป็นหลักในการออกแบบ เพื่อให้วงจรสามารถทำงานได้ตามคุณลักษณะที่กำหนดเพื่อนำไปวิเคราะห์หาค่าพลังงานและ การจำลองสภาวะชั่วคราวของระบบในบทถัดไป