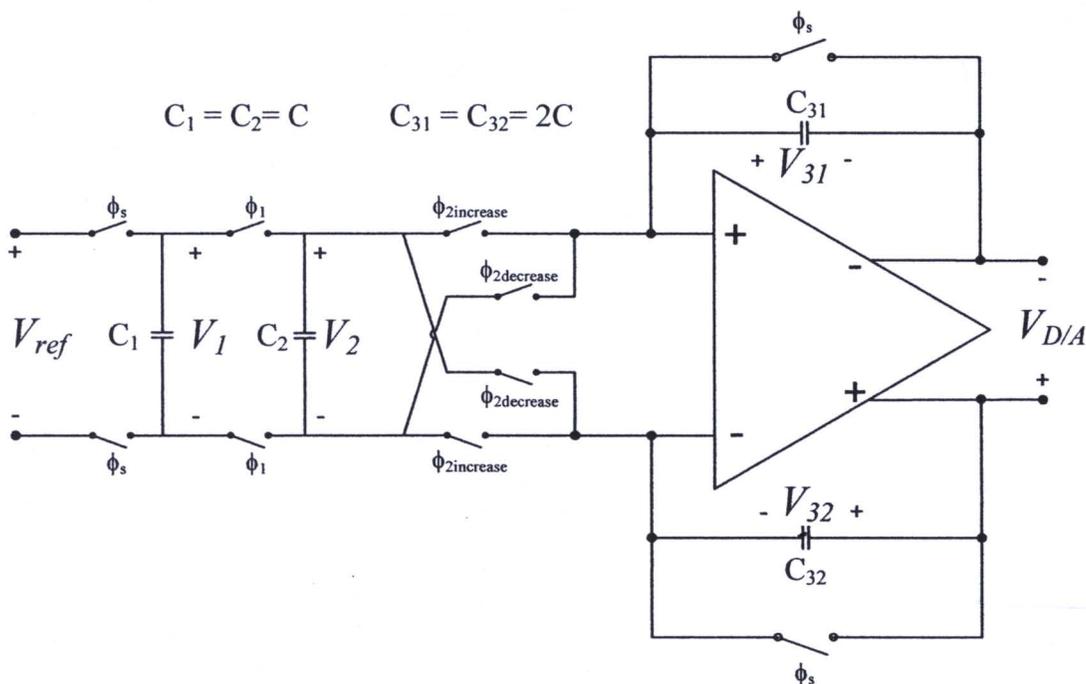


### บทที่ 3

วงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณสี่บิตเนื่องโดยใช้หลักการแบ่งครึ่งประจุและสะสมประจุ (Analog to Digital Converter Circuits based on Binary Charge Division and Charge Accumulation techniques)

ในบทนี้จะกล่าวถึง โครงสร้างและการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Prototype) ที่นำวงจรแบ่งครึ่งประจุและวงจรสะสมประจุมาใช้ในการทำเทคนิคการประมาณแบบสี่บิต รวมถึงวงจรออปแอมป์แบบผลต่างสมบูรณ์ (Fully-Differential Operational Amplifier) ซึ่งเป็นส่วนหนึ่งของวงจรสะสมประจุ เพื่อนำไปสู่การสร้างวงจรแปลงผันแอนะล็อกเป็นดิจิทัลที่นำเสนอในงานวิจัยนี้ โดยดัดแปลงวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบมาเป็นส่วนหนึ่งในการทำงานต่อไป

#### 3.1. โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Prototype Architecture)



รูปที่ 3-1 โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบที่ประกอบด้วยวงจรแบ่งครึ่งประจุและวงจรสะสมประจุ

รูปที่ 3-1 แสดงโครงสร้างโดยรวมของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบในงานวิจัยนี้ซึ่งประกอบด้วยวงจรชั่งตัวอย่างแรงดันอ้างอิง (Voltage Reference Sampling Circuit)

วงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit) และวงจรสะสมประจุ (Charge Accumulation Circuit) ที่มีวงจรรออปแอมป์แบบผลต่างสมบูรณ (Fully-Differential Operational Amplifier) เป็นส่วนหนึ่งของวงจร

วงจรถักตัวอย่างในรูปแบบโครงสร้างของสวิตช์และตัวเก็บประจุถูกนำมาใช้ในงานวิจัยนี้ โดยทำการชักตัวอย่างแรงดันอ้างอิงในรูปแบบของประจุสะสมบนตัวเก็บประจุ  $C_1$  ซึ่งสวิตช์การชักตัวอย่างถูกควบคุมโดยสัญญาณนาฬิกาการชักตัวอย่าง ( $\phi_s$ ) ประจุที่ถูกสะสมบนตัวเก็บประจุ  $C_1$  จะถูกนำไปใช้ไปในการแบ่งครึ่งประจุ และไม่มีภาระอัดประจุใหม่จนกว่าจะครบหนึ่งวัฏจักรการแปลงผันหรือจนกว่าจะมีสัญญาณนาฬิกาการชักตัวอย่างสั่งให้วงจรทำงานอีกครั้ง

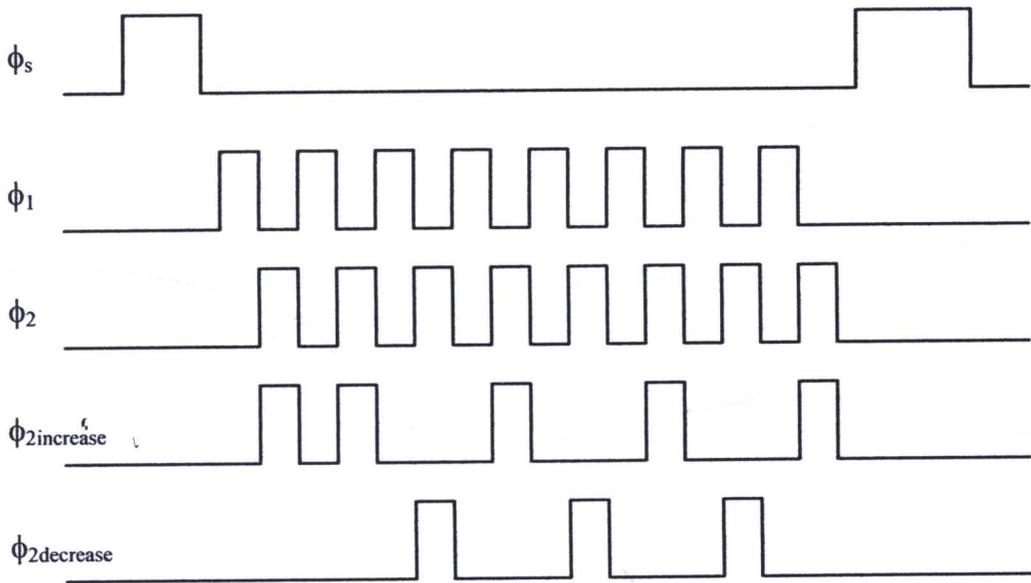
วงจรแบ่งครึ่งประจุในวงจรแปลงผันนี้ ประกอบด้วยตัวเก็บประจุ  $C_1$  และ  $C_2$  ที่มีค่าความจุเท่ากันเพื่อใช้ในการแบ่งครึ่งประจุดังที่กล่าวไว้ในหัวข้อ 2.4 ดังนั้นแรงดันบนตัวเก็บประจุ  $C_2$  จะถูกแบ่งครึ่งจากแรงดันบนตัวเก็บประจุ  $C_1$  ทุกครั้งที่ทำการปิดสวิตช์ตามสัญญาณนาฬิกา  $\phi_1$  ส่งผลให้ประจุที่สะสมในตัวเก็บประจุ  $C_1$  ถูกแบ่งครึ่งแบบฐานสองและมีค่าลดลงเข้าใกล้ศูนย์ในหนึ่งวัฏจักร แรงดันบนตัวเก็บประจุ  $C_2$  นั้นจะถูกนำไปใช้ในการสะสมประจุจนหมดทุกครั้งก่อนเริ่มต้นการแบ่งครึ่งประจุใหม่เพื่อให้เกิดการแบ่งครึ่งประจุอย่างถูกต้อง

วงจรสะสมประจุทำหน้าที่ย้ายประจุที่ถูกแบ่งครึ่งจากตัวเก็บประจุ  $C_2$  ไปเก็บสะสมในตัวเก็บประจุ  $C_{31}$  และ  $C_{32}$  ที่มีค่าความจุเป็นสองเท่าของตัวเก็บประจุ  $C_2$  และเป็นส่วนประกอบการป้อนกลับแบบลบของวงจรรออปแอมป์แบบผลต่างสมบูรณ การสะสมประจุถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_2$  ซึ่งสามารถแบ่งออกเป็นสองประเภท คือ สัญญาณนาฬิกา  $\phi_{2increase}$  ที่ใช้ในการย้ายประจุเพื่อให้แรงดันขาออกวงจรรออปแอมป์มีขนาดเพิ่มขึ้นและในทางกลับกันสัญญาณนาฬิกา  $\phi_{2decrease}$  ซึ่งทำให้แรงดันขาออกวงจรรออปแอมป์มีค่าลดลง

วงจรแปลงผันดิจิทัลเป็นแอนะล็อกถูกตั้งค่าใหม่ (Reset) ทุกครั้งในการเฟสการเริ่มต้นการแปลงผันหรือเฟสการชักตัวอย่าง โดยตั้งค่าใหม่แก่ตัวเก็บประจุป้อนกลับ  $C_{31}$  และ  $C_{32}$  ผ่านสวิตช์ที่ต่อเชื่อมทั้งสองด้านของตัวเก็บประจุทั้งสองที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_s$  เพื่อล้างประจุสะสมหลังจากการแปลงผันหนึ่งวัฏจักร และเตรียมการสร้างแรงดันใหม่จากการสะสมประจุในวัฏจักรใหม่

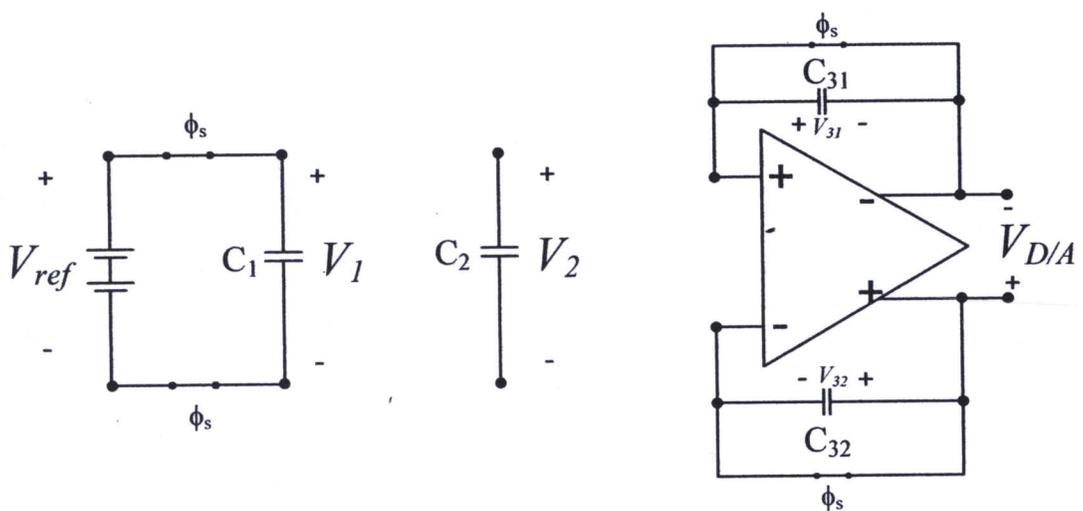
### 3.2. จังหวะการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Operation of Prototype DAC)

จากที่กล่าวในหัวข้อ 3.1 กำหนดให้กราฟของสัญญาณนาฬิกาควบคุมมีค่าดังรูปที่ 3-2



รูปที่ 3-2 กราฟแสดงตัวอย่างสัญญาณควบคุมวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ

จากรูปที่ 3-2 เริ่มต้นการแปลงผันด้วยเฟสการซักรหัสตัวอย่าง (เฟสเริ่มต้นวัฏจักร) โดยสวิตช์ที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_s$  ทำงานและส่งผลให้เกิดการอัดประจุเนื่องจากแรงดันอ้างอิงเข้าไปยังตัวเก็บประจุ  $C_1$  ดังรูปที่ 3-3 โดยเปิดสวิตช์ที่เชื่อมต่อกับตัวเก็บประจุ  $C_2$  รวมถึงทำการตั้งค่าใหม่ตัวเก็บประจุ  $C_{31}$ - $C_{32}$  และวงจรออปแอมป์

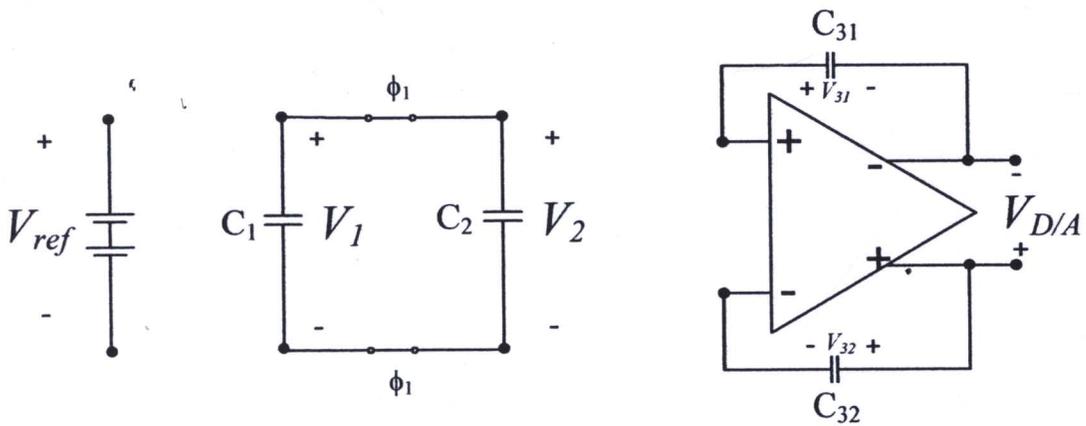


รูปที่ 3-3 เฟสการซักรหัสตัวอย่างของวงจรแปลงผันดิจิทัลเป็นแอนะล็อก

เฟสการแบ่งครึ่งประจุถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_1$  ที่ทำงานในช่วงสัญญาณนาฬิกาการซีกตัวอย่างผกผัน ( $\bar{\phi}_S$ ) เท่านั้น ดังกราฟรูปที่ 3-2 กำหนดให้สัญญาณนาฬิกา  $\phi_1$  มีความถี่การทำงาน 8 คาบ เพื่อให้ความละเอียดการแปลงผัน 8 บิต ในเฟสนี้วงจรมีการทำงานดังรูปที่ 3-4 โดยถ้าไม่มีประจุบนตัวเก็บประจุ  $C_2$  เมื่อทำการแบ่งครึ่งประจุระหว่างตัวเก็บประจุทั้งสอง แรงดันบนตัวเก็บประจุ  $C_2$  จะเท่ากับแรงดันบนตัวเก็บประจุ  $C_1$  ก่อนเฟสการแบ่งครึ่งประจุหารสองตามสมการที่ (3-1)

$$V_2^{(i)} = \frac{V_1^{(i-1)}}{2} = \frac{V_1^{(0)}}{2^i} = \frac{V_{ref}}{2^i} \text{ when } i = 1, 2, \dots, n \quad (3-1)$$

โดย  $n$  คือจำนวนบิตการแปลงผันในหนึ่งวัฏจักร ดังนั้นมีค่าเท่ากับ 8 ในหัวข้อนี้

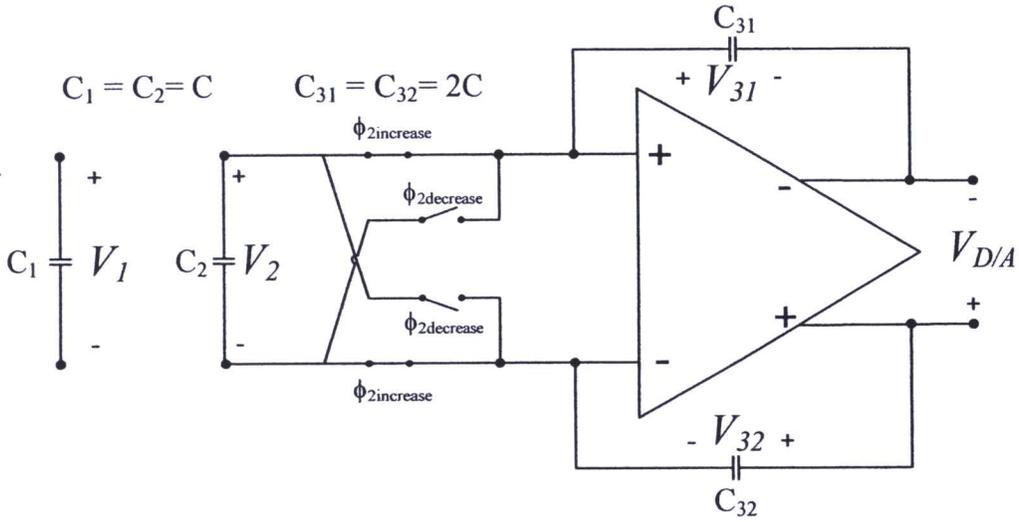


รูปที่ 3-4 เฟสการแบ่งครึ่งประจุบนระหว่างตัวเก็บประจุ  $C_1$  และ  $C_2$

แรงดันตกคร่อมบนตัวเก็บประจุ  $C_1$  และ  $C_2$  สามารถเขียนผลการทำงานในอุดมคติได้ดังแสดงในรูปที่ 3-5 โดยกำหนดให้แรงดันอ้างอิงเริ่มต้นมีค่าเท่ากับ 1 โวลต์



รูปที่ 3-5 กราฟแสดงตัวอย่างแรงดันบนตัวเก็บประจุ  $C_1$  ( $V_1$ ) และ  $C_2$  ( $V_2$ )



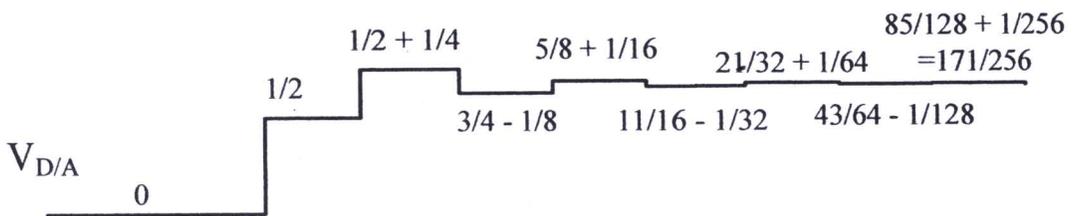
รูปที่ 3-6 รูปการเพิ่มประจุในเฟสการสะสมประจุโดยการต่อตัวเก็บประจุ  $C_2$  เข้ากับขาเข้าวงจร  
 ออปแอมป์ตรงข้าม

จากรูปที่ 3-6 แสดงเฟสการสะสมประจุโดยการเพิ่มประจุที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_{2increase}$  ในทางตรงกันข้ามหากต้องการลดประจุในตัวเก็บประจุป้อนกลับ  $C_{31}$ -  $C_{32}$  สวิตช์อีกคู่หนึ่งที่ถูกควบคุมด้วยสัญญาณนาฬิกา  $\phi_{2decrease}$  ทำงานแทน โดยสัญญาณทั้งสองจะไม่ทำงานพร้อมกันดังที่ยกตัวอย่างในรูปที่ 3-2

สัญญาณควบคุมทั้งสองมาจากการตัดแปลงสัญญาณนาฬิกา  $\phi_2$  ให้ทำงานตามการป้อนกลับของสัญญาณดิจิทัลขาออกวงจรแปลงผันแอนะล็อกเป็นดิจิทัล ( $D_{out}$ ) ซึ่งมีค่าตามสมการลอจิกดังนี้คือ

$$\phi_{2increase} = (D_{out} \& \phi_2), \quad \phi_{2decrease} = \overline{(D_{out} + \phi_2)} \tag{3-2}$$

ดังนั้นแรงดันขาออกของวงจรออปแอมป์มีค่าเปลี่ยนแปลงตามสัญญาณดิจิทัลที่นำมาป้อนกลับในวงจรแปลงผันดิจิทัลเป็นสัญญาณแอนะล็อกในงานวิจัยนี้ยกตัวอย่างดังรูปที่ 3-7



รูปที่ 3-7 กราฟแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อกที่มีสัญญาณนาฬิกาควบคุมตาม  
 รูปที่ 3-2

### 3.3. วงจรออปแอมป์แบบผลต่างสมบูรณ์ (Fully-Differential Operational Amplifier)

วงจรออปแอมป์แบบผลต่างสมบูรณ์เป็นส่วนหนึ่งของวงจรสะสมประจุที่ใช้ในงานวิจัยนี้ ซึ่งมีโครงสร้างดังรูปที่ 3-8 ประกอบด้วยวงจรออปแอมป์แบบเทเลสโคปิก (Telescopic Op-Amp) ในระยะที่หนึ่ง (First Stage) และวงจรรายคอมมอนซอสที่มีโหลดเป็นแหล่งจ่ายกระแส (Common Source with Active Load) ในระยะที่สอง (Second Stage) ทำงานในรูปแบบคลาส เอ (Class A Op-Amp) และใช้การชดเชยทางด้านความถี่แบบมิลเลอร์โดยต่อตัวเก็บประจุ  $C_{cp}$  และ  $C_{cm}$  ระหว่างขาออกระยะที่หนึ่งกับขาออกระยะที่สองของวงจรออปแอมป์ เพื่อให้วงจรออปแอมป์อยู่ในเสถียรภาพในการทำงาน

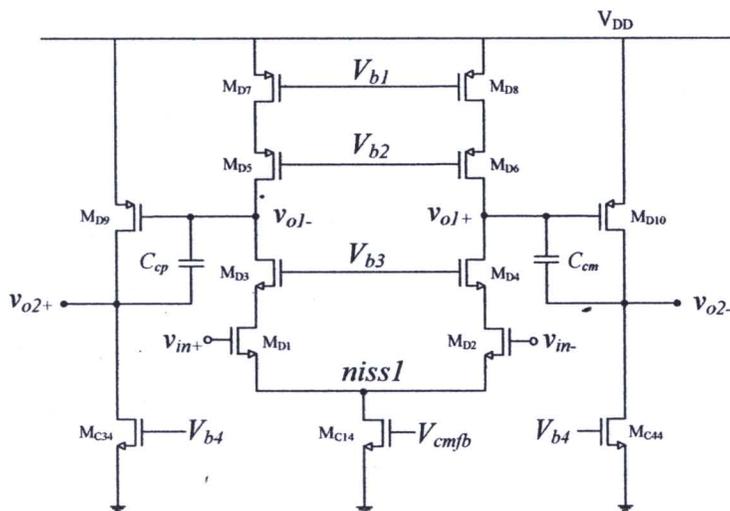
อัตราขยายของวงจรที่ใช้มีค่าสูงเนื่องจากการใช้วงจรออปแอมป์สองระยะดังสมการที่

(3-3)

$$A_{V0} = -g_{m1}(g_{m1}r_{o1}r_{o3}) // (g_{m5}r_{o5}r_{o7}) \times -(g_{m9}r_{o9}) \quad (3-3)$$

ช่วงการแกว่งของแรงดันขาออก (Output Voltage Swing) สามารถพิจารณาจากวงจรระยะที่สองของวงจรออปแอมป์ โดยแรงดันต่ำสุดของแรงดันขาออกมีค่าน้อยเท่ากับแรงดันตกคร่อมของแหล่งกำเนิดกระแสคาสโคดที่ทำให้กระแสไหลได้ตามต้องการที่จุดทำงาน และแรงดันขาออกสูงสุดมีค่าน้อยทำให้ทรานซิสเตอร์  $M_9$ - $M_{10}$  ยังทำงานได้ในโหมดอิ่มตัว (Saturation Mode) ช่วงการแกว่งแรงดันขาออกหนึ่งด้านมีค่าอยู่ในช่วงดังต่อไปนี้

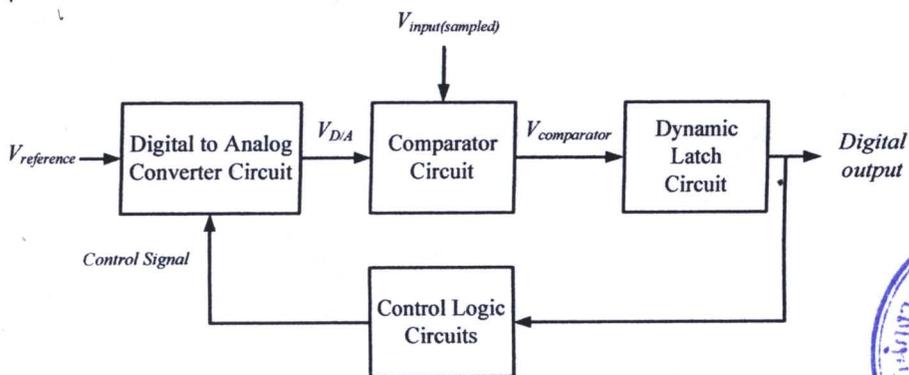
$$V_{OD(MC34)} \leq V_{o2+} \leq V_{DD} - |V_{OD9}| \quad (3-4)$$



รูปที่ 3-8 วงจรออปแอมป์แบบผลต่างสมบูรณ์ที่ใช้ในวงจรสะสมประจุ

### 3.4. โครงสร้างวงจรแปลงผันแอนะล็อกเป็นดิจิทัลในงานวิจัย (Proposed Analog to Digital Converter Architecture)

วงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณแบบสืบเนื่องในงานวิจัยนี้มีบล็อกไดอะแกรมดังรูปที่ 3-9 ประกอบไปด้วยวงจรแปลงผันดิจิทัลเป็นแอนะล็อก (Digital to Analog Converter Circuit) ที่ใช้วงจรแบ่งครึ่งประจุและวงจรสะสมประจุในการทำเทคนิคการประมาณแบบสืบเนื่อง และถูกควบคุมจากวงจรถอดจิกควบคุม (Control Logic Circuits) ที่นำสัญญาณขาออกดิจิทัล (Digital Output) นำมาป้อนกลับเพื่อควบคุมการเพิ่มลดของแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) การเปรียบเทียบแรงดันทำโดยใช้วงจรเปรียบเทียบ (Comparator Circuit) และทำการปรับระดับแรงดันดิจิทัลขาออกด้วยวงจรแลตช์พลวัต (Dynamic Latch Circuit)

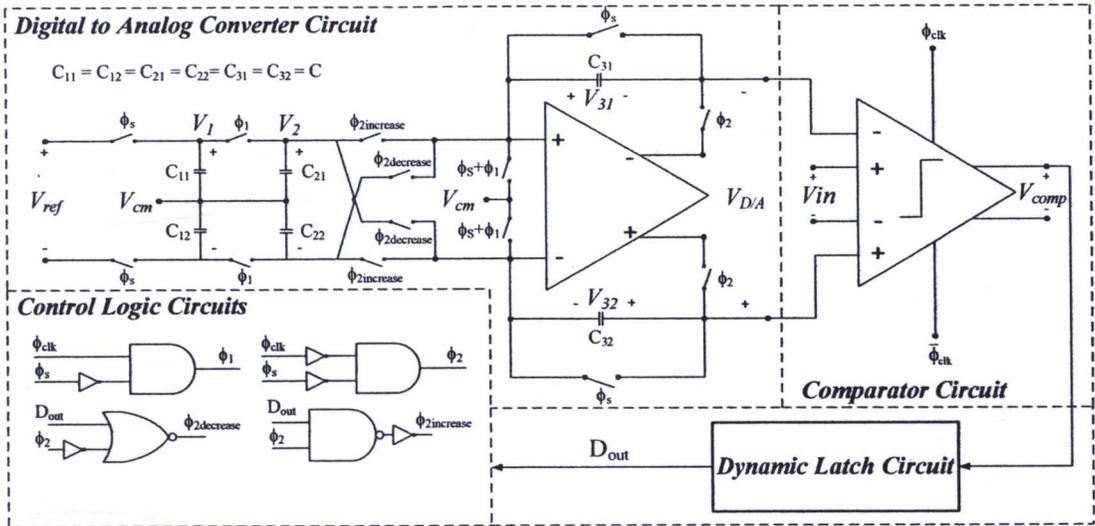


รูปที่ 3-9 บล็อกไดอะแกรมของวงจรแปลงผันในงานวิจัยนี้



โครงสร้างโดยรวมของวงจรแปลงผันทั้งหมดในงานวิจัยนี้ถูกแสดงไว้ในรูปที่ 3-10 โดยวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบ (Digital to Analog Converter Circuit) ถูกดัดแปลงให้มีตัวเก็บประจุทั้งหมด 6 ตัวที่มีค่าความจุเท่ากันหมด ( $C_{11}$ - $C_{12}$ ,  $C_{21}$ - $C_{22}$ ,  $C_{31}$ - $C_{32}$ ) โดยคู่ตัวเก็บประจุ  $C_{11}$ - $C_{12}$  เป็นคู่การทำงานในการชักตัวอย่างสัญญาณแรงดันอ้างอิง เพื่อใช้ในการแบ่งครึ่งประจุกับตัวเก็บประจุ  $C_{21}$ - $C_{22}$  ในเฟสการแบ่งครึ่งประจุ ตัวเก็บประจุทั้งสองคู่นี้จะถูกเชื่อมต่อกับแรงดันผลรวม (Common Mode Voltage,  $V_{cm}$ ) เพื่อให้แรงดันที่ทำงานในวงจรชักตัวอย่างแรงดันอ้างอิง วงจรแบ่งครึ่งประจุ และวงจรสะสมประจุมีระดับการทำงานรอบจุดแรงดันผลรวม

ประจุที่ได้จากการแบ่งครึ่งบนคู่ตัวเก็บประจุ  $C_{21}$ - $C_{22}$  จะถูกนำไปสะสมในคู่ตัวเก็บประจุ  $C_{31}$ - $C_{32}$  ในเฟสการสะสมประจุ ซึ่งตัวเก็บประจุทั้งสองเป็นตัวเก็บประจุการป้อนกลับแบบลบบนวงจรออปแอมป์แบบผลต่างสมมาตรที่ออกแบบให้ช่วงการทำงานรอบจุดแรงดันผลรวม (Common Mode Voltage) ดังนั้นแรงดันขาออกวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) จะแกว่งรอบจุดแรงดันผลรวม และเปลี่ยนแปลงตามประจุที่สะสมอยู่บนคู่ตัวเก็บประจุ  $C_{31}$ - $C_{32}$



รูปที่ 3-10 โครงสร้างวงจรโดยรวมของวงจรแปลงผันทั้งหมดในงานวิจัยนี้

‘แรงดันขาออกของวงจรแปลงผันดิจิทัลเป็นแอนะล็อก ( $V_{D/A}$ ) ถูกนำไปใช้ในการเปรียบเทียบกับแรงดันแอนะล็อกขาเข้าของวงจร ( $V_{in}$ ) ในวงจรเปรียบเทียบ (Comparator Circuit) ที่ทำงานตามสัญญาณนาฬิกาหลัก ( $\phi_{clk}$ ) แรงดันที่ได้จากการเปรียบเทียบนั้นถูกนำไปปรับระดับแรงดันโดยใช้วงจรแลตช์พลวัต (Dynamic Latch) เพื่อให้สัญญาณดิจิทัลขาออก ( $D_{out}$ ) นำไปใช้กับวงจรลอจิกควบคุมที่เป็นวงจรดิจิทัลแบบคงตัว (Static Logic) หรือวงจรดิจิทัลทั่วไปได้

การเพิ่มหรือลดประจุในวงจรแปลงผันดิจิทัลเป็นแอนะล็อกนั้นถูกควบคุมด้วยสัญญาณนาฬิกาที่แปรตามสัญญาณขาออกของวงจรเปรียบเทียบ ( $\phi_{2increase} - \phi_{2decrease}$ ) และมีหลักการทำงานดังกล่าวไว้ในหัวข้อ 3.2 ทำให้อุปกรณ์แปลงผันทั้งหมดสามารถทำงานได้ถูกต้องและแม่นยำ

### 3.5. สรุปท้ายบท

โครงสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบที่ประกอบด้วยวงจรแบ่งครึ่งประจุและวงจรสะสมประจุเพื่อใช้ในการสร้างระดับแรงดันแอนะล็อกใหม่ในการเปรียบเทียบกับแรงดันแอนะล็อกขาเข้าของวงจรแปลงผันทั้งหมด ได้ถูกอธิบายไว้ในบทนี้ รวมถึงอธิบายจังหวะการทำงานของวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบตามการควบคุมของสัญญาณนาฬิกาควบคุมตัวอย่าง และโครงสร้างของวงจรออปแอมป์แบบผลต่างสมบูรณ์ที่เป็นส่วนหนึ่งของวงจรสะสมประจุ

สุดท้ายอธิบายโครงสร้างโดยรวมของวงจรแปลงผันแอนะล็อกเป็นดิจิทัลในงานวิจัยนี้ที่นำวงจรแปลงผันดิจิทัลเป็นแอนะล็อกต้นแบบมาดัดแปลงให้มีตัวเก็บประจุค่าความจุเท่ากัน