บทที่ 2

หลักการและทฤษฎีที่เกี่ยวข้อง

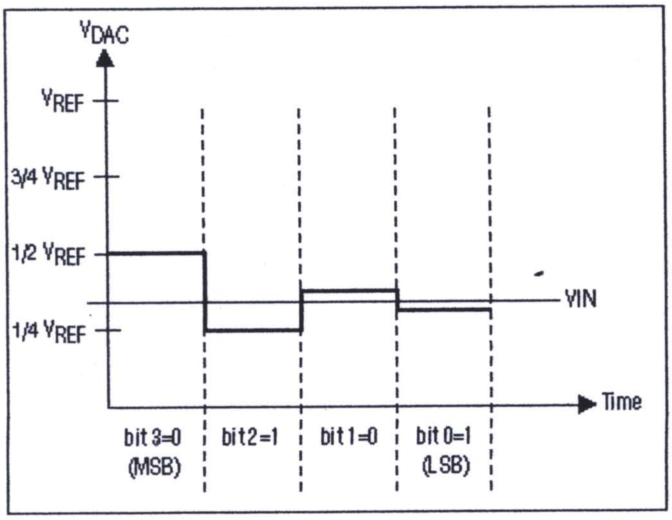
ในการออกแบบวงจรแปลงผันแอนะล็อกเป็นดิจิทัลแบบการประมาณแบบสืบเนื่อง จำเป็นต้องเข้าใจเทคนิคการประมาณแบบสืบเนื่อง (Successive Approximation Technique) ที่ใช้ในการค้นหาระดับแรงดันสัญญาณขาเข้า อีกทั้งวงจรแปลงผันแบบการประมาณสืบเนื่องโดยการกระจายประจุใหม่ (Charge Redistribution Successive Approximation Analog to Digital Converter) ซึ่งนำมาใช้ในวงจรรวมปัจจุบัน รวมถึง วงจรแบ่งประจุ (Charge Division Circuit) วงจรสะสมประจุ (Charge Accumulation Circuit) ที่ใช้ในงานวิจัยนี้จะถูกอธิบายในบทนี้

2.1. เทคนิคการประมาณแบบสืบเนื่อง (Successive Approximation Technique)

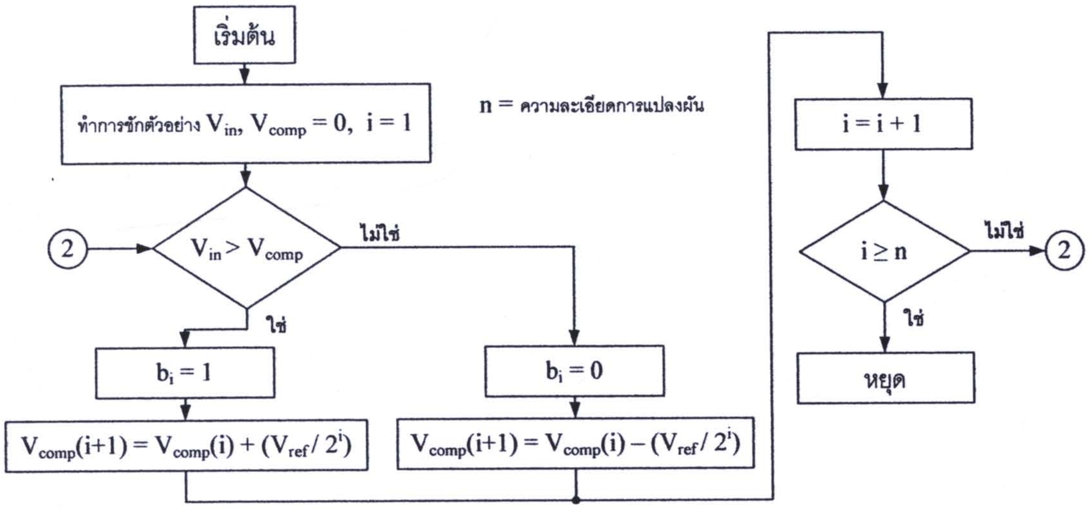
การแปลงผันแรงดันแอนะล็อก (V_{in}) เป็นดิจิทัลขนาด n บิต $\{b_1, \ldots, b_n\}$ ที่มีค่าแรงดันแต็มสเกล (V_{ref}) โดยใช้เทคนิคการประมาณสืบเนื่อง ประกอบด้วยขั้นตอน n ขั้นสำหรับหา b_i ตั้งแต่ i=1 ถึง n ที่ทำให้

$$\left| V_{in} - \sum_{i=1}^{n} b_i 2^{n-i} \frac{V_{ref}}{2^{n+1}} \right| \leq \frac{V_{ref}}{2^{n+1}} \qquad (2\text{-}1)$$

ดังแสดงตัวอย่างในรูปที่ 2-1 และแผนภาพสรุปการทำงานใน รูปที่ 2-2



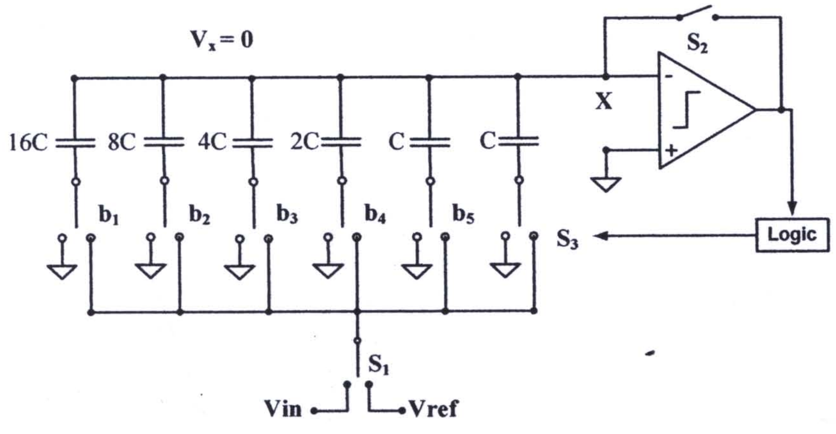
รูปที่ 2-1 ภาพแสดงตัวอย่างการประมาณแบบสืบเนื่อง



รูปที่ 2-2 ผังงานสรุปการทำงานของวงจรแปลงผันแบบสืบเนื่องความละเอียด n บิต

2.2. วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณสืบเนื่องโดยการกระจายประจุใหม่ (Charge Redistribution Successive Approximation Analog-to-Digital Converter)

วงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณสืบเนื่องโดยการกระจายประจุใหม่ ใช้โครงสร้างของสวิตซ์และตัวเก็บประจุที่ถ่วงน้ำหนักดังรูปที่ 2-3 เพื่อสร้างแรงดันเปรียบเทียบในการทำเทคนิคแบบการประมาณสืบเนื่องดังที่กล่าวไว้ในหัวข้อ 2.1

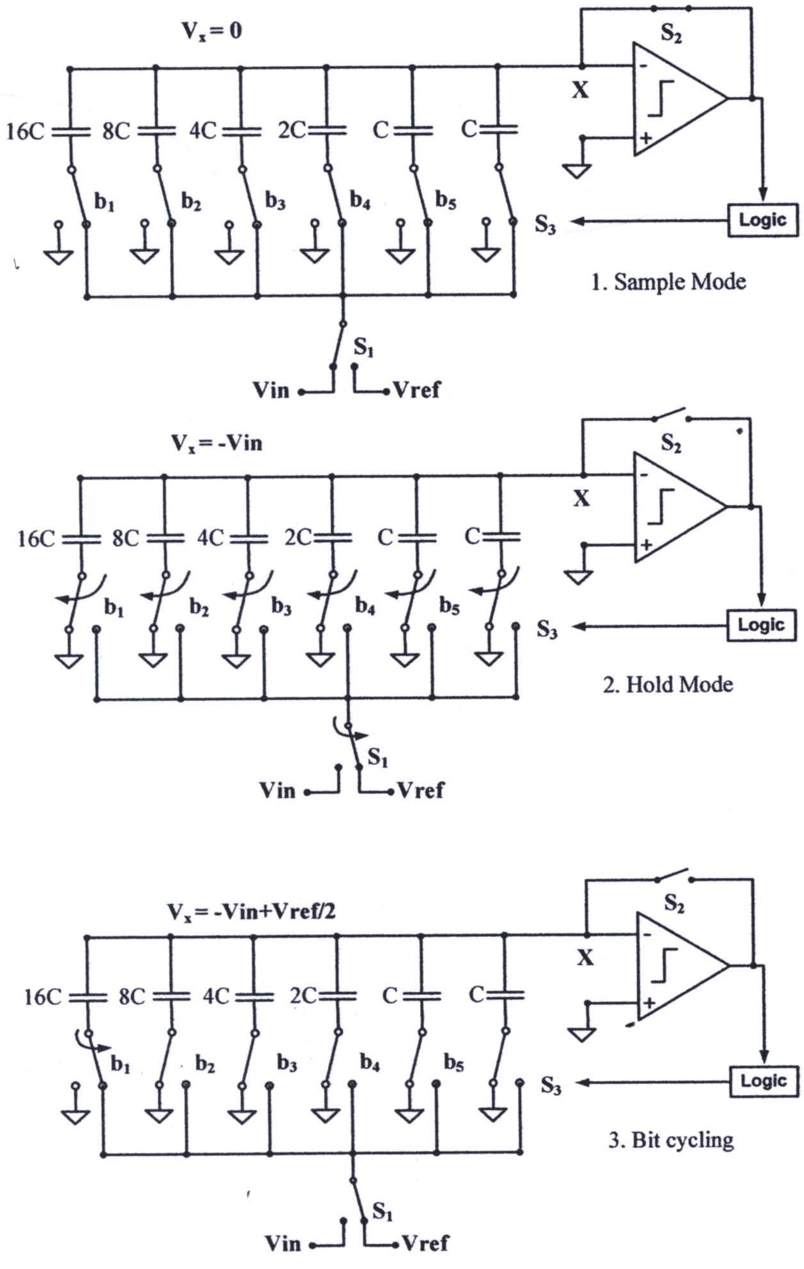


รูปที่ 2-3 วงจรแปลงผันแบบการประมาณสืบเนื่องที่การกระจายประจุใหม่

วงจรแปลงผันชนิดนี้ได้ทำการเพิ่มตัวเก็บประจุที่มีค่าความจุ C อีกตัวหนึ่งเพื่อให้ผลรวมค่าความจุทั้งหมดของวงจรเท่ากับ 2^nC และเพื่อให้แรงดันที่เกิดจากการต่อตัวเก็บประจุแบบขนานหารสองได้ลงตัวพอดี อีกทั้งจำเป็นต้องต่อแรงดันขาเข้าและแรงดันอ้างอิงเข้ากับแผ่นเพลตด้านล่าง (bottom plate) ของตัวเก็บประจุเพื่อลดปัญหาพาราซิติกของสวิตซ์ (Parasitic

Capacitance) ที่มีผลต่อแรงดันขาเข้าวงจรเปรียบเทียบ ข้อดีของวงจรแปลงผันชนิดนี้คือมีความซับซ้อนของวงจรน้อย (Less Complexity of Circuits) เนื่องจากใช้เพียงสวิตช์และตัวเก็บประจุ วงจรเปรียบเทียบและวงจรควบคุมลอจิก ซึ่งง่ายต่อการออกแบบ

หลักการทำงานของวงจรเหมือนผังงานในรูปที่ 2-2 แตกต่างเพียงการเปรียบเทียบแรงดันนั้นนำประจุที่มีผลจากแรงดันขาเข้ามาหักล้างกับประจุที่มีผลจากแรงดันอ้างอิง ในตัวเก็บประจุที่ถูกถ่วงน้ำหนักและนำไปเปรียบเทียบกับแรงดันดิน (Ground Voltage) ผ่านวงจรเปรียบเทียบ การทำงานของวงจรมีค่าตามเฟสต่างๆดังแสดงในรูปที่ 2-4



รูปที่ 2-4 ภาวะการทำงานของวงจรแปลงผันแบบกระจายประจุใหม่ 5 บิต

จากรูปที่ 2-4 วงจรลักษณะนี้มีการแบ่งการทำงานออกเป็นเฟสดังต่อไปนี้

1. เฟสการชักตัวอย่าง (Sample Phase) : ในขั้นแรกทำการชักตัวอย่างแรงดันขาเข้าเพื่อมา นำมาสะสมไว้ในตัวเก็บประจุทั้งหมดและทำให้ $V_x = 0$ โดยการปิดสวิตช์ S_2

2. เฟสการคงตัว (Hold Phase) : ในเฟสนี้สวิตช์ S_2 ถูกเปิดทำให้วงจรเปรียบเทียบเริ่มต้นทำงานและสวิตช์ที่ต่ออยู่กับตัวเก็บประจุทั้งหมดจะถูกทำการสับสวิตช์ไปทางดิน ทำให้แรงดันขาเข้าวงจรเปรียบเทียบด้านลบ (V_x) มีค่าเท่ากับ –Vin ซึ่งเป็นการคงค่าสัญญาณขาเข้าในตัวเก็บประจุทั้งหมด สุดท้ายจึงทำการสับสวิตช์ S_1 ไปยังแรงดันอ้างอิงเป็นการสิ้นสุดเฟสนี้

3. เฟสการแปลงผัน (Bit Cycling Phase) : เป็นเฟสในการแปลงผันบิต โดยการแปลงผันบิตที่มีความสำคัญมากที่สุด (Most Significant Bit, b_1) เป็นอันดับแรก โดยการสับสวิตช์ที่ต่อกับตัวเก็บประจุที่มีขนาดความจุมากที่สุดคือ 16C ส่งผลให้แรงดันขาเข้าวงจรเปรียบเทียบมีค่าเท่ากับ

$$V_x = -V_{in} + \frac{V_{ref}}{2} \tag{2-2}$$

ซึ่งสัญญาณขาออกของวงจรเปรียบเทียบจะขึ้นกับสัญญาณขาเข้าดังนี้

$$V_x < 0 \Rightarrow V_{in} > \frac{V_{ref}}{2} \Rightarrow b_1 = 1 \tag{2-3}$$

$$V_x \geq 0 \Rightarrow V_{in} \leq \frac{V_{ref}}{2} \Rightarrow b_1 = 0 \tag{2-4}$$

วงจรควบคุมลอจิกควบคุมการสับสวิตช์ $b_1 - b_n$ ต่อเนื่องกันเป็นการวนซ้ำจนครบวัฏจักรการแปลงผัน n ครั้ง และได้สัญญาณดิจิทัลขาออก n บิต(ในรูปแสดงถึงการแปลงผันสูงสุด 5 บิต)

เนื่องจากทฤษฎีทับซ้อน (Superposition Theory) แรงดันขาเข้าของวงจรเปรียบเทียบสามารถเขียนในรูปผลรวมของแรงดันได้คือ

$$V_x = -V_{in} + \sum_{i=1}^{n} b_i 2^{-i} V_{ref} \quad \text{เมื่อ } b_i = \begin{cases} 1, & V_x^{(i-1)} \leq 0 \\ 0, & V_x^{(i-1)} > 0 \end{cases} \tag{2-5}$$

แรงดัน V_x ในสมการ (2-5) จะลู่เข้าสู่ศูนย์เนื่องจากการบวกแรงดันอ้างอิงที่ถูกถ่วงน้ำหนักฐานสอง และตัวเก็บประจุที่ใช้ในการทำวงจรนี้มีจำนวนขึ้นกับจำนวนบิตขาออกของวงจร ดังนั้นหากจำนวนบิตขาออกมีค่ามาก พื้นที่ในการสร้างตัวเก็บประจุจะมีค่าเพิ่มตามลำดับ

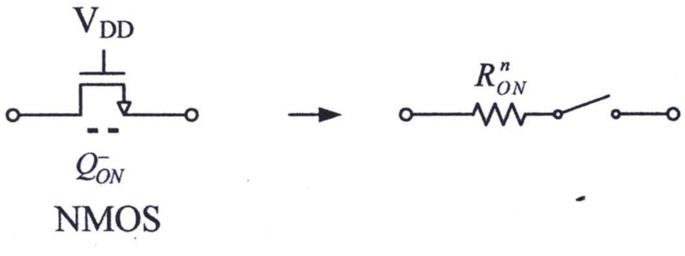
2.3. โครงสร้างสวิตช์และตัวเก็บประจุ (Switched-Capacitor Structure)

โครงสร้างสวิตช์และตัวเก็บประจุเป็นส่วนสำคัญของวงจรแปลงผันในงานวิจัยนี้ โดยอาศัยหลักการทำงานของประจุเป็นหลัก ในหัวข้อนี้จะทำการศึกษาลักษณะการทำงานของมอสเฟตทำหน้าที่สวิตช์ ความเร็ววงจรสวิตช์และตัวเก็บประจุ และความแม่นยำของวงจรสวิตช์และตัวเก็บประจุที่ใช้ทรานซิสเตอร์มอสเฟตในการทำสวิตช์ดังนี้

2.3.1. การใช้มอสเฟตทำหน้าที่สวิตช์ (MOSFET as Switch)

โครงสร้างสวิตช์และตัวเก็บประจุ ใช้ทรานซิสเตอร์มอสเฟต (Metal-Oxide-Silicon Field Effect Transistor, MOSFET) แทนสวิตช์ในการออกแบบทำให้มีความไม่เป็นอุดมคติ และเนื่องจากช่วงแรงดันขาเข้าแตกต่างกัน ดังนั้นควรเลือกชนิดของมอสเฟตตามช่วงแรงดันขาเข้าที่ใช้ มอสเฟตแบ่งออกเป็นสองชนิด คือ ชนิดเอ็น (NMOS) และ ชนิดพี (PMOS) โดยมอสเฟตชนิดเอ็นทำงานเมื่อสัญญาณนาฬิกาที่ขาเกตของมีค่าสูง (High Clock Voltage, V_{DD}) ทำให้เกิดการเหนี่ยวนำประจุลบใต้ขาเกต (Gate) เพื่อเชื่อมต่อระหว่างขาเดรน (Drain) และขาซอส (Source) ส่งผลให้กระแสสามารถไหลผ่านได้หรือทำงานเสมือนสวิตช์นั่นเอง ในทางตรงกันข้ามชนิดพีจะทำงานเมื่อสัญญาณนาฬิกาที่ขาเกตมีค่าต่ำ (Low Clock Voltage, 0) จึงเกิดการเหนี่ยวนำประจุบวกใต้ขาเกต และสามารถนำกระแสได้เช่นเดียวกันกับมอสเฟตชนิดเอ็น

ในการทำงานแบบสวิตช์กำหนดให้แรงดันขาเกตของทรานซิสเตอร์มีค่าเท่ากับแรงดันแหล่งจ่าย (V_{DD}) ในมอสเฟตชนิด เอ็น (ในมอสเฟตชนิด พี กำหนดให้ค่าแรงดันขาเกตเท่ากับแรงดันแหล่งจ่ายติดลบ ($-V_{DD}$)) เพื่อให้มอสเฟตทำงานในโหมดความต้านทานช่วงลึก (Deep Triode Mode) และสามารถเขียนแบบจำลองได้ดังรูปที่ 2-5



รูปที่ 2-5 แบบจำลองมอสเฟตชนิดเอ็นในรูปของความต้านทานขณะทำงานอยู่ในโหมดความต้านทานช่วงลึก

จากสมการกระแสของทรานซิสเตอร์มอสเฟตขณะทำงานในโหมดความต้านทานสามารถประมาณค่าความต้านทานในรูปที่ 2-5ได้ดังนี้คือ

$$NMOS: \qquad R_{ON}^{n} \approx \frac{1}{\mu_n C_{ox}\left(\frac{W}{L}\right)_n (V_{DD} - V_{in} - V_{THP})} \tag{2-6}$$

$$PMOS: \qquad R_{ON}^{p} \approx \frac{1}{\mu_p C_{ox}\left(\frac{W}{L}\right)_p (V_{in} + V_{DD} + V_{THP})} \tag{2-7}$$

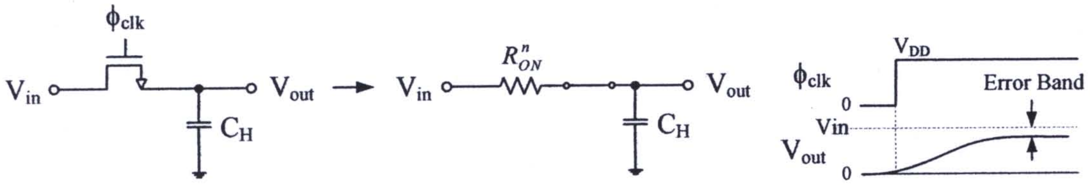
โดยมีประจุที่เกิดจากช่องนำกระแสดังนี้

$$NMOS: \qquad Q_{ON}^{-} = -WLC_{ox}(V_{DD} - V_{in} - V_{THN}) \tag{2-8}$$

$$PMOS: \qquad Q_{ON}^{+} = +WLC_{ox}(V_{in} + V_{DD} + V_{THP}) \tag{2-9}$$

2.3.2. ความเร็วของวงจรสวิตช์และตัวเก็บประจุ (Switched Capacitor Circuits Speed)

เนื่องจากความไม่เป็นอุดมคติ (Non-Ideality) ของตัวเก็บประจุ และความไม่เป็นเชิงเส้น (Non-Linearity) ของมอสเฟต ทำให้แรงดันขาออก (V_{out}) ไม่สามารถเปลี่ยนแปลงจนมีค่าเท่ากันแรงดันขาเข้าได้ในทันทีใด ซึ่งความเร็วในการเปลี่ยนแปลงนี้ ถูกกำหนดโดยขนาดของมอสเฟตในการทำสวิตช์ และขนาดของตัวเก็บประจุ ตามค่าคงตัวเวลาของแรงดันขาออกที่เพิ่มขึ้นแบบเอ็กโพเน็นเชียล (Exponential Curve) เมื่อมอสเฟตทำงานในโหมดความต้านทานช่วงลึกดังแสดงในรูปที่ 2-6



รูปที่ 2-6 รูปแสดงความเร็วและความผิดพลาดในการชักตัวอย่างเมื่อมอสเฟตทำงานในภาวะความต้านทานช่วงลึก

จากสมการที่ (2-6)-(2-7) และรูปที่ 2-6สามารถประมาณค่าคงตัวเวลาได้ดังต่อไปนี้

$$\tau_{out}^{n} = R_{on}^{n} C_H = \frac{C_H}{\mu_n C_{ox}\left(\frac{W}{L}\right)_n (V_{DD} - V_{in} - V_{THN})} \tag{2-10}$$

$$\tau_{out}^{p} = R_{on}^{p} C_H = \frac{C_H}{\mu_n C_{ox} \left(\frac{W}{L}\right)_p (V_{in} + V_{DD} + V_{THP})} \qquad (2\text{-}11)$$

สมการที่ (2-10)-(2-11) บ่งบอกถึงความสัมพันธ์ระหว่างความเร็วในการชักตัวอย่างกับขนาดของมอสเฟตโดยประมาณ เพื่อนำไปประมาณค่าขนาดมอสเฟตในความสัมพันธ์กับความเร็ว และสามารถหาความผิดพลาดได้คือ

$$Error\ band = \left(1 - \frac{1}{j\omega RC + 1}\right) V_{in} \qquad (2\text{-}12)$$

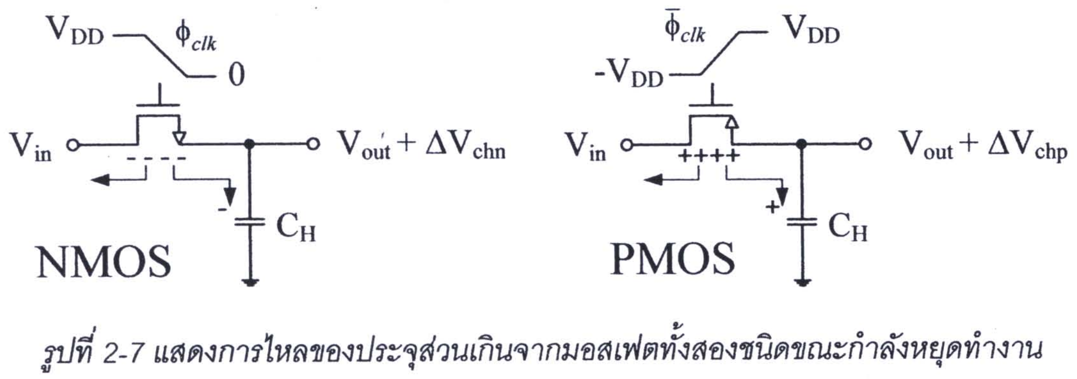
ในสมการ (2-12) แถบความผิดพลาดจะไม่เกิดขึ้นหากสัญญาณขาเข้าของวงจรเป็นสัญญาณไฟตรง (DC Voltage) ทำให้แรงดันขาออกมีค่าเท่ากับแรงดันขาเข้าที่สัญญาณไฟตรงแต่ในทางปฏิบัติ เนื่องจากความไม่เป็นอุดมคติของทรานซิสเตอร์มอสเฟต ส่งผลให้เกิดค่าความผิดพลาดจากประจุในช่องนำกระแส และการทะลุผ่านของสัญญาณนาฬิกาซึ่งกล่าวในหัวข้อถัดไป

2.3.3. **ความแม่นยำในการทำงานของสวิตช์** (Switched Capacitor Circuits Precision)

จากโครงสร้างสวิตช์และตัวเก็บประจุดังแสดงในรูปที่ 2-6 ใช้ทรานซิสเตอร์มอสเฟตแทนสวิตช์ ส่งผลให้เกิดความผิดพลาดบนตัวเก็บประจุ C_H ที่เกิดจากความไม่เป็นอุดมคติในการทำงานแบบสวิตช์ของมอสเฟต แบ่งเป็นสองปัจจัยหลักดังต่อไปนี้

ก) **ผลของการฉีดประจุช่องนำกระแส** (Channel Charge Injection)

ผลประจุส่วนเกินจากช่องนำกระแสมีสาเหตุมาจากการฉีดประจุช่องนำกระแสหลังจากทรานซิสเตอร์หยุดทำงานเข้าไปยังตัวเก็บประจุ C_H ซึ่งประจุช่องนำกระแสคือประจุจากด้านขาเดรน (Drain) และด้านขาซอส (Source) ของตัวมอสเฟตที่ใช้เพื่อทำการสร้างช่องนำกระแส (ประจุลบในชนิดเอ็นและประจุบวกในชนิดพี) ดังนั้นเมื่อทำการปิดการทำงานของมอสเฟต ประจุที่นำมาใช้ในช่องนำกระแสนั้นก็จะถูกผลักกลับไปที่ขาเดรน และซอสของมอสเฟตนั้นเอง ส่งผลให้แรงดันขาออกเกิดความผิดพลาดขึ้นตามรูปที่ 2-7



รูปที่ 2-7 แสดงการไหลของประจุส่วนเกินจากมอสเฟตทั้งสองชนิดขณะกำลังหยุดทำงาน

จากสมการ (2-8) และ (2-9)ความผิดพลาดแรงดันบนตัวเก็บประจุ C_H เนื่องจากการฉีดประจุช่องนำกระแสคือ

$$NMOS: \qquad \Delta V_{chn} = -\frac{WLC_{ox}(V_{DD} - V_{in} - V_{THN})}{2C_H} \tag{2-13}$$

$$PMOS: \qquad \Delta V_{chp} = +\frac{WLC_{ox}(V_{in} + V_{DD} + V_{THP})}{2C_H} \tag{2-14}$$

สมการทั้งสองข้างต้นบ่งบอกความสัมพันธ์ของความผิดพลาดกับขนาดมอสเฟต โดยหากเพิ่มขนาดมากขึ้นความผิดพลาดจะเพิ่มขึ้นในทิศทางเดียวกัน ซึ่งตรงกันข้ามกับความเร็วของการชักตัวอย่างในสมการที่ (2-10) และ (2-11)ที่ต้องการมอสเฟตขนาดใหญ่ขึ้นหากต้องการความเร็วเพิ่มขึ้น

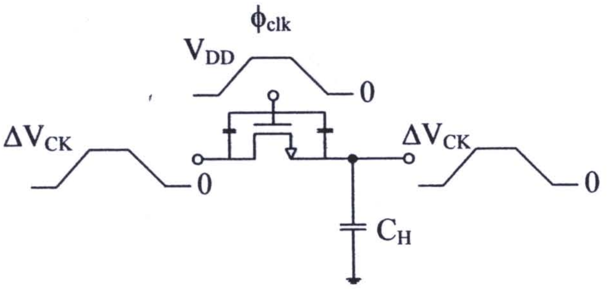
ข) การทะลุผ่านของสัญญาณนาฬิกา (Clock Feed Through)

ในการสร้างมอสเฟตที่ไม่เป็นอุดมคติ ตัวทรานซิสเตอร์นั้นประกอบไปด้วยตัวเก็บประจุพาราซิติก (Parasitic Capacitors) ระหว่างขาต่างๆของมอสเฟต ดังรูปที่ 2-8 คือตัวเก็บประจุเกต-ซอส (Gate-Source Overlap Capacitors) และ ตัวเก็บประจุ เกต-เดรน (Gate-Drain Overlap Capacitors) ซึ่งมีผลเหนี่ยวนำสัญญาณขาออกและสัญญาณขาเข้าให้เพิ่มลดตามสัญญาณนาฬิกาและมีค่าผิดเพี้ยนไป

การเหนี่ยวนำดังกล่าวเกิดขึ้นจากการแบ่งแรงดันระหว่างตัวเก็บประจุพาราซิติกส่วนเกิน ($C_{overlap}$) กับตัวเก็บประจุที่ใช้ในการชักตัวอย่าง (C_H) โดยขนาดความจุของตัวเก็บประจุพาราซิติกทั้งสองแปรตามขนาดความกว้างของมอสเฟต เขียนเป็นสมการความผิดพลาดแรงดันได้ดังนี้

$$\Delta V_{clk} = V_{clk} \frac{WC_{overlap}}{WC_{overlap} + C_H} \tag{2-15}$$

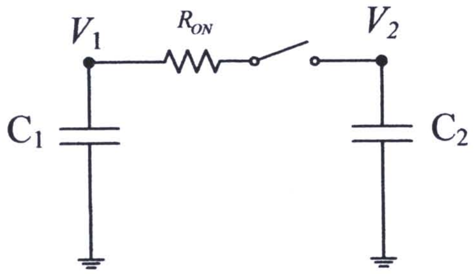
จากสมการที่ (2-15) สามารถลดความผิดพลาดชนิดนี้ได้ จากการลดขนาดความกว้างทรานซิสเตอร์และหรือ เพิ่มขนาดตัวเก็บประจุที่ใช้ชักตัวอย่าง (C_H)



รูปที่ 2-8 การเหนี่ยวนำของสัญญาณนาฬิกาผ่านตัวเก็บประจุพาราซิติกของมอสเฟต

2.4. วงจรแบ่งครึ่งประจุ (Binary Charge Division Circuit)

วงจรแบ่งครึ่งประจุมีความสำคัญในการแบ่งครึ่งแรงดันอ้างอิงในรูปการแบ่งครึ่งประจุบนตัวเก็บประจุ วงจรนี้ประกอบไปด้วยตัวเก็บประจุสองตัวต่อเชื่อมกันด้วยทรานซิสเตอร์มอสเฟตที่ถูกจำลองให้ทำหน้าที่เหมือนสวิตช์ที่ไม่เป็นอุดมคติดังรูปที่ 2-9



รูปที่ 2-9 วงจรแบ่งครึ่งประจุที่ใช้มอสเฟตในโหมดความต้านทานแทนสวิตช์

จากรูปที่ 2-9 กำหนดให้ประจุบนตัวเก็บประจุ C_1 ก่อนการปิดสวิตช์มีค่าเท่ากับ Q และไม่มีประจุบนตัวเก็บประจุ C_2 ดังนั้นแรงดันบนตัวเก็บประจุเป็นไปตามสมการที่ (2-16)

$$V_1^{(0)} = \frac{Q}{C_1},\ V_2^{(0)} = 0V \tag{2-16}$$

ถ้าค่าความจุของตัวเก็บประจุทั้งสองมีค่าเท่ากัน ($C_1 = C_2 = C$) เมื่อทำการสับสวิตช์ครั้งที่ 1 ประจุ Q จะถูกแบ่งครึ่งจากตัวเก็บประจุทั้งสองที่ต่อขนานกันอยู่ แรงดันของตัวเก็บประจุทั้งสองจะถูกแบ่งครึ่งดังนี้

$$V_1^{(1)} = V_2^{(1)} = \frac{Q}{2C} \tag{2-17}$$

หลังจากนั้นเมื่อประจุบนตัวเก็บประจุ C_2 ถูกนำไปใช้หมดไปในการสะสมประจุก่อนการปิดสวิตช์ครั้งที่ 2 การสับสวิตช์ครั้งที่ 2 ส่งผลให้ประจุบนตัวเก็บประจุถูกแบ่งครึ่งอีกครั้ง และเนื่องจากประจุที่สะสมก่อนการแบ่งครั้งที่ 2 มีค่าน้อยลงกว่าเดิมสองเท่าของประจุเริ่มต้น แรงดันบนตัวเก็บประจุทั้งสองจึงมีค่าดังสมการที่ (2-18)

$$V_1^{(2)} = V_2^{(2)} = \frac{Q}{4C} \tag{2-18}$$

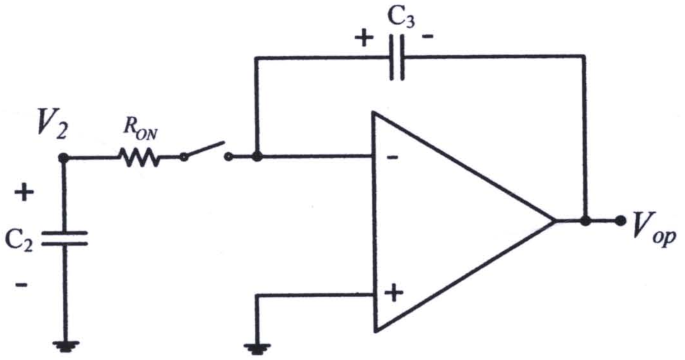
ดังนั้นสามารถเขียนความสัมพันธ์แรงดัน V_2 กับการปิดสวิตช์แบ่งประจุครั้งที่ n ได้ดังสมการที่ (2-19) หรือแรงดันบนตัวเก็บประจุ C_2 จะมีค่าเปลี่ยนไปตามแบ่งครึ่งฐานสอง (Binary Charge Division)

สำนักงานคณะกรรมการวิจัยแห่งชาติ
ห้องสมุดงานวิจัย
วันที่ 25 ก.ค. 2555
เลขทะเบียน 246307
เลขเรียกหนังสือ

$$V_2^{(n)} = \frac{Q}{2^n C} = \frac{V_1^{(0)}}{2^n} \tag{2-19}$$

ดังที่กล่าวไว้ในหัวข้อ 2.1 หากกำหนดให้แรงดันบนตัวเก็บประจุเริ่มต้นเท่ากับแรงดันอ้างอิง (V_{ref}) วงจรแบ่งครึ่งจะเป็นส่วนหนึ่งของเทคนิคการประมาณแบบสืบเนื่องเพื่อนำไปใช้ในการแปลงผันต่อไป

2.5. **วงจรสะสมประจุ** (Charge Accumulation Circuit)



รูปที่ 2-10 วงสะสมประจุโดยใช้มอสเฟตในการทำงานแทนสวิตช์

วงจรสะสมประจุมีโครงสร้างดังรูปที่ 2-10 ประกอบด้วยตัวเก็บประจุสองตัว ทรานซิสเตอร์มอสเฟตแทนสวิตช์ และวงจรออปแอมป์ (Operational Amplifier) โดยวงจรจะทำการสะสมประจุโดยใช้หลักการป้อนกลับแบบลบ (Negative Feedback) ของวงจรออปแอมป์ เพื่อสร้างประจุลบที่ขาออกของวงจรออปแอมป์ และคงเสถียรภาพในการย้ายประจุจากตัวเก็บประจุ C_2 (ซึ่งประจุบนตัวเก็บประจุนี้ได้จากการแบ่งครึ่งประจุบนตัวเก็บประจุC_1) ไว้ในตัวเก็บประจุ C_3 แรงดันขาออกของวงจรสะสมประจุนี้จะเปลี่ยนแปลงตามประจุขาเข้าของวงจรออปแอมป์ โดยแรงดันขาออกลดลงเมื่อประจุขาเข้าเป็นลบ หรือแรงดันขาออกเพิ่มขึ้นเมื่อประจุขาเข้าเป็นบวก ดังนั้นหากประจุที่นำมาสะสมเป็นประจุที่ได้จากการแบ่งครึ่งในหัวข้อ 2.4 แรงดันขาออกวงจรจึงมีค่าตามประจุที่นำมาสะสมในตัวเก็บประจุ C_3 ดังสมการที่ (2-20)

$$V_{op} = \pm\frac{V_1^{(0)}}{2} \pm \frac{V_1^{(0)}}{2^2} \pm \ldots \pm \frac{V_1^{(0)}}{2^n} \tag{2-20}$$

ในงานวิจัยนี้ใช้หลักการของวงจรแบ่งครึ่งประจุกับวงจรสะสมประจุในการสร้างวงจรแปลงผันดิจิทัลเป็นแอนะล็อก เพื่อสร้างแรงดันเปรียบเทียบใหม่นำไปเปรียบเทียบกับแรงดันขาเข้าแอนะล็อกที่ต้องการในวงจรเปรียบเทียบต่อไป

2.6. สรุปท้ายบท

ในบทนี้กล่าวถึงทฤษฎี หลักการพื้นฐาน และการทำงานทั่วไปของส่วนประกอบสำคัญของวงจรแปลงผันสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลแบบการประมาณต่อเนื่องที่ใช้หลักการแบ่งครึ่งประจุและสะสมประจุ โดยกล่าวถึงเทคนิคการประมาณแบบสืบเนื่อง วงจรแปลงผันแบบการประมาณสืบเนื่องแบบกระจายประจุใหม่ซึ่งมีใช้อยู่วงจรรวมปัจจุบัน รวมถึงหลักการแบ่งครึ่งประจุและสะสมประจุที่เป็นหัวใจสำคัญของงานวิจัยนี้ ทั้งนี้ผู้วิจัยทำการศึกษา และจำลองวงจรเหล่านี้ เพื่อศึกษาการทำงาน เพื่อเป็นประโยชน์ในการออกแบบด้วยทรานซิสเตอร์ที่ไม่เป็นอุดมคติ ซึ่งกล่าวถึงในบทต่อไป

สำนักงานคณะกรรมการวิจัยแห่งชาติ
ห้องสมุดงานวิจัย