สิทธิพร ประภาวัต 2557: การเพิ่มประสิทธิภาพในการทดสอบวงจรด้วยการประมวลผลเชิงขนาน ปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมคอมพิวเตอร์) สาขาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์ ประธานกรรมการที่ปรึกษา: รองศาสตราจารย์ประดนเดช นีละคุปต์, M.Eng. 49 หน้า

ในงานวิจัยนี้ได้มีการนำกระบวนการประมวลผลเชิงขนานมาใช้ในการหาจุดบกพร่องของวงจรแบบ Stuck-at Fault สำหรับวงจรมาตรฐาน ISCAS85 และ ISCAS89 ได้มีการปรับปรุงโปรแกรม HOPE ให้สามารถจำลองให้สามารถทดสอบหาจุดบกพร่องสำหรับวงจรทั้ง 2 แบบได้

จากผลการจำลองโดยโปรแกรมที่ได้พัฒนาพบว่า จากการทำประมวลผลแบบขนานโดยใช้หน่วยประมวลผลจำนวน 2 CPU และ 4 CPU ค่า Speed up อยู่ระหว่าง 1.5 - 3 และจะมี Speed up โดยรวมประมาณ 4 สำหรับ 8 และ 16 CPU ตามลำดับ จากการจำลองพบว่าขนาดของปัญหาวงจรที่มีค่าเท่ากับ จำนวนผลคูณของ Test Vector และ Output ของวงจร และขนาดของ Fault List มีผลกระทบต่อความเร็วในการประมวลผล โดยถ้าขนาดของปัญหา มีค่าเกิน 10000 ขึ้นไปจะให้ Speed up ที่ดี และเมื่อขนาดของปัญหาใกล้เคียงกันขนาด ของ Fault List จะมีผลทำให้เวลาที่ใช้แตกต่างกันโดย Fault List ที่มีขนาดใหญ่จะใช้เวลาที่มากกว่าด้วย

_____ _____ ___ / ___ / ___

ลายมือชื่อนิสิต ลายมือชื่อประธานกรรมการ

ลิขสิทธิ์ มหาวิทยาลัยเกษตรศาสตร์