หัวข้อวิทยานิพนธ์	การลดลักษณะบกพร่องในกระบวนการประกอบแผงวงจรไฟฟ้า
ชื่อผู้เขียน	ณัฐวิทย์ เพชรานนท์
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ ดร.ศุภรัชชัย วรรัตน์
สาขาวิชา	การจัดการทางวิศวกรรม
ปีการศึกษา	2555

บทคัดย่อ

การวิจัยนี้เป็นการศึกษาเพื่อลดปริมาณการเกิดลักษณะบกพร่องของผลิตภัณฑ์ในกระบวนการประกอบแผงวงจรไฟฟ้า รหัส LL0325232XXX ในอุตสาหกรรมการประกอบแผงวงจรไฟฟ้าและผลิตภัณฑ์อิเล็กทรอนิกส์ของบริษัทตัวอย่าง ซึ่งเป็นผลิตภัณฑ์ที่เกิดลักษณะบกพร่องมากที่สุดของบริษัทสำหรับกลุ่มลูกค้าระบบสื่อสารโทรคมนาคม

การศึกษานี้เลือกเก็บข้อมูลระหว่างเดือนมกราคม ถึง มิถุนายน 2555 เพื่อดำเนินการปรับปรุงแก้ไขในเดือนกรกฎาคม ถึง ธันวาคม 2555 โดยใช้เทคนิคการควบคุมกระบวนการด้วยหลักการทางสถิติ คือ วิธีการเครื่องควบคุมคุณภาพ 7QC ในขั้นตอนการศึกษารวบรวมข้อมูล รวมถึงการใช้วิธี C&E Matrix และ FMEA ในขั้นตอนการวิเคราะห์หาสาเหตุ และดำเนินการปรับปรุงแก้ไขด้วยวิธีการ Poka-Yoke และ Visual Control

จากผลงานวิจัยพบว่าการเกิดลักษณะบกพร่องบนตัวอุปกรณ์ของผลิตภัณฑ์แผงวงจรไฟฟ้ารหัส LL0325232XXX ลดลงโดยเหลือเพียง 1,543 DPPM หรือคิดเป็น 61.88% สำหรับเดือนธันวาคม และลดลงเป็น 2,339.33 DPPM เฉลี่ยต่อเดือนในช่วงเดือน กรกฎาคม ถึง ธันวาคม 2555 เมื่อเปรียบเทียบกับผลการดำเนินการและข้อมูลลักษณะบกพร่องของผลิตภัณฑ์ก่อนการดำเนินการในเดือน มกราคม ถึง มิถุนายน 2555 ตามลำดับ นอกจากนี้การดำเนินการตามแนวทางการปรับปรุงแก้ไขยังช่วยลดต้นทุนการซ่อมแซมของบริษัทกรณีศึกษา และส่งผลดีต่อการขนส่งไปยังลูกค้าได้ตรงเวลา และทำให้ลูกค้ามีความพึงพอใจในการได้รับสินค้าเพิ่มมากขึ้นด้วยเช่นกัน

Thesis Title	Defect Reduction for Printed Circuit Board Assemblies
Author	Nattawit Bejrananda
Thesis Advisor	Assistant Professor, Suparatchai Vorarat, Ph.D.
Department	Engineering Management
Academic Year	2012

ABSTRACT

The purpose of research is to reduce the component-damaged defects of the printed electronic circuit boards (Code LL0325232XX) of the studied manufacturer, which the product has been considered as the highest defect figures in the telecommunication industrial.

The research has collected the information from January to June 2012 for further production implementation to be used between the period of July and December 2012 by using the statistical control techniques such as Seven Quality Control Tools (7QC Tools), C&E Matrix, and FMEA for analysis. Moreover, the research has been considered to use the Poka-Yoke and Visual Control methodologies for analyzing the root causes in the implementation period as well.

The result of this research presents that the suggested improvements can decrease the component-damaged defects (Code: LL0325232XXX) of the printed electronic circuit boards of the manufacturing at 1,543 DPPM or called as 61.88% in the month of December and decreasing to 2,339.3 DPPM by average in the month of July to December 2012 when compared the defected statistics in the month of January to June 2012 respectively. Moreover, the research has found that the studied company can effectively reduce the rework cost down. By this implementation can deliver the product on time, gaining the customer satisfaction, and increasing the efficiency of the product in the production line.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างสมบูรณ์ ด้วยความอนุเคราะห์อย่างดียิ่งจาก ผู้ช่วยศาสตราจารย์ ดร.ศุภรัชชัย วรรัตน์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งท่านได้ให้คำเสนอแนะ แนวคิด ตลอดจนแก้ไขข้อบกพร่องต่าง ๆ มาโดยตลอด จนวิทยานิพนธ์ฉบับนี้เสร็จสมบูรณ์ จึงขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ คณะกรรมการสอบวิทยานิพนธ์ อาจารย์ ดร.ประศาสน์ จันทราทิพย์ อาจารย์ ดร.สัณห์ รัฐพิบูลย์ และ ผู้ช่วยศาสตราจารย์ ดร.ไพฑูรย์ ศิริโอฬาร ที่กรุณาให้ข้อเสนอแนะ แก้ไข และให้แนวคิดต่าง ๆ ที่เป็นประโยชน์ต่อการจัดทำวิทยานิพนธ์ครั้งนี้

ผู้วิจัย ขอขอบคุณคณาจารย์ผู้ประสาทวิชาความรู้ทุกท่าน และทีมงานของบริษัทฯ ตัวอย่าง ที่ให้ความร่วมมือในด้านข้อมูล ช่วยร่วมคิด วิเคราะห์ ให้คำแนะนำ และร่วมปรับปรุงกระบวนการของผลิตภัณฑ์ จนประสบความสำเร็จตามวัตถุประสงค์

สุดท้ายนี้ ขอกราบขอบพระคุณบิดา มารดา และครอบครัว ที่สนับสนุนเป็นกำลังใจที่ดีเสมอมาจนสำเร็จการศึกษา หากมีข้อผิดพลาดประการใด ผู้วิจัยขอน้อมรับไว้แต่เพียงผู้เดียว

ณัฐวิทย์ เพชรานนท์